

Power Analyzer Toolを使用した インテル® FPGA 消費電力見積もり

Ver.22.1

目次

本書をお読みにする前に.....	3
1. はじめに	4
2. 使用環境	4
3. Power Analyzer Tool の操作手順.....	5
3-1. 操作手順の概略	5
3-1-1. 設定内容の確認.....	5
3-1-2. VCD ファイルを生成する.....	11
3-1-3. ゲートレベル・シミュレーションの実施	16
3-1-4. Power Analyzer Tool の実行	18
3-1-5. Power Analyzer Tool の消費電力解析レポート.....	25
4. Early Power Estimator への展開.....	30
改版履歴	31

本書をお読みにする前に

この資料の内容は 2023 年 3 月現在のものです。

この資料は、2. 使用環境 を条件に作成しています。それ以外のバージョンやデバイスファミリーでも共通に適用できる内容もありますが、一部適さない場合もありますので ご注意ください。

文書中の記号

① Note	補足情報などを記載しています。
② Point	重要なポイントを記載しています。
📖 参考	理解を深めるため、参考となる資料やサイトを紹介しています。
⚠️ 注記	この資料の中では具体的には触れませんが、必要となる知識や情報を記載しています。
🚫 禁止	注意点や、してはいけないことを記載しています。

文中の表記

<u>下線</u>	クリックする事で、資料中の別の章や、外部のサイトにジャンプします。
太字斜体	画面の操作をする際の、メニューやウィンドウなどに表示されている文字を示しています。
xxxxxxx <input type="text"/>	入力するコマンド文字列を示しています。

1. はじめに

この資料は、インテル® Quartus® Prime 開発ソフトウェアの Power Analyzer Tool を使用して インテル® FPGA の消費電力見積もり結果を得るまでの操作手順を解説したものです。

2. 使用環境

この資料では、以下の開発ツールを使用しています。

表 1. この資料に必要な開発環境

No.	環境	概要
1	インテル® Quartus® Prime Standard Edition (以降、Quartus® Prime)	インテル® FPGA のハードウェアを開発するためのツールです。 この資料では、インテル® Quartus® Prime Standard Edition 22.1 を使用しています。
2	Questa* - Intel® FPGA Starter Edition (以降、Questa* - IFSE)	インテル® FPGA に実装する論理回路の動作を確認するために、波形を表示させたシミュレーションで、各信号の振舞いを検証するシミュレーション・ツールです。 この資料では、インテル® Quartus® Prime Standard Edition 22.1 に対応した Questa* - Intel® FPGA Starter Edition 2021.2 を使用しています。
3	デザインサンプル (以降、デザイン例)	この資料では、デザインサンプルを使用してツールの操作手順を解説しています。 デザインサンプルの Quartus® Prime アーカイブファイル: power_analyzer_sample_rtl_sim_finished_v221.qar ⚠ 注記: <ul style="list-style-type: none">・ 解凍先は、全角やスペースの含まれないフォルダパスを指定してください。・ サンプルコードは、この資料の説明を目的に用意したため、保証の限りではありません

3. Power Analyzer Tool の操作手順

Power Analyzer Tool の操作を実施する前に、この資料における操作手順の概略を説明した後、各操作手順を説明します。

3-1. 操作手順の概略

この資料で使用するデザイン例において、以下の作業項目は終了済みとします。

- Analysis & Synthesis
- RTL シミュレーション (NativeLink を使用して実施)
- ピン・アサイン
- タイミング制約 (.sdc) の記述と Quartus® Prime プロジェクトへの登録

以降の説明では、最初に設定済みの主要項目の確認を行った後、その後のコンパイル・フローで必要となる設定をステップ・バイ・ステップで説明します。

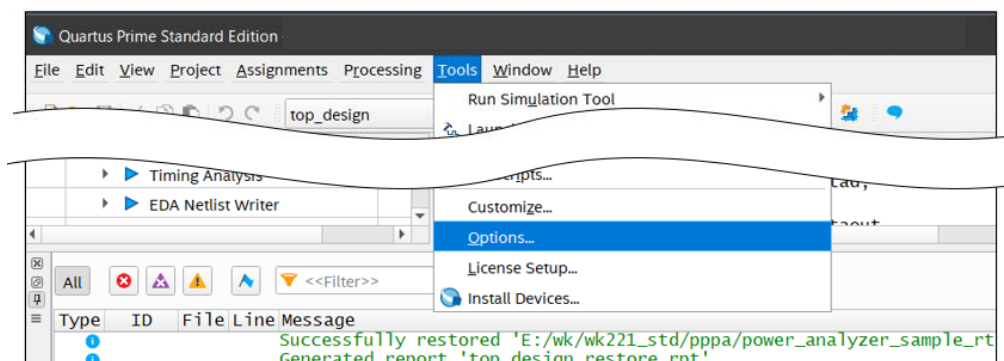
⊘ 禁止:

- ・ Power Analyzer Tool は、配置配線が完了後に実行可能です。
- ・ Analysis & Synthesis だけが終了した段階で実行すると、エラーを発生します。

3-1-1. 設定内容の確認

Quartus® Prime を起動して、デザイン例のアーカイブファイルを解凍した後、上記 3-1 が終了した段階において、主要な設定内容を確認していきます。

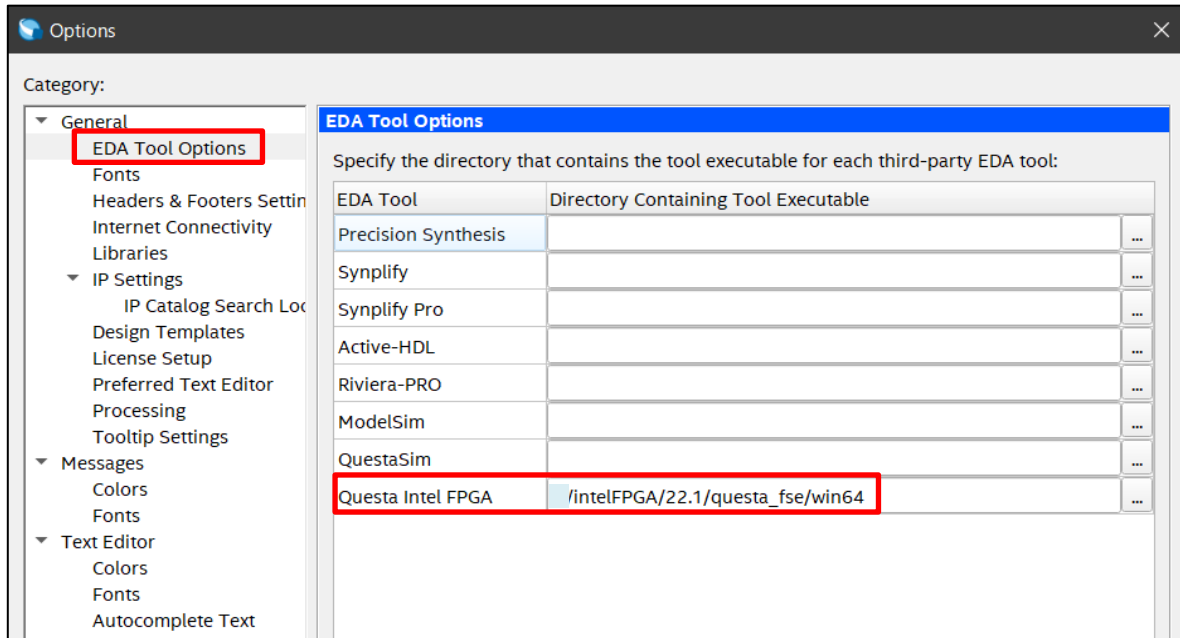
Tools メニュー ⇒ **Options** を選択します。



【図 3-1】設定内容の確認 ①

Options 画面から **General** ⇒ **EDA Tools Options** を選択し、画面右 **EDA Tool** 内の **Questa Intel FPGA** の行に **Questa* - IFSE** の起動プログラムファイル保存されたフォルダーパスを指定します。ご自身のパソコンのインストール環境に応じたパスを設定してください。(図 3-2 参照)

(Quartus® Prime インストール・フォルダー)/questa_fse/win64

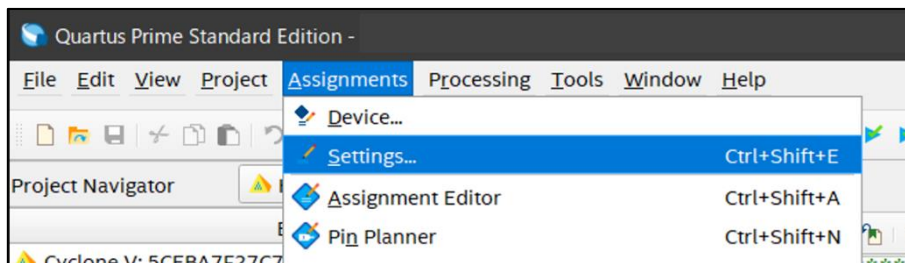


【図 3-2】設定内容の確認 ②

⚠ 注記:

パスの変更を行わない場合、後述する 3-1-3 の操作で、エラーが発生します。

Assignments メニュー ⇒ **Settings** を選択します。

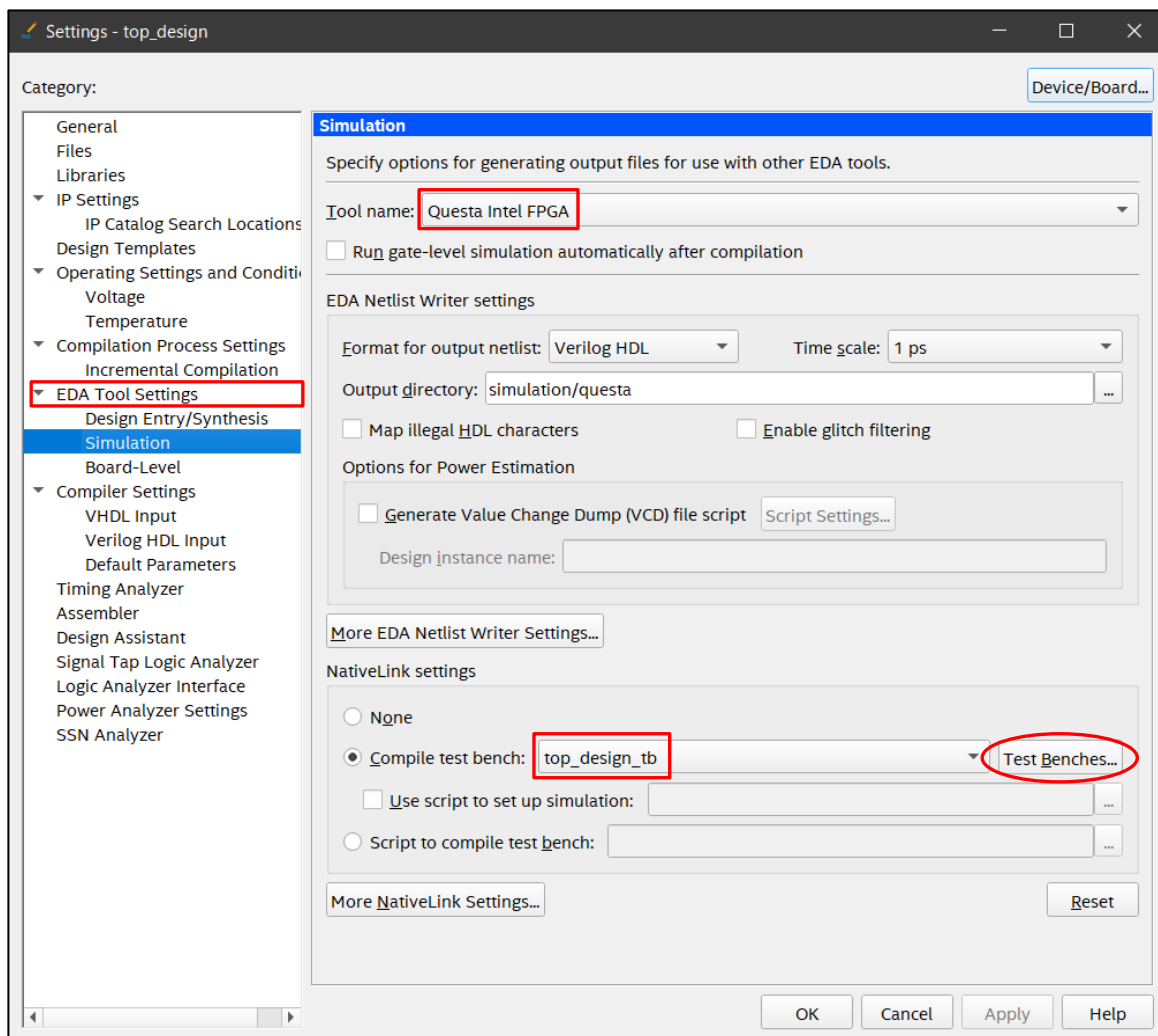


【図 3-3】設定内容の確認 ③

Settings 画面の EDA Tool Settings ⇒ Simulation より、設定済みの内容が以下のとおりかを確認します。

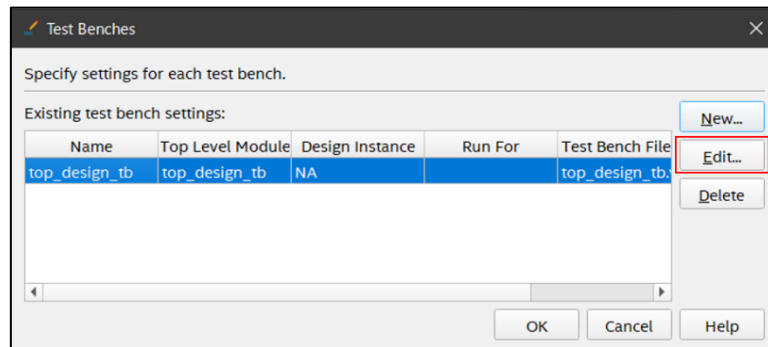
- Tool name ... Questa Intel FPGA
- Compile test bench ... top_design_tb

次に、右側の [Test Benches...] ボタンをクリックします。



【図 3-4】 設定内容の確認 ④

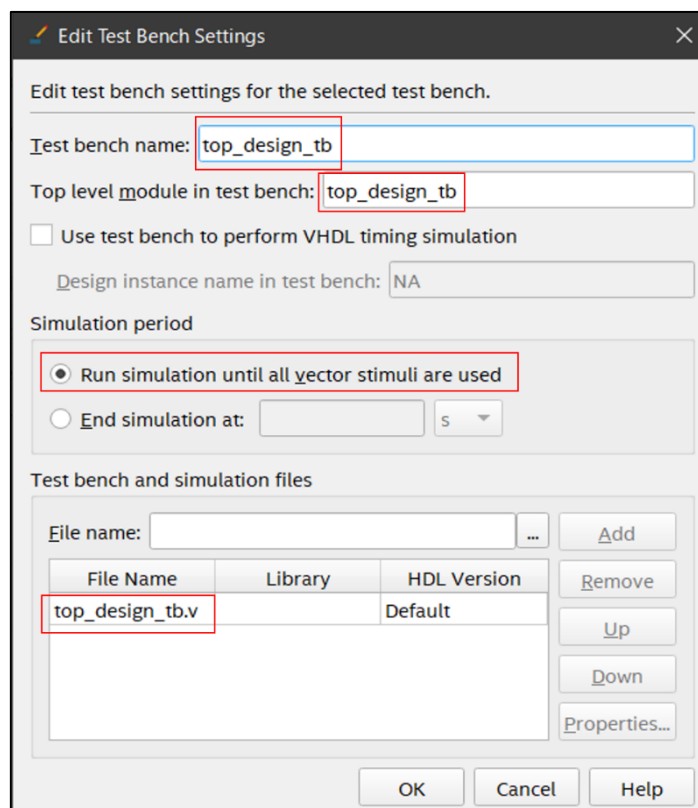
Test Benches 画面が起動後、**Existing test bench settings** の枠内にリストアップされている項目をハイライトした後、**[Edit]** ボタンをクリックします。



【図 3-5】 設定内容の確認 ⑤

Edit Test Bench Settings 画面が起動したら、設定済みの内容が以下のとおりかを確認します。

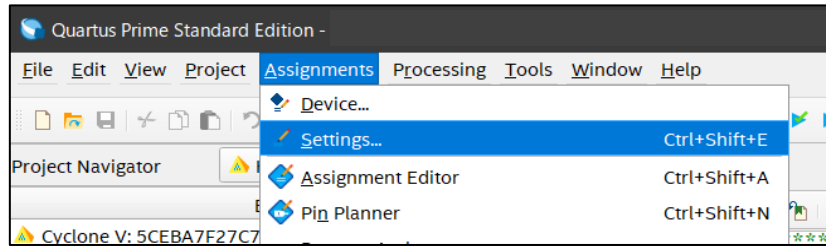
- **Test bench name** ... **top_design_tb**
- **Top level module in test bench** ... **top_design_tb**
- **Simulation period** ... **Run simulation until all vector stimuli are used** が有効
- **Test bench and simulation files** ... **File Name** に **top_design_tb.v** が表示



【図 3-6】 設定内容の確認 ⑥

確認後、すべてのダイアログボックスを **[OK]** ボタンで閉じます。

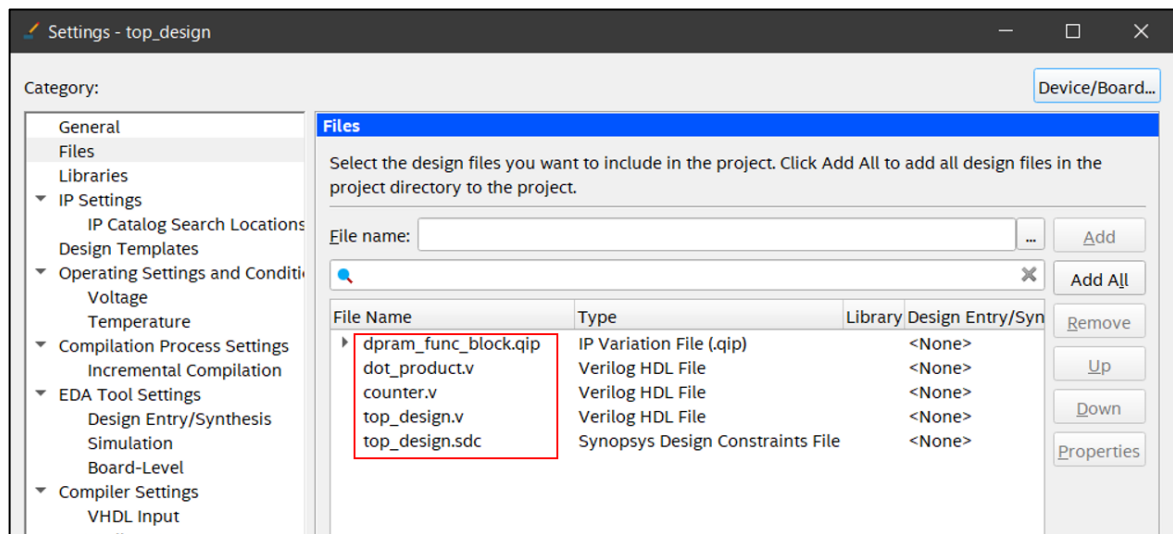
再度、**Assignments** メニュー ⇒ **Settings** を選択します。



【図 3-7】 設定内容の確認 ⑦

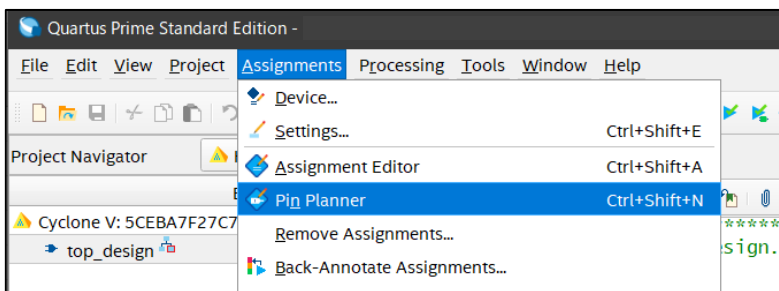
Settings 画面の **Files** カテゴリを選択後、以下のファイルが登録 (順不同) されているか確認します。

- **dpram_func_block.qip** ... 下位階層デザイン (RAM: Simple Dual Port)
- **dot_product.v** ... 下位階層デザイン (乗算回路: 内積)
- **counter.v** ... 下位階層デザイン (カウンター回路)
- **top_design.v** ... 最上位階層デザイン
- **top_design.sdc** ... SDC ファイル



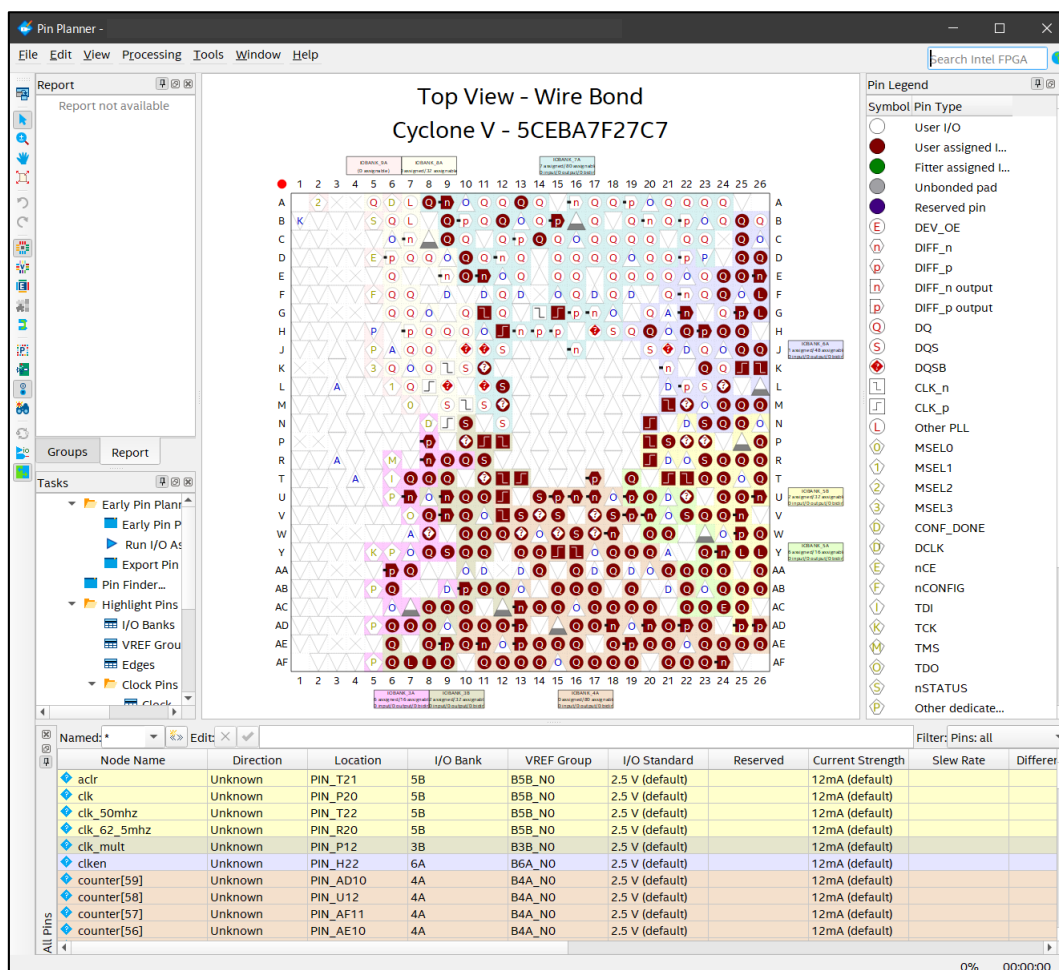
【図 3-8】 設定内容の確認 ⑧

Assignments メニュー ⇒ Pin Planner を選択します。



【図 3-9】 設定内容の確認 ⑨

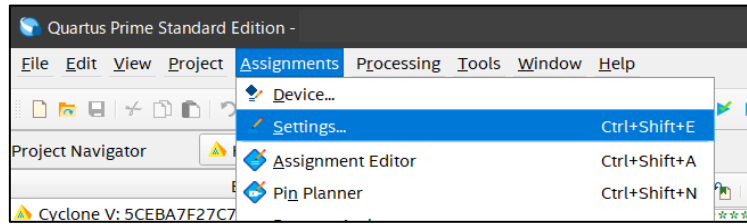
Cyclone® V デバイス 5CEBA7F27C7 に対して、ピン・アサインが行われていることを確認します。



【図 3-10】 設定内容の確認 ⑩

3-1-2. VCD ファイルを生成する

Assignments メニュー ⇒ **Settings** を選択します。



【図 3-11】 VCD ファイルを生成する手順 ①

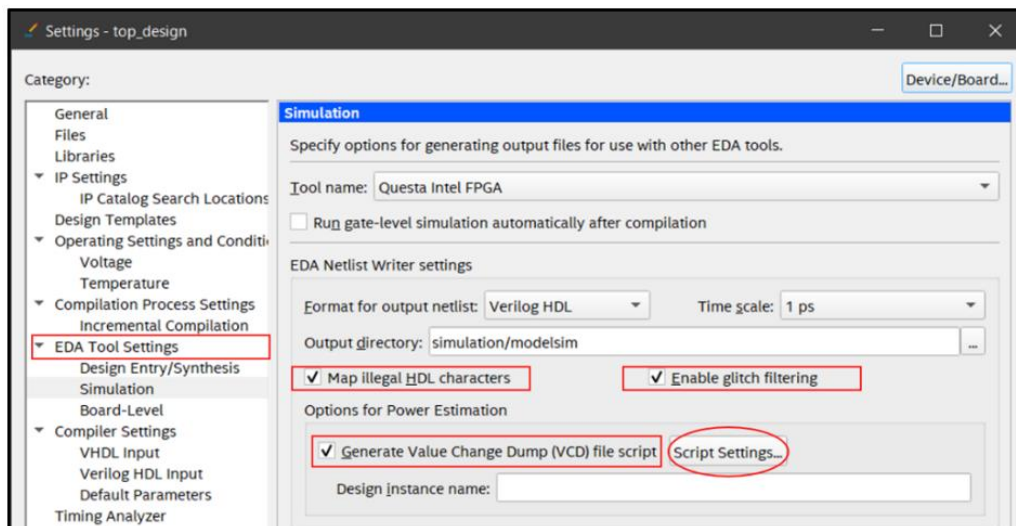
Settings 画面の **EDA Tool Settings** ⇒ **Simulation** より、**Simulation** 画面の **EDA Netlist Writer settings** に対して、以下の項目にチェックを入れて、設定を有効にします。

- **Map illegal HDL characters**
- **Enable glitch filtering**
- **Options for Power Estimation** の **Generate Value Change Dump (VCD) file script**

④ Point:

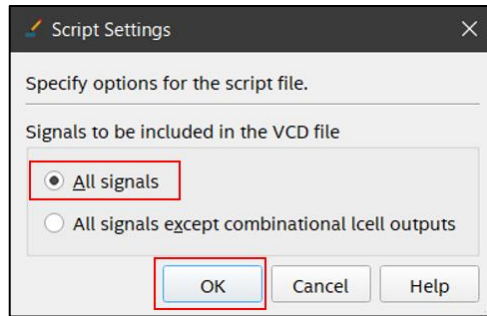
Generate Value Change Dump (VCD) file script オプションにより、VCD ファイル生成を行うスクリプトを生成します。

上記を確認後、右側の [**Script Settings...**] ボタンをクリックします。



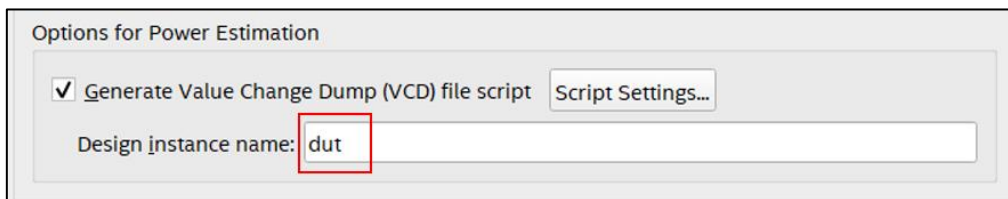
【図 3-12】 VCD ファイルを生成する手順 ②

Script Settings 画面において、**All signals** を選択し、**[OK]** ボタンをクリックします。



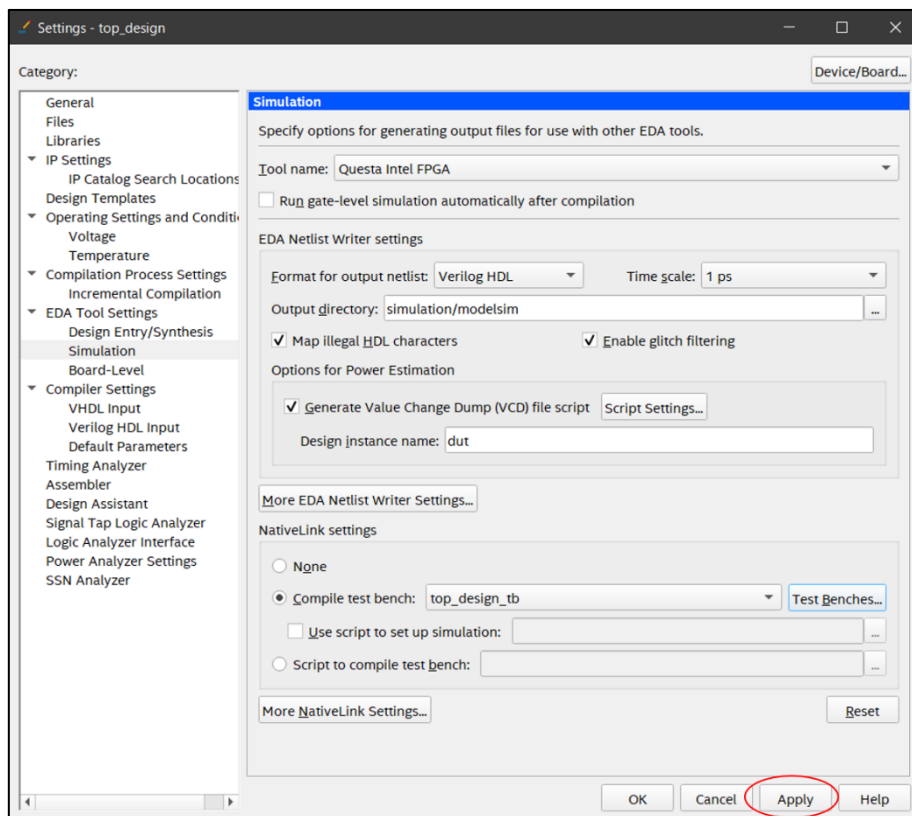
【図 3-13】 VCD ファイルを生成する手順 ③

Options for Power Estimation の **Design instance name** には、**dut** と入力します。



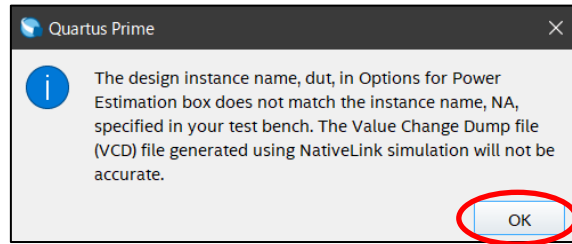
【図 3-14】 VCD ファイルを生成する手順 ④

Simulation 画面の右下にある **[Apply]** ボタンをクリックします。



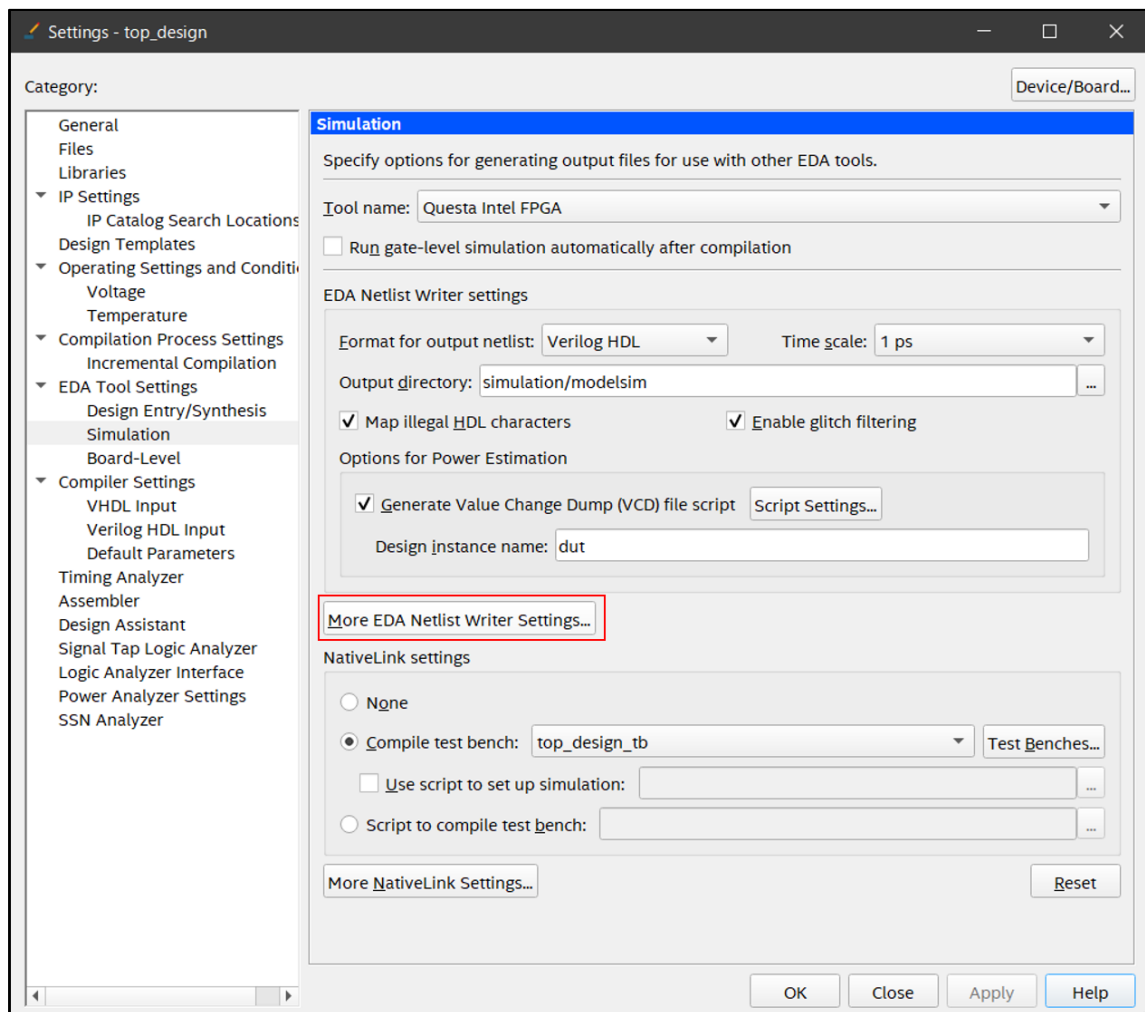
【図 3-15】 VCD ファイルを生成する手順 ⑤

ここで警告画面が表示されますが、ここでは、[OK] ボタンをクリックします。



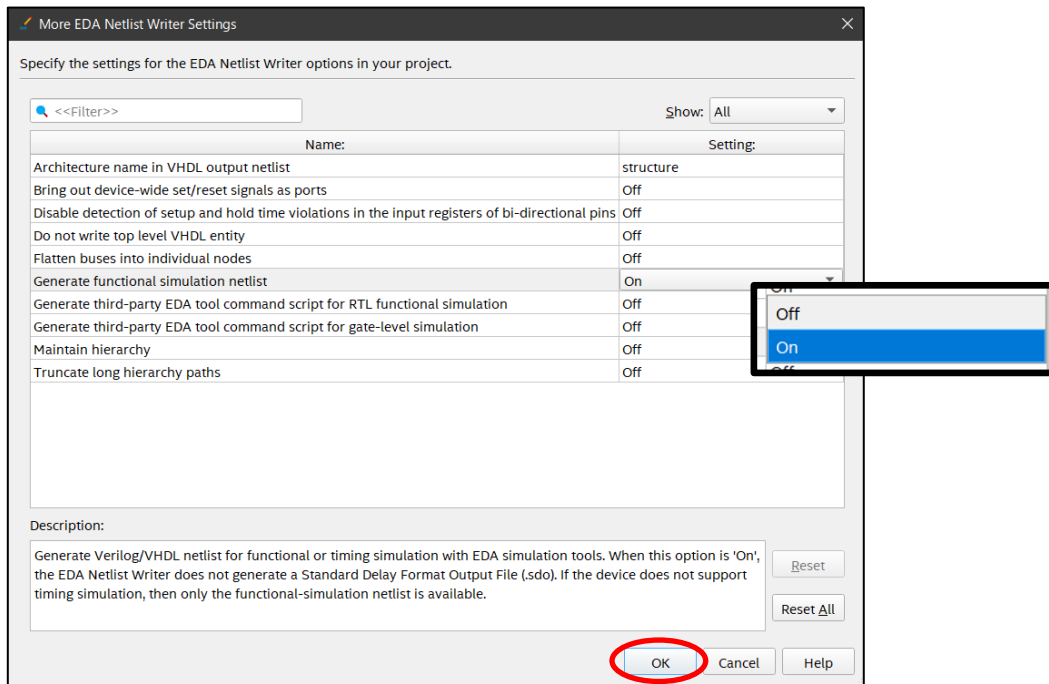
【図 3-16】 VCD ファイルを生成する手順 ⑥

次に、[More EDA Netlist Writer Settings] ボタンをクリックします。



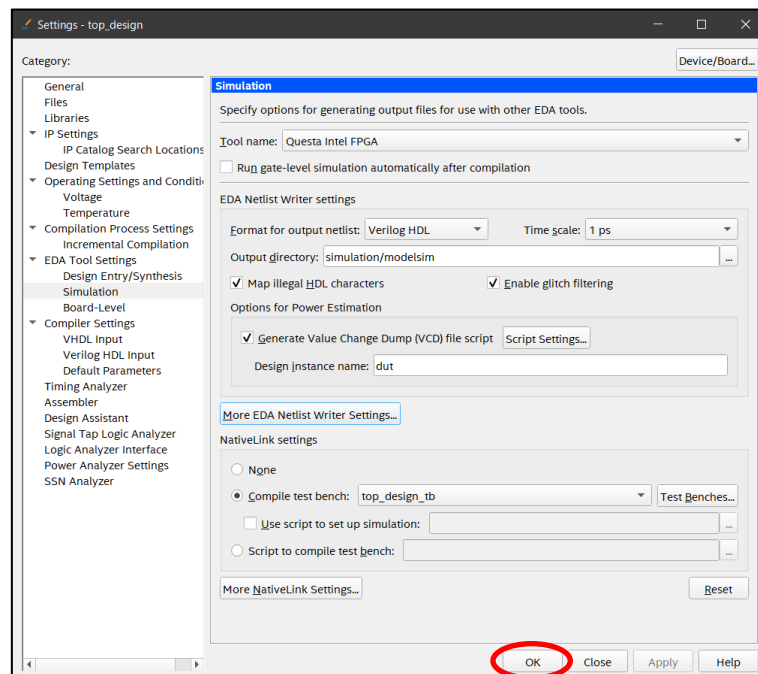
【図 3-17】 VCD ファイルを生成する手順 ⑦

Generate functional simulation netlist の設定を、プルダウン・メニューより ON を選択します。



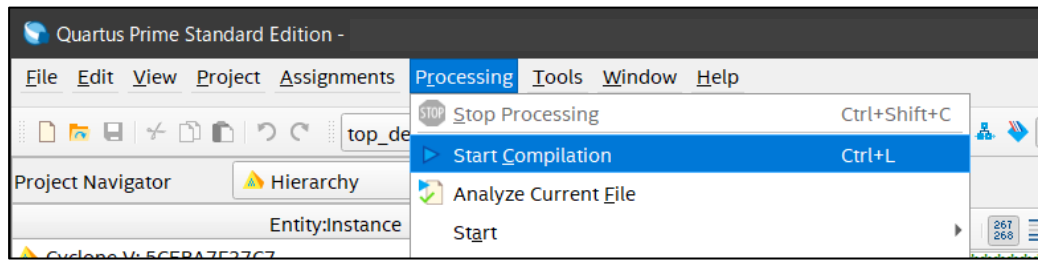
【図 3-18】VCD ファイルを生成する手順 ⑧

[OK] ボタンをクリックし、Settings 画面に対する設定を終了します。



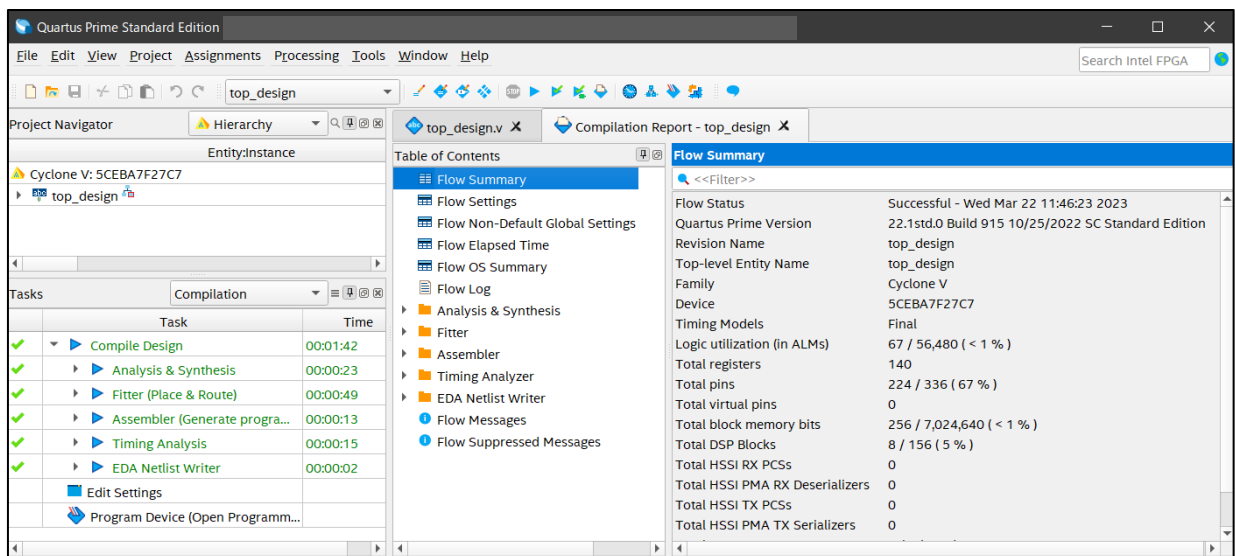
【図 3-19】VCD ファイルを生成する手順 ⑨

Processing メニュー ⇒ **Start Compilation** を選択して、フル・コンパイルを実行します。



【図 3-20】VCD ファイルを生成する手順 ⑩

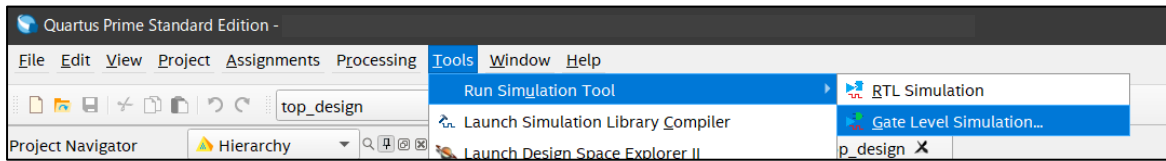
EDA Netlist Writer までコンパイルが正常に行われ、**Timing Analyzer** のタイミング解析によるタイミング違反がないことが確認できます。



【図 3-21】VCD ファイルを生成する手順 ⑪

3-1-3. ゲートレベル・シミュレーションの実施

Tools メニュー ⇒ Run Simulation Tool ⇒ Gate Level Simulation を選択します。



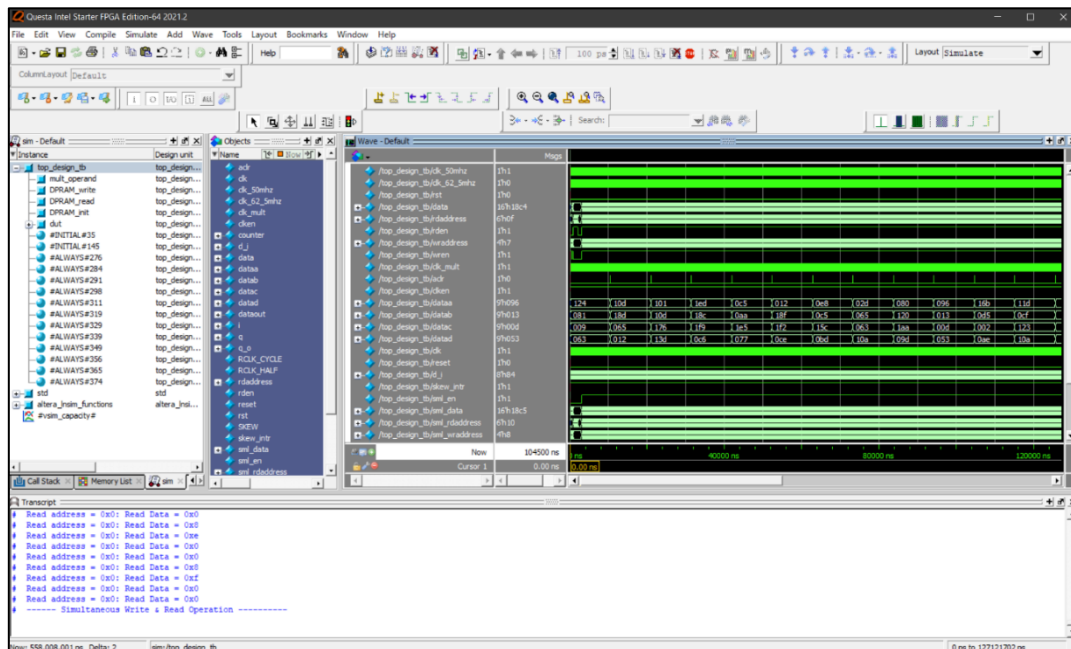
【図 3-22】ゲートレベル・シミュレーションの実施 ①

Questa* - IFSE が起動し、ゲートレベル・シミュレーションが自動的に実行されます。

(Quartus® Prime 側で生成されたスクリプトが実行され、Questa*- IFSE の起動 ~ Compile ~ Load ~ Simulation までの一連のフローが自動的に行われます。)

Ⓧ Point:

VCD ファイルは、この段階で生成されます。



【図 3-23】ゲートレベル・シミュレーションの実施 ②

Ⓧ Point:

ゲートレベル・シミュレーションは、Fitter (配置配線) 終了後、EDA Netlist Writer を実施した際に生成されるゲートレベル・シミュレーション用のネットリスト (拡張子 .vo) を使用します。

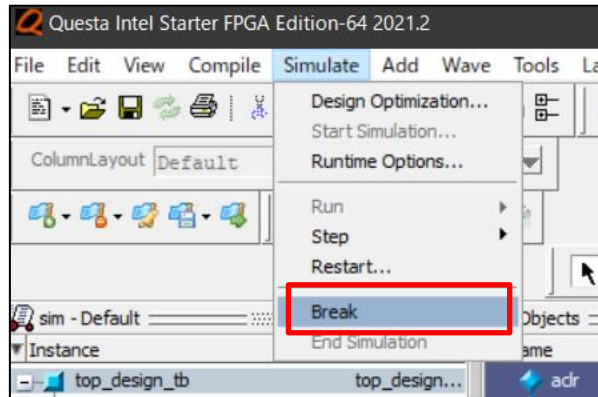
Ⓛ Note:

*.vo ファイルは、Verilog HDL 向けのネットリストです。VHDL 向けは *.vho が該当します。これらは以下のフォルダー内に生成されます。

//<Quartus® Prime プロジェクト・フォルダー>/simulation/questa

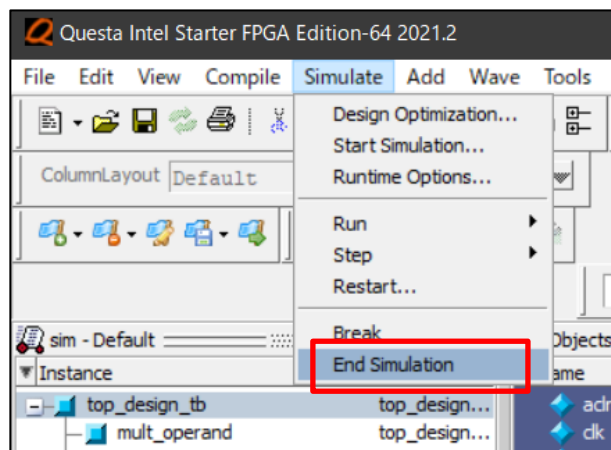
この資料では、シミュレーション波形に関しての言及は割愛し、以降はシミュレーションを停止して終了するまでの手順だけを掲載します。

Questa* - IFSE の **Simulate** メニュー ⇒ **Break** を選択します。



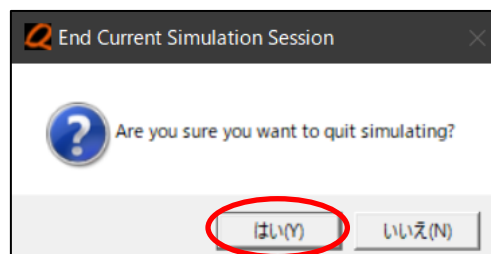
【図 3-24】 ゲートレベル・シミュレーションの実施 ③

Simulate メニュー ⇒ **End Simulation** を選択します。



【図 3-25】 ゲートレベル・シミュレーションの実施 ④

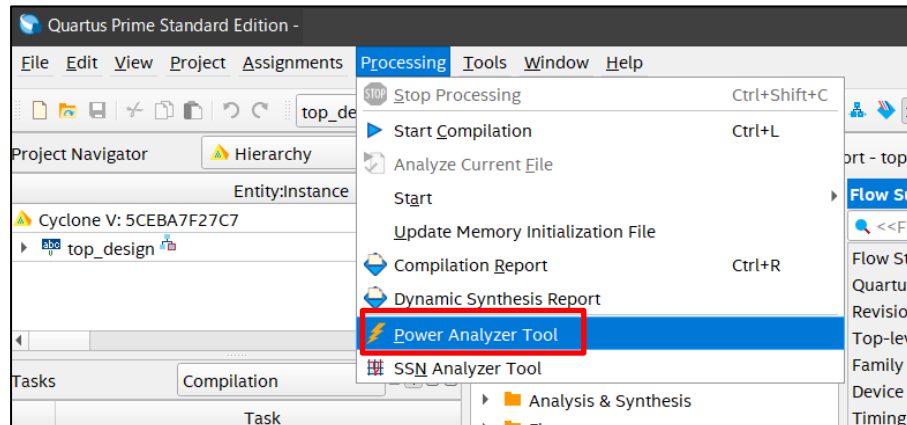
以下の画面が表示されたら [はい(Y)] ボタンをクリックし、Questa* - IFSE を終了します。



【図 3-26】 ゲートレベル・シミュレーションの実施 ⑤

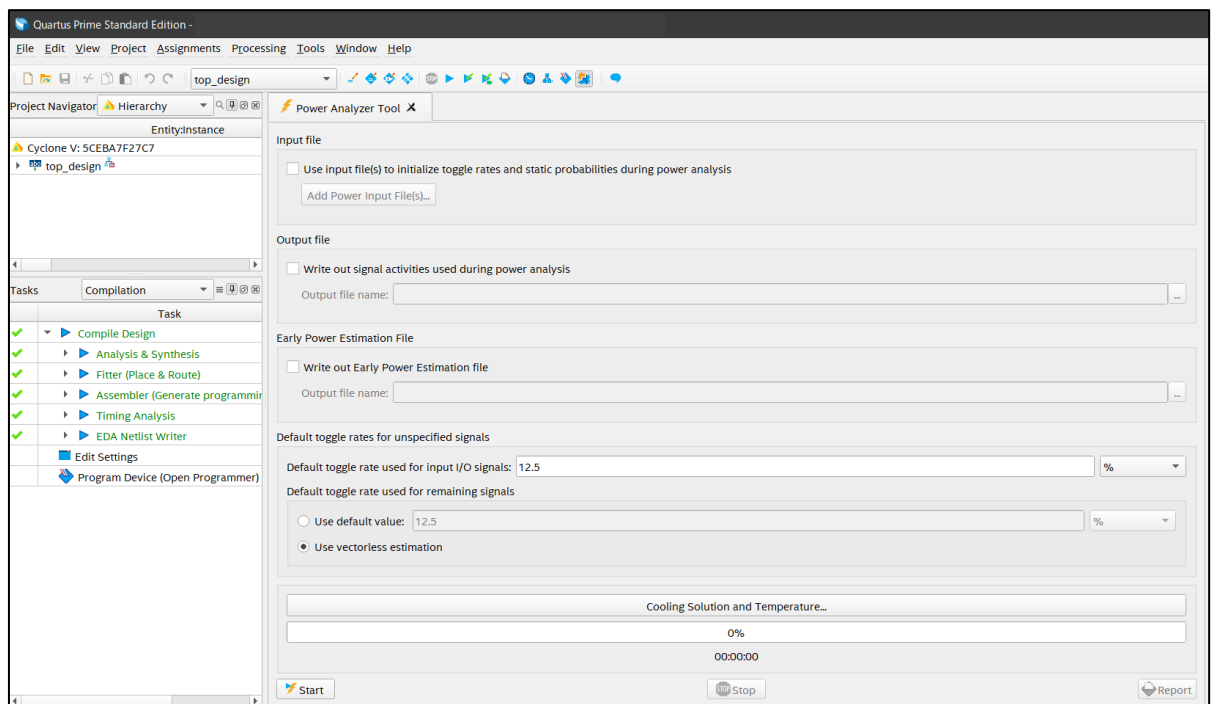
3-1-4. Power Analyzer Tool の実行

Quartus® Prime のメイン画面に戻り、**Processing** メニュー ⇒ **Power Analyzer Tool** を選択します。



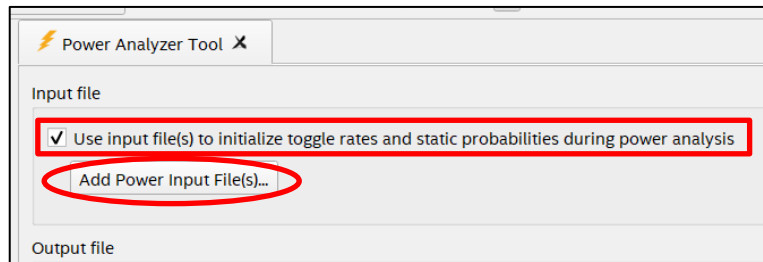
【図 3-27】 Power Analyzer Tool の実行 ①

Power Analyzer Tool 画面が起動します。



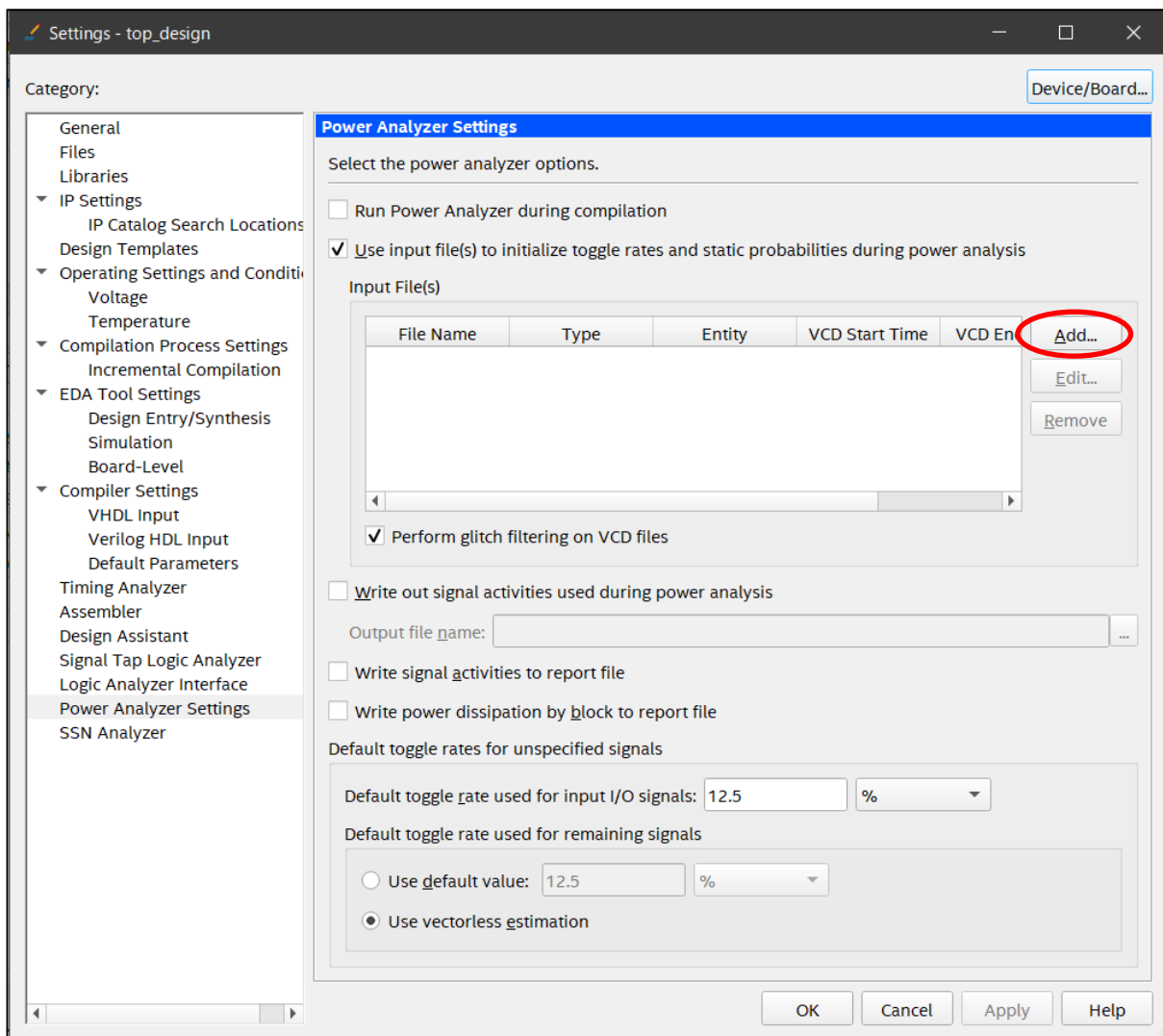
【図 3-28】 Power Analyzer Tool の実行 ②

Input file の **Use input file(s) to initialize toggle rates and static probabilities during power analysis** にチェックを入れ、**[Add Power Input File(s)]** ボタンをクリックします。



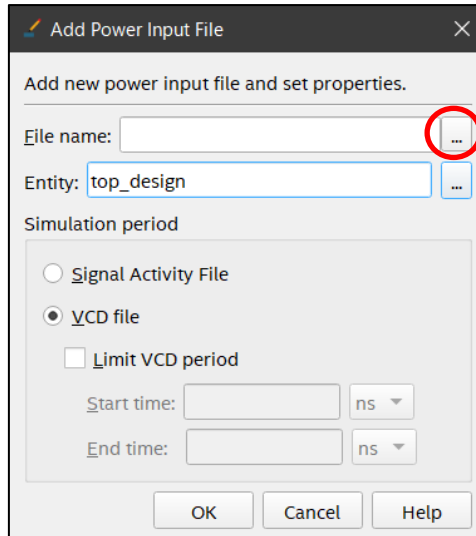
【図 3-29】 Power Analyzer Tool の実行 ③

Settings 画面 **Power Analyzer Settings** カテゴリの画面が起動したら、右側の **[Add]** ボタンをクリックします。



【図 3-30】 Power Analyzer Tool の実行 ④

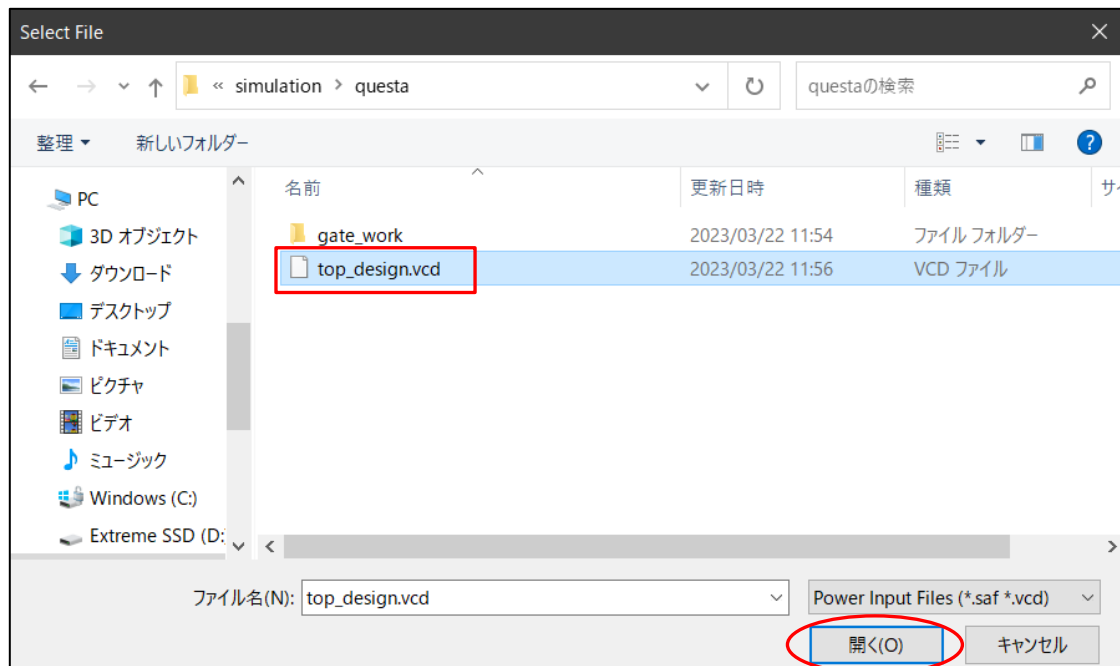
起動した **Add Power Input File** 画面 右側の [...] ボタンをクリックします。



【図 3-31】 Power Analyzer Tool の実行 ⑤

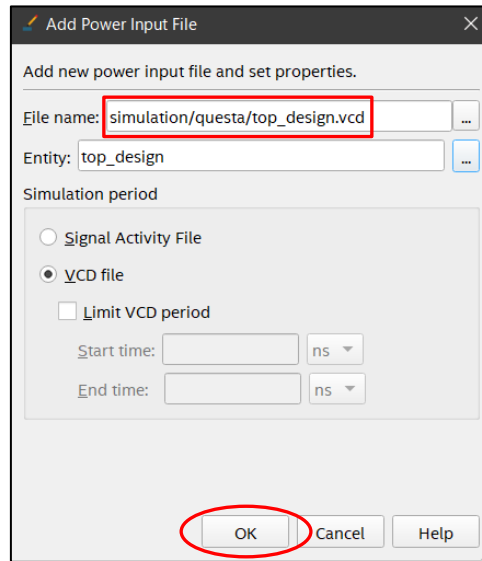
以下のフォルダーに生成されている VCD ファイルを選択します。

//<Quartus® Prime プロジェクト・フォルダー>/simulation/questa



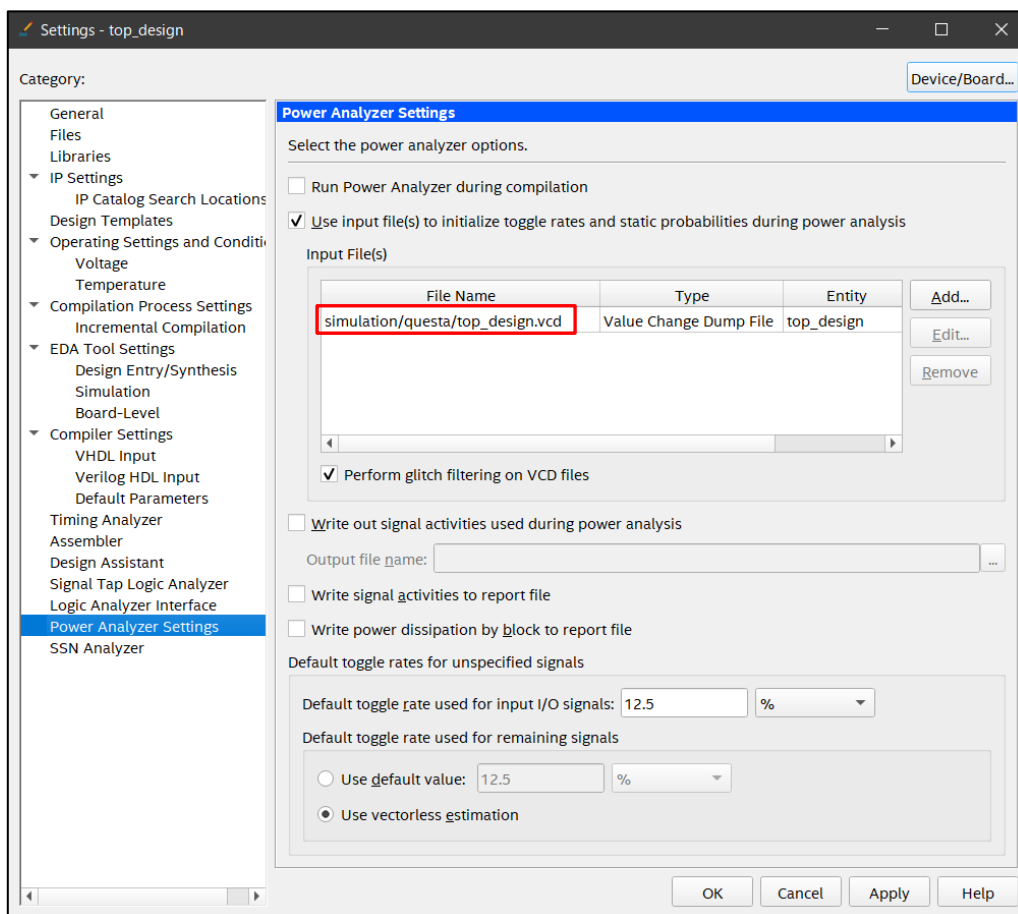
【図 3-32】 Power Analyzer Tool の実行 ⑥

File name に VCD ファイル名が表示されたら、[OK] ボタンをクリックします。



【図 3-33】 Power Analyzer Tool の実行 ⑦

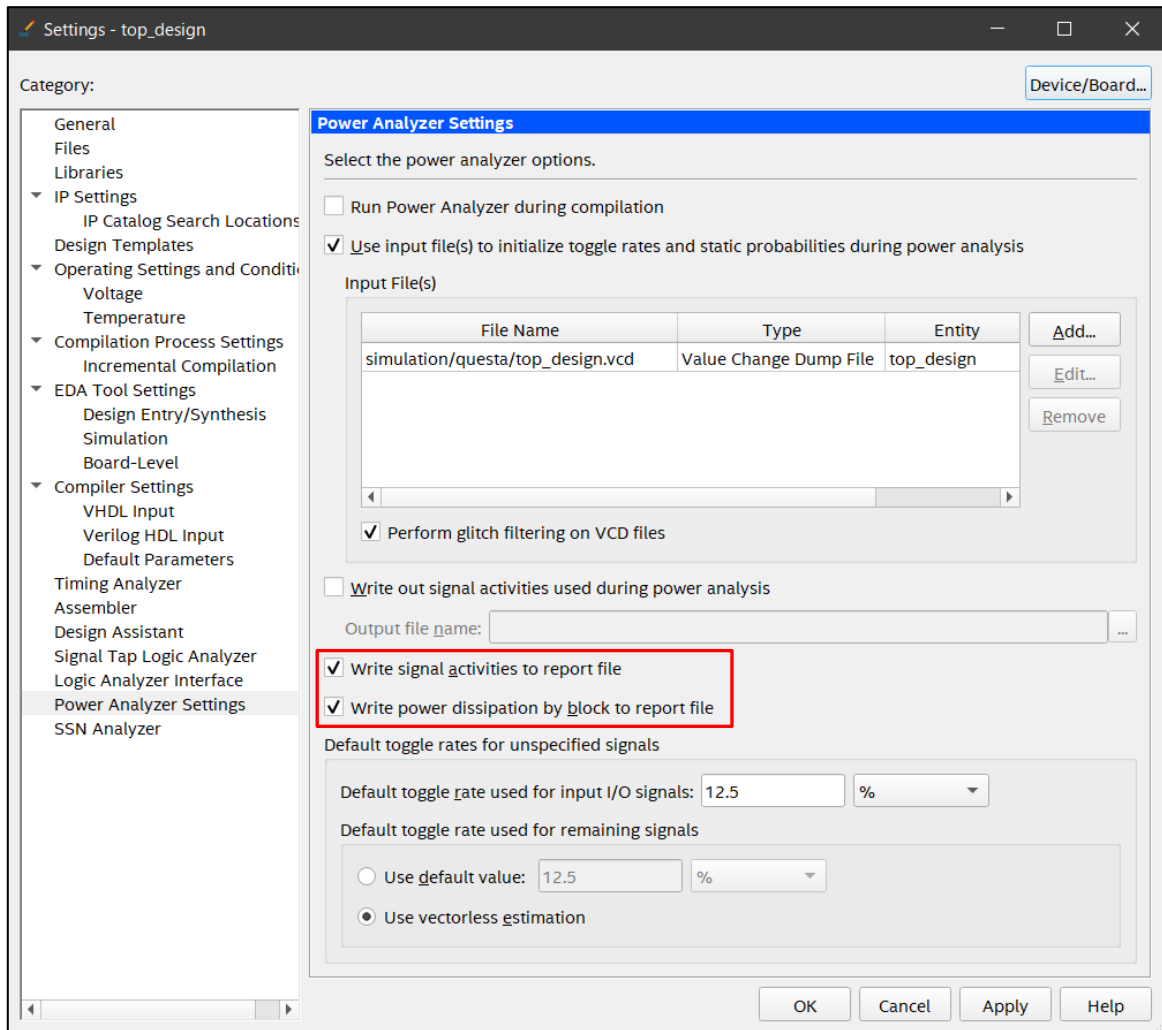
Power Analyzer Settings 画面の **Input File(s)** に、VCD ファイルが登録されていることを確認します。



【図 3-34】 Power Analyzer Tool の実行 ⑧

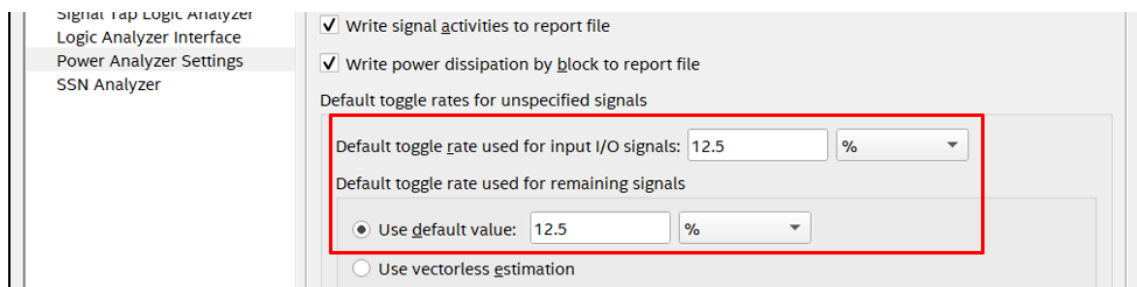
次に、以下の項目にチェックを入れ、有効に設定します。

- **Write signal activities to report file**
- **Write power dissipation by block to report file**



【図 3-35】 Power Analyzer Tool の実行 ⑨

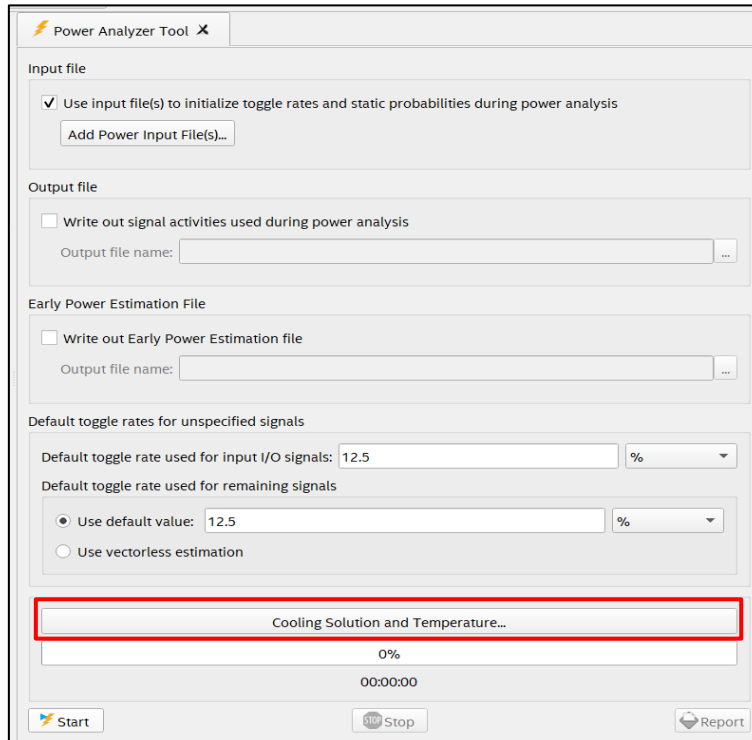
この資料では、**Default toggle rate used for input I/O signals** (I/O ピンのトグル・レート) を 12.5 (代表的な統計値) に指定します。また、**Default toggle rate used for remaining signals** (I/O ピン以外のピンのトグル・レート) に **Use default value** を選択し、12.5 (代表的な統計値) に指定します。



【図 3-36】 Power Analyzer Tool の実行 ⑩

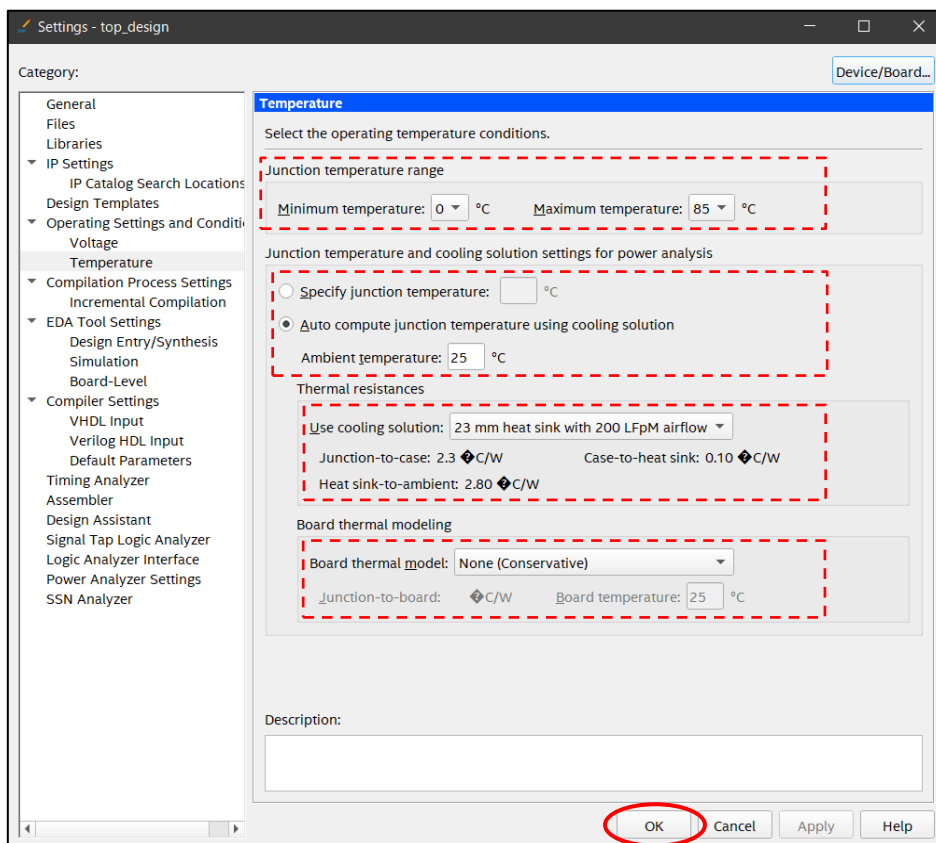
上記の設定が終了したら、[Apply] ⇒ [OK] の順番でボタンをクリックし、Settings 画面をクローズします。

Power Analyzer Tool 画面に戻り、[Cooling Solution and Temperature] ボタンをクリックします。



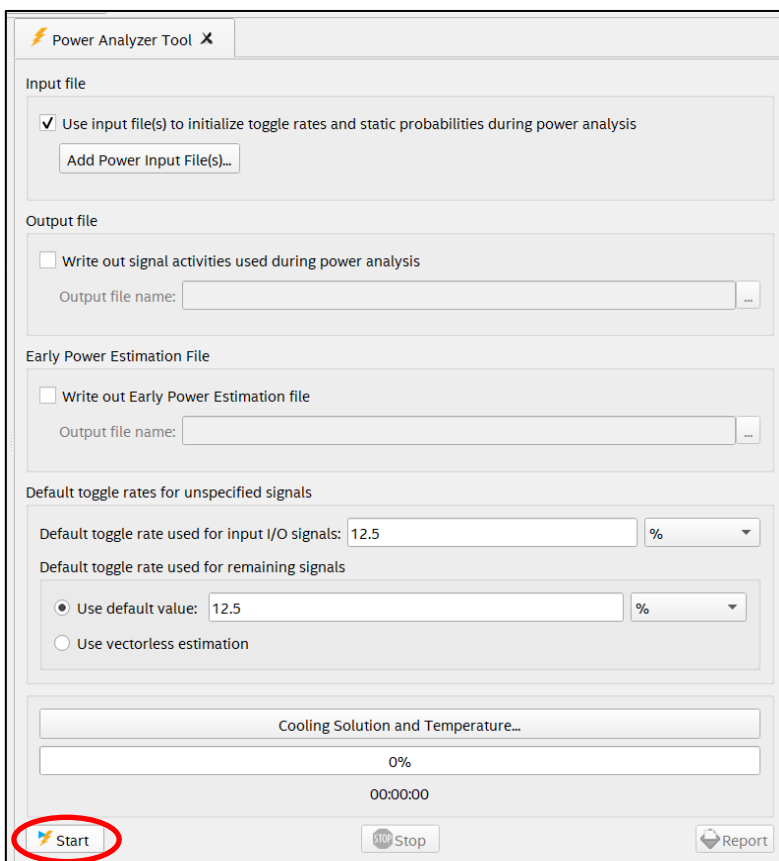
【図 3-37】 Power Analyzer Tool の実行 ⑪

Settings 画面 Temperature カテゴリの画面が起動し、様々な温度条件を指定することが可能になります。この資料では、デフォルトの温度条件を採用します。[OK] ボタンをクリックします。



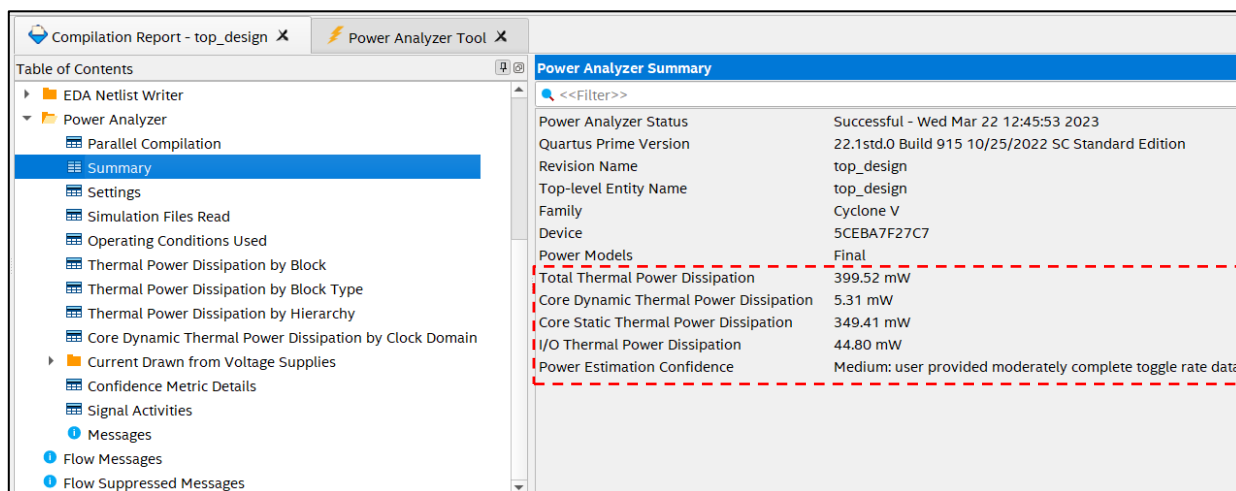
【図 3-38】 Power Analyzer Tool の実行 ⑫

Power Analyzer Tool 画面の左下にある [Start] ボタンをクリックし、Power Analyzer Tool による消費電力の見積もり解析を実行します。



【図 3-39】 Power Analyzer Tool の実行 ⑬

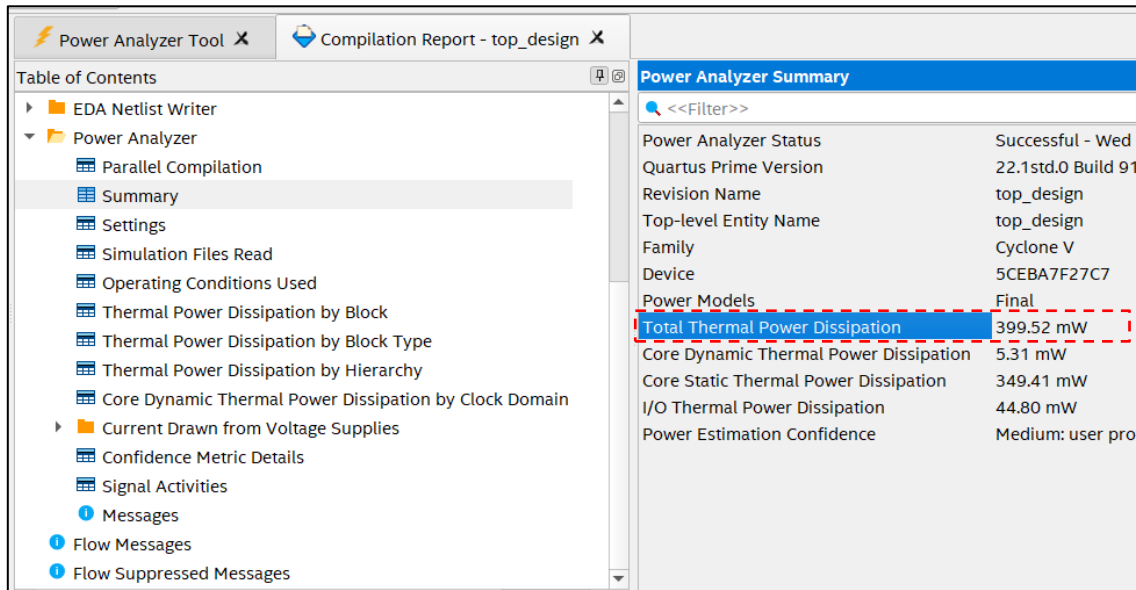
コンパイル・レポートに、Power Analyzer Tool による解析結果が表示されます。Power Analyzer Tool フォルダ → Summary を選択すると、右側に消費電力の各種概略が表示されます。



【図 3-40】 Power Analyzer Tool の実行 ⑭

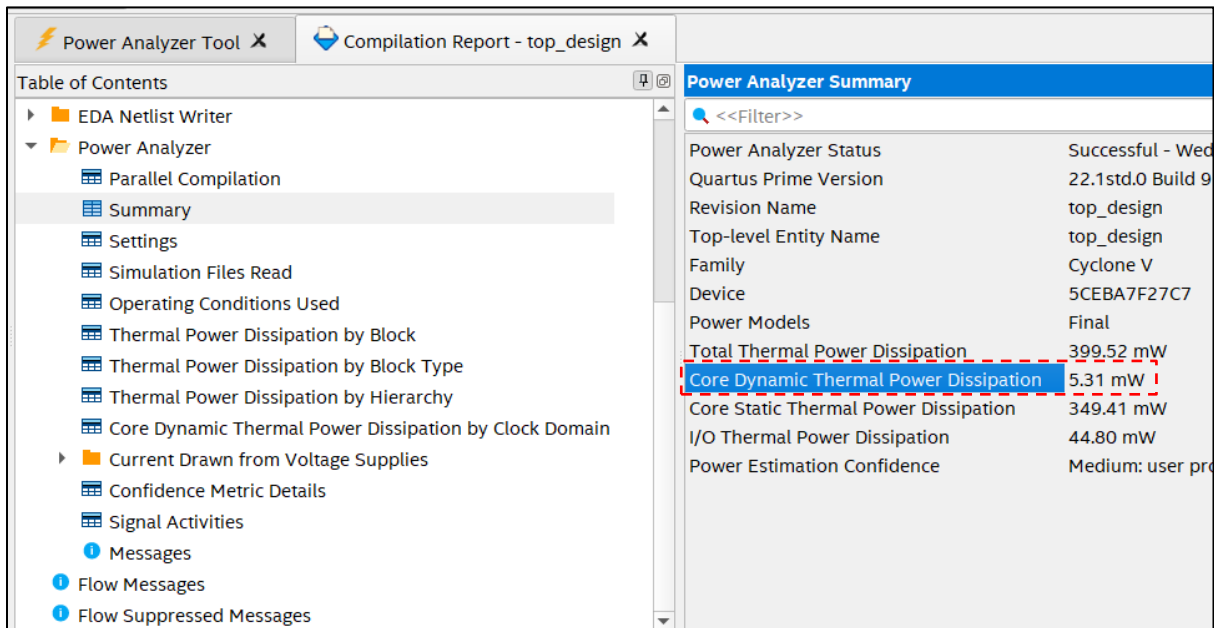
3-1-5. Power Analyzer Tool の消費電力解析レポート

Total Thermal Power Dissipation では、トータルの消費電力の見積もり結果を表示します。



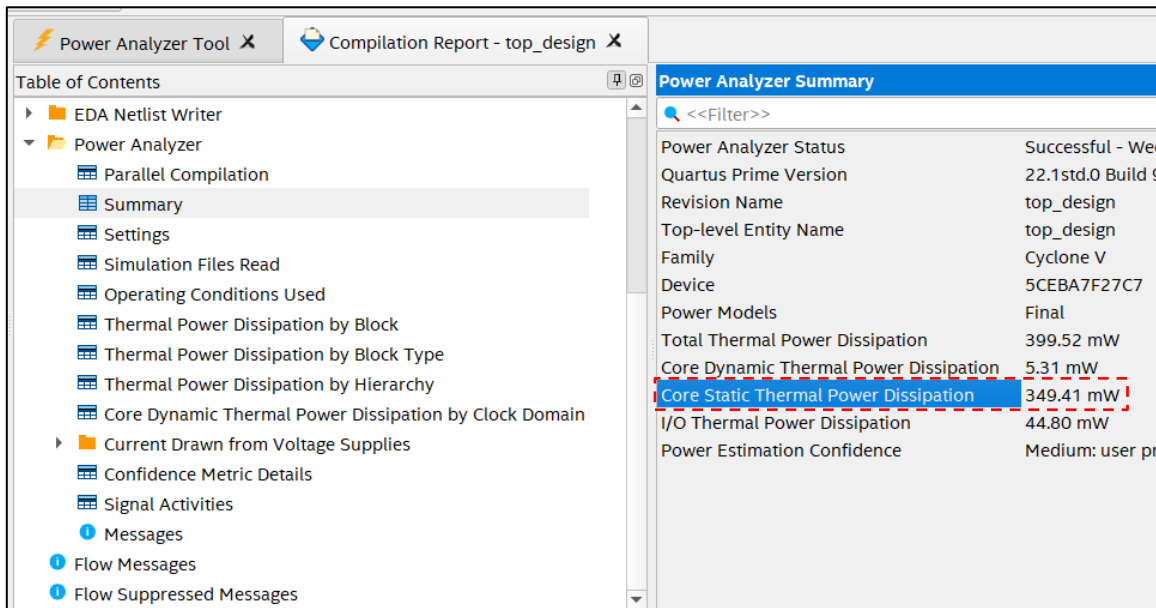
【図 3-41】 Power Analyzer Tool の消費電力解析レポート ①

Core Dynamic Thermal Power Dissipation では、FPGA ファブリック・コアのダイナミック消費電力の見積もり結果を表示します。



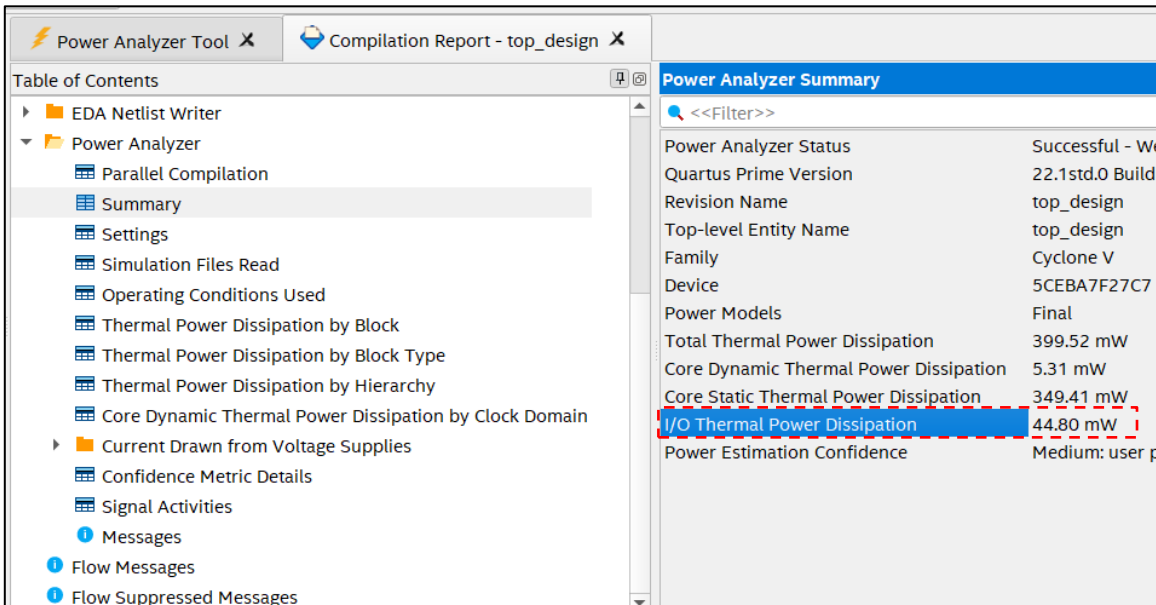
【図 3-42】 Power Analyzer Tool の消費電力解析レポート ②

Core Static Thermal Power Dissipation では、FPGA ファブリック・コアのスタティック消費電力の見積もり結果を表示します。



【図 3-43】 Power Analyzer Tool の消費電力解析レポート ③

I/O Thermal Power Dissipation では、I/O ピン周辺部 (I/O エLEMENT) の消費電力の見積もり結果を表示します。



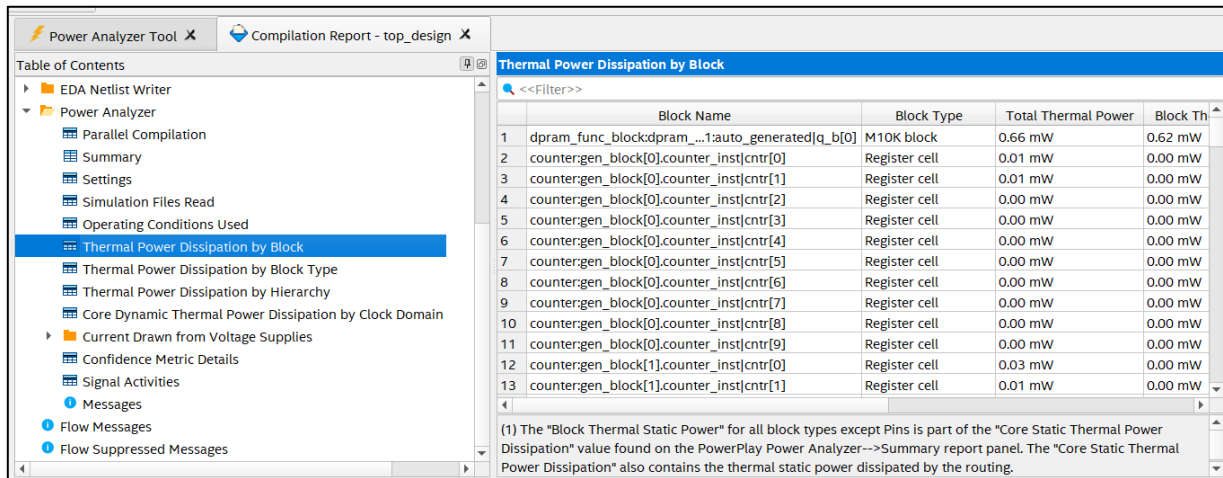
【図 3-44】 Power Analyzer Tool の消費電力解析レポート ④



注記:

VCD ファイルを使用せずに Power Analyzer Tool を実行した場合、見積もりの精度が低下するため、VCD ファイルを使用した場合よりも、消費電力がトータルで高く見積もられる傾向にあります。

Thermal Power Dissipation by Block では、機能ブロックごとの消費電力の見積もり結果を全て列挙します。その機能ブロックが、どのリソース・タイプに実装されていることも表示しています。



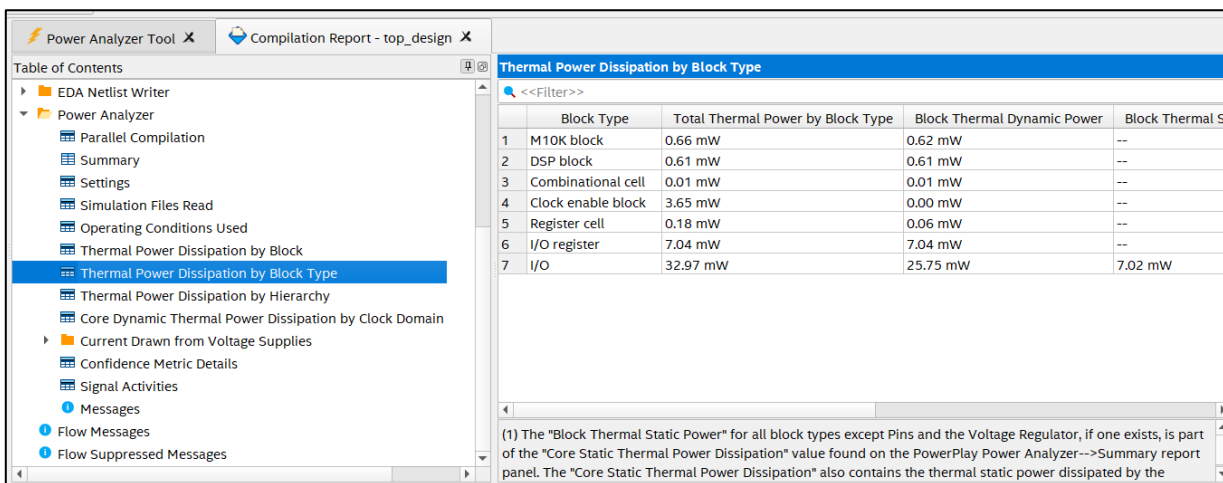
【図 3-45】 Power Analyzer Tool の消費電力解析レポート ⑤



注記:

VCD ファイルを使用せずに Power Analyzer Tool を実行した場合、何も表示されません。

Thermal Power Dissipation by Block Type では、機能ブロックが実装されたリソース・タイプをベースにした消費電力見積もり結果を表示しています。



【図 3-46】 Power Analyzer Tool の消費電力解析レポート ⑥

Thermal Power Dissipation by Hierarchy では、階層別に各ノードの消費電力見積もり値を表示しています。

The screenshot shows the Power Analyzer Tool interface with the 'Thermal Power Dissipation by Hierarchy' report selected in the Table of Contents. The main window displays a table with the following data:

Compilation Hierarchy Node	Total Thermal Power by Hierarchy (1)	Block Thermal Dynamic Power (1)
1 top_design	45.12 mW (37.25 mW)	34.10 mW (26.38 mW)
1 dot_product:Y[0].dot_product_inst	1.86 mW (1.86 mW)	1.86 mW (1.86 mW)
2 dot_product:Y[1].dot_product_inst	1.86 mW (1.86 mW)	1.86 mW (1.86 mW)
3 dot_product:Y[2].dot_product_inst	1.84 mW (1.84 mW)	1.83 mW (1.83 mW)
4 dot_product:Y[3].dot_product_inst	1.47 mW (1.47 mW)	1.47 mW (1.47 mW)
5 hard_block:auto_generated_inst	0.00 mW (0.00 mW)	0.00 mW (0.00 mW)
6 dpram_func_block:dpram_func_inst	0.66 mW (0.00 mW)	0.62 mW (0.00 mW)
1 altsyncramaltsyncram_component	0.66 mW (0.00 mW)	0.62 mW (0.00 mW)
1 altsyncram_sdu1:auto_generated	0.66 mW (0.66 mW)	0.62 mW (0.62 mW)
7 counter:gen_block[0].counter_inst	0.03 mW (0.03 mW)	0.01 mW (0.01 mW)
8 counter:gen_block[1].counter_inst	0.05 mW (0.05 mW)	0.01 mW (0.01 mW)
9 counter:gen_block[2].counter_inst	0.03 mW (0.03 mW)	0.01 mW (0.01 mW)
10 counter:gen_block[3].counter_inst	0.03 mW (0.03 mW)	0.01 mW (0.01 mW)
11 counter:gen_block[4].counter_inst	0.02 mW (0.02 mW)	0.01 mW (0.01 mW)
12 counter:gen_block[5].counter_inst	0.02 mW (0.02 mW)	0.01 mW (0.01 mW)

(1) Value in parentheses is the power consumed at that level of hierarchy. Value not in parentheses is the power consumed at that level of hierarchy plus the power consumed by all levels of hierarchy below it.

【図 3-47】 Power Analyzer Tool の消費電力解析レポート ⑦

Core Dynamic Thermal Power Dissipation by Clock Domain では、クロックドメイン (SDC で定義) の周波数と消費電力見積もり結果を表示します。

The screenshot shows the Power Analyzer Tool interface with the 'Core Dynamic Thermal Power Dissipation by Clock Domain' report selected in the Table of Contents. The main window displays a table with the following data:

Clock Domain	Clock Frequency (MHz)	Total Core Dynamic Power
1 clk_50mhz	50.00	2.11
2 clk_62_5mhz	62.50	0.35
3 clk	50.00	0.78
4 clk_mult	50.00	9.11
5 No clock domain	0.00	0.00

【図 3-48】 Power Analyzer Tool の消費電力解析レポート ⑧

⚠ 注記:

- ここで示される周波数は、テストベンチで定義した周波数が VCD ファイルを介して間接的に反映されます。SDC ファイルで指定したクロック周波数ではありませんので注意してください。
- VCD ファイルを使用せずに Power Analyzer Tool を実行した場合は、SDC ファイルで指定したクロック周波数が反映されます。

🚫 禁止:

SDC ファイルを使用しない場合、クロックドメイン名や周波数が定義されていないため、周波数 0 MHz の No clock domain として集約されてしまいますが、消費電力見積もり値は Total Core Dynamic Power に表示されます。

Current Drawn from Voltage Supplies の Summary では、各電源電圧端子の消費電流等を表示します。

	Voltage Supply	Total Current Drawn (1)	Dynamic Current Drawn (1)	Static Current Drawn (1)
1	VCC	65.38 mA	13.05 mA	52.33 mA
2	VCCIO	6.72 mA	5.78 mA	0.94 mA
3	VCCPD	5.05 mA	3.50 mA	1.55 mA
4	VCCA_FPLL	1.15 mA	0.00 mA	1.15 mA
5	VCCPGM	0.64 mA	0.00 mA	0.64 mA
6	VCCBAT	0.00 mA	0.00 mA	0.00 mA
7	VCCCE_GXB	0.00 mA	0.00 mA	0.00 mA
8	VCCCL_GXB	0.00 mA	0.00 mA	0.00 mA
9	VCCCH_GXB	0.00 mA	0.00 mA	0.00 mA
10	VCCAUX	117.43 mA	0.00 mA	117.43 mA

(1) Currents reported in columns "Total Current Drawn", "Dynamic Current Drawn", and "Static Current Drawn" are for the operation of the device.
 (2) Currents reported in column "Minimum Power Supply Current" do not include transient power-up current

【図 3-49】 Power Analyzer Tool の消費電力解析レポート ⑨

Signal Activities では、VCD ファイルから読み取った情報から 個々の信号やノードのトグル・レートなどを個別に表示します。

	Signal	Type	Toggle Rate (millions of transitions / sec)
1	aclr	Input Pin	0.192
2	aclr~inputCLKENAO	Combinational	0.192
3	clk	Input Pin	100.000
4	clk_50mhz	Input Pin	99.995
5	clk_50mhz~inputCLKENAO	Combinational	99.995
6	clk_62_5mhz	Input Pin	125.000
7	clk_62_5mhz~inputCLKENAO	Combinational	125.000
8	clk_mult	Input Pin	100.000
9	clk_mult~inputCLKENAO	Combinational	100.000
10	clken	Input Pin	0.000
11	clk~inputCLKENAO	Combinational	100.000
12	counter[0]	Output Pin	49.986
13	counter[1]	Output Pin	24.992
14	counter[2]	Output Pin	12.496
15	counter[3]	Output Pin	6.248
16	counter[4]	Output Pin	3.123

(1) See the Power Analyzer Simulation Files Read report panel for detailed information for each simulation file identifier.

【図 3-50】 Power Analyzer Tool の消費電力解析レポート ⑩



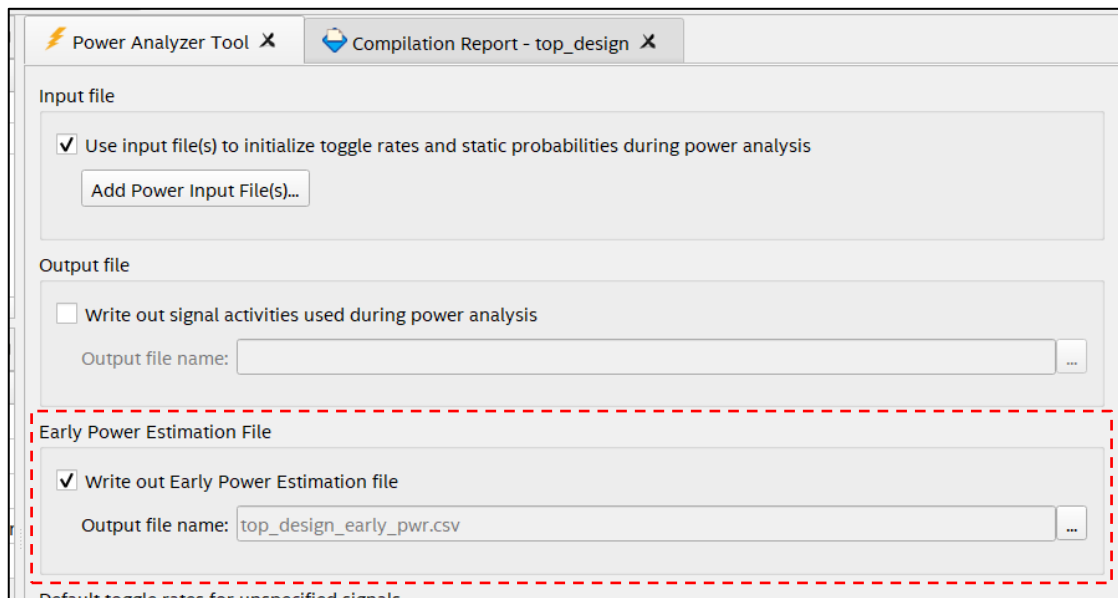
注記:

VCD ファイルを使用せずに Power Analyzer Tool を実行した場合、何も表示されません。

4. Early Power Estimator への展開

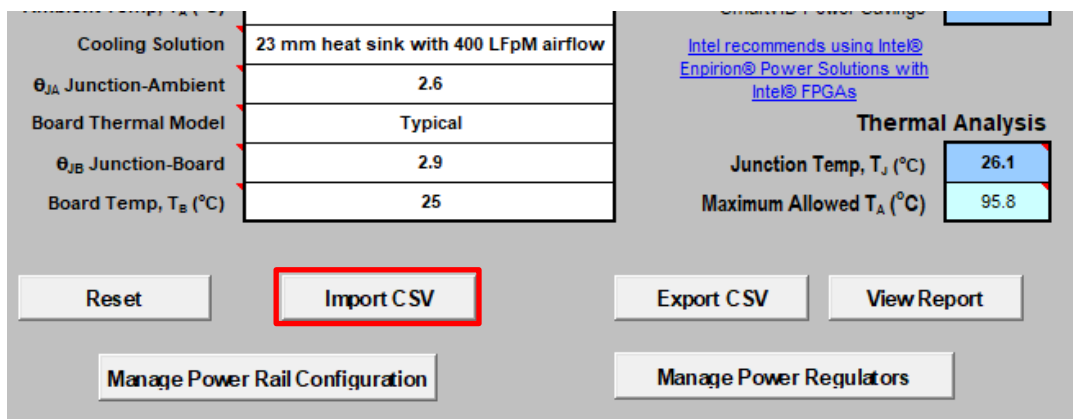
Power Analyzer Tool で解析した消費電力見積もり情報を、Early Power Estimator (以下、EPE) 向けに CSV ファイルに展開するオプションも用意されています。

Power Analyzer Tool 画面内 **Early Power Estimation File** の **Write out Early Power Estimation file** にチェックを入れると、**Output file name** に CSV ファイル名が表示され、解析を実施後 CSV ファイルが生成されます。



【図 3-51】 Early Power Estimator への展開 ①

Quartus® Prime が生成した CSV ファイルを、EPE 内の Import CSV ボタンによりインポートします。



【図 3-52】 Early Power Estimator への展開 ②

既存プロジェクトのデザイン情報が容易に EPE へ反映でき、さらに情報を追加編集することが可能なため、現行デザインを新規デザインに流用する際の早期消費電力見積りに 有効なアプローチの一つです。

改版履歴

Revision	年月	概要
1	2023 年 3 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
[株式会社マクニカ 半導体事業 お問い合わせフォーム](#)
- 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。