

インテル[®] MAX[®] 10 ADC を使用したシミュレーション手順 【ADC control core only 編】

Ver.18.1



インテル® MAX® 10 ADC を使用したシミュレーション手順【ADC control core only 編】

<u>目次</u>

目次2
<mark>本書をお読みになる前に</mark>
1. はじめに
2. 使用環境
3. このサンプルを利用する利点4
4. シミュレーションの操作手順5
4-1. プロジェクトの起動およびシミュレーションを行う為の事前設定5
4-1-1. プロジェクトの起動
4-1-2. シミュレーションを行う為の事前設定
4-2. シミュレーション・デザインの構築8
4-2-1. ADC IP コアのパラメーター設定8
4-2-2. ADC IP コアのシミュレーション・モデルの生成10
4-2-3. 論理合成を行う為の事前設定13
4-2-4. 論理合成14
4-3. テストベンチの生成およびカスタマイズ15
4-3-1. テストベンチの自動生成15
4-3-2. テストベンチの入れ替え16
4-3-3. テストデータの入れ替え17
4-4. NativeLink の設定18
4-5. シミュレーションの実行
5. 机上計算との整合性 Appendix 123
5-1.16 進数データで比較する方法23
5-2. プロット波形で視覚的に比較する方法24
6. 付属の表計算シートについて Appendix 226
改版履歴

本書をお読みになる前に

この資料の内容は 2020 年 6 月現在のものです。

この資料で紹介しているソフトウェアやハードウェア、操作手順などは、指定バージョンやデバイス等以外でも 共通のものもありますが、一部については共通にならないものもありますので、ご注意ください。

文書中の記号

(i) Note	補足情報などを記載しています。
Point	重要なポイントを記載しています。
≧参考	理解を深めるため、参考となる資料やサイトを紹介しています。
▲ 注記	この資料の中では具体的には触れませんが、必要となる知識や情報を記載しています。
◎ 禁止	注意点や、してはいけないことを記載しています。

文中の表記

<u>下線</u>	クリックする事で、資料中の別の章や、外部のサイトにジャンプします。
太字斜体	画面の操作をする際の、メニューやウィンドウなどに表示されている文字を示しています。
XXXXXX	入力するコマンド文字列を示しています。
網掛け	使用するツールを示しています。

1. <u>はじめに</u>

この資料は、株式会社マクニカ アルティマカンパニーの技術コンテンツ「インテル® MAX® 10 ADC を使用した シミュレーション」(以下、記事)で公開しているシミュレーション手順について、サンプルで用意したデザインを 使用してステップ・バイ・ステップで解説したものです。

⑦ このデザインは、ADC control core only モードで構築されています。

この資料で紹介するシミュレーションは、A/D 変換の機能を回路的に検証するものではありません。しかし、 シミュレーション・ツールが、アナログデータを A/D コンバーター(以降、ADC)の分解能を考慮した理論値とし てデジタルデータに変換できる為、この理論値を用いてデジタル変換後のデジタル側の動作を検証します。

2. 使用環境

この説明では、以下の開発ツールを使用しています。

項番	項目	内容
1	インテル [®] Quartus [®] Prime 開 発ソフトウェア・スタンダード・ エディション (以降、Quartus [®] Prime)	FPGA のハードウェアを開発するためのツールです。 この資料では、インテル® Quartus® Prime 開発ソフトウェア・スタン ダード・エディション v18.1 を使用しています。
2	Modular ADC core Intel FPGA IP	MAX [®] 10 FPGA に内蔵されている ADC の制御に利用可能な IP コ アです。 この資料では、以降 ADC IP コアと表記します。
3	ModelSim [®] - Intel [®] FPGA Starter Edition	FPGA に実装する論理回路の動作を確認するために、波形を表示 させたシミュレーションで、各信号の振舞いを検証するシミュレーシ ョン・ツールです。 この資料では、v18.1 の Quartus [®] Prime を使用しているので、それ に対応した ModelSim [®] - IE 10.5b を使用しています。
4	プラットフォーム・デザイナー (旧 Qsys)	FPGA のハードウェアにおいて、主に内部バス Avalon-MM インタ ーフェイス等と接続可能で、アドレスマップで定義された各コンポー ネント (Nios [®] II Processor, DMA Controller, Timer, PIO, On-Chip Memory 等)を組み込んで、ユーザーが独自のメモリーマップド・ システムを構築するためのツールで、Quartus [®] Prime に標準装備 されています。

I	ま	2.1	この説明で体田	ている問発い――
	衣	2-11	この説明で使用し	ノしいる開発ソール

3. このサンプルを利用する利点

記事に添付しているデザインサンプル m10_adc_oly.7z を利用したときの利点は以下の通りです。

(1) スクラッチから手作業で設計する必要が無い為、比較的早期に目的に到達することができる

- (2) サンプルを参考にして、設計への応用も可能
 - このサンプルはシミュレーションを目的としている為、タイミング解析で必要な SDC ファイルは含まれ ていません。

4. シミュレーションの操作手順

4-1. プロジェクトの起動およびシミュレーションを行う為の事前設定

デザインサンプルのプロジェクトを起動して、シミュレーションを実施する為に必要な項目の確認を行います。 また、シミュレーションの実施に必要となる設定方法について説明します。

4-1-1. プロジェクトの起動

 m10_adc_oly.7z を解凍後、Quartus[®] Prime を起動して m10_adc_oly ディレクトリーにある m10_adc_oly.qpf ファイルを開いて、デザインサンプルのプロジェクトを起動します。



【図 4-1】 プロジェクトの選択

(2) 図 4-2_は プロジェクトを起動したときの画面であり、最上位階層を表示しています。



【図 4-2】 プロジェクト起動および最上位階層の表示

4-1-2. シミュレーションを行う為の事前設定

(1) Tools メニューから Options を選択します。



【図 4-3】 Tools メニューから Options を選択

(2) 図 <u>4-4</u> のように、一番下にある *ModelSim..* 欄で、 win32aloem があるパスを指定します。

Coptions			×
Category:			
∽ General	EDA Tool Optio	ons	
EDA Tool Options Fonts Headers & Footers Setting	Specify the dir	ectory that contains the tool executable for each third-party EDA too	l:
	EDA Tool	Directory Containing Tool Executable	
✓ Internet Connectivity	Precision S		
Libraries	Synplify		
✓ IP Settings	Synplify Pro		
IP Catalog Search Locat	Active-HDL		
License Setup	Riviera-PRO		
Preferred Text Editor	ModelSim		
Processing Tooltin Settings	OuestaSim		
✓ Messages	ModelSim	C:\intelFPGA\18.1\modelsim_ase\win32aloem	
Colors			
✓ Text Editor			
Colors			
Fonts Autocomplete Text			
	Use Native	Link with a Synplify/Synplify Pro node-locked license	
< >		OK Cancel	Help





(3) Assignments メニューから Settings を選択します。



【図 4-5】 Assignments から Settings を選択

(4) 図 4-6 のように、 Category 欄の EDA Tool Options ディレクトリーをハイライトして、 Simulation 欄で ModelSim-Altera および Verilog HDL を選択します。

Category:					Device/Boar		
General	EDA Tool Settings	;					
Files	Specify the other EDA tools used with the Quartus Prime software to develop your project.						
V IP Settings	EDA tools:						
IP Catalog Search Locations	Tool Type	Tool Name	Format(s)		Run Tool Automatically		
 Operating Settings and Conditions 	Design Entry/S	<none></none>	<none></none>		Run this tool automatically to synthesize th		
Voltage	Simulation	ModelSim-Altera	Verilog HDL	٠	Run gate-level simulation automatically after		
Temperature V Compilation Process Settings	Board-Level	Timing	<none></none>	•			
Incremental Compilation		Symbol	<none></none>	٠			
 EDA Tool Settings 		Signal Integrity	<none></none>				
 EDA Tool Settings Design Entry/Synthesis Simulation Board-Level 		Signal Integrity Boundary Scan	<none></none>	•			

【図 4-6】 EDA Tool Options 画面: Simulation

(5) Category 欄の Simulation ディレクトリーをハイライトして、図 4-7 のように設定します。

Settings - m10_adc_oly	_ D X
Category:	Device/Board
General Files Libraries V IP Settings IP Catalog Search Locations Design Templates	Simulation Specify options for generating output files for use with other EDA tools. Tool name: ModelSim-Altera Run gate-level simulation automatically after compilation
 Operating Settings and Conditions Voltage Temperature Compilation Process Settings 	EDA Netlist Writer settings Format for output netlist: Verilog HDL
Incremental Compilation V EDA Tool Settings Design Entry/Synthesis Simulation Board-Level	Map illegal HDL characters Enable glitch filtering Options for Power Estimation Generate Value Change Dump (VCD) file script Script Settings

【図 4-7】 EDA Tool Options の Simulation 設定画面

4-2. シミュレーション・デザインの構築

ADC IP コアに設定するパラメーターの中で、シミュレーションに必要な設定項目を確認してインスタンス化 (Verilog HDL の生成) した後、シミュレーション・モデルの生成も行います。

4-2-1. ADC IP コアのパラメーター設定

(1) Tools メニューから、Platform Designer を選択します。



【図 4-8】 Platform Designer を選択

(2) adc_core_oly_inst.qsys を選択し開きます。

よ 開く					X
ファイルの場所(I): 🚺 m10_adc_oly	£	~	1	ŀ
受け 最近使った デスクトップ	analog_in_da Backup db adc_core_oly	inst.qsys			
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1					
PC					
シットワー ク	ファイル名(N): ファイルのタイプ(T)	adc_core_oly_inst.qsys			開 K(O) 1003世
L	J71700313(1).	Platform Designer System Files (*.qsys)		~	HX/H

【図 4-9】adc_core_oly_inst.qsys を選択



(3) 図 4-10 のような、ADC IP コアのパラメーター設定画面が起動します。

このデザインサンプルでは、Core Variant で ADC control core only を指定していることが確認できます。

シミュレーションを行う際、 Enable user created expected output file を Enabled に設定後、アナログデータを 入力するチャネルに対して各種設定を行うタブからテストデータ(テキストファイル)を指定する必要があり ます。

図 4-10 の例では、*Channels* の CHO タブより User created expected output file から analog_data_ch0.txt を 指定しています。

		Core Configuration			
		Core Variant:	ADC control core or	nly	
		Debug Path:	Disabled 🗸		
an and an assessment of the second		* Clocks			1
IP Parameter Editor - adc_core_oly_ins	st.qsys	ADC Sample Rate:	1 Mhz 🗸	-	
File Edit System Generate View Tools	Help	ADC Input Clock	10 Mm V		
Narameters			TO IMPE +	🕺 🕌 Block Symbol 🔅	
System: adc.core.oly.inst Path: modular.ad	0_0	Reference Voltage		w signals	
Modular ADC core Intel FPGA IP altera modular adc		Reference Voltage Source:	External 🗸		
General		External Reference Voltage:	2.5 V	modular_adc_0	
Core Configuration				clock response	respoi
Core Variant:	ADC control core only	Logic Simulation		reset_sink channel response	char
Debug Path:	Disabled V	Enable user created expected o	utput file: Enabled V	eset_sink_reset_n data response reset_n startofpacket response	star
* Clocks				dc_pll_clock_clk endofpacket respons	e_end
ADC Sample Rate:	1 Mhz 🗸			adc_pll_locked	
ADC Input Clock	10 Mhz 🗸			adc_pll_locked_export command	
* Reference Voltage				command_validvalid	
Reference Voltage Source:	External V			command_channel[4.U] channel command_startofpacket	
External Reference Voltage:	25 V			command_endofpacket command_ready	
* Logic Simulation				ready	
Enable user created expected output file:	Enabled Y		=	aner	a_mou
	CH7 CH8 CH9 CH10 CH11	CH12 CH13 CH14 CH15 CH16 TSD		Presets for modular_adc_0	
Channel 0	ent els abietbil			Project	
Channel 0	put pin - ANAIN)			Project Click New to create a preset.	
Channel 0 Channel 0 Simulation Channel 0 Simulation	put pin – ANAIN)			Project I⊸Click New to create a preset. Library I⊸No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Use Channel 0 (Dedicated analog im Use Channel 0 Simulation User created expected output file:	put; pin – ANAIN) (v181/QWK181/MA)	X10,ADC_core_only;design/m10,adc.oly <mark>/analog_in_dat</mark>	a/analogdata_ch0txt	Project - Calck Mew to create a preset. - This presets for Modular ADC core Intel FPGA IP 18.1 - This presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Cereta Control (Control (Contro) (Control (Control (Contro) (Contro) (Contro) (Con	put pin - ANAIN) /v181/CWK181/MA3 ile using the file browser button	X10,ADC,core_only,design/m10,adc,ob/analog_in,dat	a/analogdata_ch0.txt	Project I-Click New to create a preset. Ubrary I-No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Channel 0 Chalicated analog im Dramel 0 Simulation Leer created expected output file Lear is required to provide expected output file	put pin – ANAIN) /v181/QWK381/MA3 ile using the file browser button	X10,ADC.core.only.design/m10.adc.oh <mark>/enalog.in.dat</mark>	a/anəlogdəta_cf0.tx	Poped Click New to create a preset. Library No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Cedicated analog im Channel 0 Cedicated analog im Channel 0 Simulation User created expected output file: User is required to provide expected output file:	put pin - ANAIN) /v181/XW4381/M4X ile using the file browser button	M 0.400.20m prividesign mi 0.ado.ph	a/arabgdata,ch0tx	Peekd. I-Click New to create a preset. Library I-No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Use for port of port Channel 0 Use created expected output file User is required to provide expected output file	put pin - ANAIN) //181/CMH381/MA3 lile using the file browser button	X10,400,com,orky,design/m10,adc,oliv <mark>araiog_in,dat</mark>	a/analogdata,df0tx	Peptd I-Click Max to create a preset. Ubrary I-No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Channel 0 Simulation Use Channel 0 Chadicated analog im Channel 0 Simulation User created expected output file User is required to provide expected output file	put pin - ANAIN) [VI BI /CMK181 /MA3 ile using the file browser button	X10,ADC.com.only.design/m10.adc.on/amabg_in.det	a/arabgdata.ch0tx	Project Click Now to create a preset. Ubrey No presets for Modular ADC core Intel FPGA IP 18.1	
Channel 0 Simulation Use reserved output file Use of the provide expected output file User is required to provide expected output file	put pin – ANAIN) /v181/2048181/JMAX	NT Q.ADC_core_only_design/mt Q.adc_ols_analog_in_dat	a/arabgdata,chOtx	Pepad. Click New to create a preset. Library I-No presets for Moduler ADC core Intel FPGA IP 18.1	
Channel 0 Simulation Use rested expected output file. User is required to provide expected output file.	put pin – ANNIN) (Yn 81 /OWR 81 /MOV	110,400,come.only.deelign*m10.adc.p1;{analog_in.deel	a/analogdata_d/Dtx	Pepad Click New to create a preset. Library I-No presets for Modular ADC core Intel FPGA IP 18.1	
Channels	put pin – ANNIN) (Vri B1/20443 B1/2044 ile using the file browser button	X10,400,com,orky,design/m10,adc,oli (analog, in,dat	a/analogdata.dOtA	Pepdi — Crisik Max to create a preset. Urary — No presets for Modular ADC core Intel FPGA IP 18.1	
Channels	put pin – ANAIN) /vrl B1/JOHAS B1/JAAJ lle using the file browser button	X10,400,com,ontypeleign/m10,adc.obs analog_in.dat	a/arabgdata.chDtx	Pop.d. Click New to create a preset. Livary No presets for Modular ADC core Intel FPGA IP 18.1	
Channels CH0 DH1 CH2 CH3 CH4	put pin - ANAIN) /v181/JOWA381/JAAJ le using the file browser button	NO.ACC.com.only.design/miO.adc.ph/anakogin.det DHB CHB CH10 CH11 CH12		Peekd Click Mew to create a preset. Livrary No presets for Moduler ADC core Intel FPGA IP 18.1 	
Channels	eut pin - ANNIN) Vri B1/204581/MAX ile usite the file browser botton ile usite the file browser botton	110,400,come only design fm10 ad c.ph (analogi) udd 110,400,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi analogi analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi analogi analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi analogi analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi analogi analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi analogi analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi 111,000,come only design fm10 ad c.ph (analogi analogi analogi analogi analogi ana		Peed -Crisic New. to create a preset. Urary I-No presets for Moduler ADC core Intel FPGA IP 18.1 16 TSD	
Channels CH0 DH1 CH2 CH3 CH4	eut pin - ANNIN) (MB1/OWAB1/MA) le using the file browser button	NO.ACO.com.only.design/m10.edc.on/analog.in.dat DHB OHB OHIO CH11 CH12		Pop.d. —Click New to create a preset. Urary —No presets for Modular ADC core Intel FPGA IP 18.1 16 TSD	
Channels CH0 CH2 CH2 CH3 CH4 CH2 CH3 CH2 CH2 CH3 CH4	eut pin - ANNIN) NATEL/COMPETI-/ACM In unite the file browser botton In CH-15 CH-16 CH-17 (Ted analog input pin	110,400,come.only.design/m10.adc.ph analogicular DHB CHB CH10 CH11 CH12 - ANAIN)	cHi3 CHi4 CHi5 Ch	Peped I - Crigit Maxto create a preset. Library I - No presets for Moduler ADC core Intel FPGA IP 18.1 16 TSD	
Channel O Simulation Channel O Simulation Channel O Simulation Channel O Simulation Channel O CH3 CH3 CH4 Channel O CH3 CH4 Channel O Ch	eut pin - ANNIN) NATEL/OWASEL/MAX is usite the file browser botton CHIS CHIS CHIS CHI7 (ted analog input pin	110,400,xore.only.design/m10.adc.ph (analogi).design/m10.a	cHi3 CHi4 CHi5 Ch	Peped I - Crigit Maxto create a preset. Library I - No presets for Moduler ADC core Intel FPGA IP 18.1 16 TSD	
Channel O Simulation Use created expected output file User is required to provide expected output file Channel S User is channel o (Dedication) User created expected output file	eut pin - ANNIN) NATER/COMPERIZATION ile usite the file browser botton CH-5 CH-6 CH-7 (ted analog input pin put file:	110,400,2019, only, design / m10,ad c,p1, (analog in, data DHB CHB CH10 CH11 CH12 - ANAIN) //181 / QWK1 B1 / MAX10, AD		Peped I-foliat Newsto create a preset. Urany I-hb presets for Meduler ADC core Intel FPGA IP 18.1 16 TSD 1c_ol /analog_in_data/analog_data_ch0.txt	

【図 4-10】 ADC IP コアのパラメーター設定画面

(4) このパラメーター設定が終了したら、画面の右下にある [Generate HDL] ボタンをクリックします。







4-2-2. ADC IP コアのシミュレーション・モデルの生成

 図 4-12 のように、Generation 画面が起動したら、Create simulation model 欄から Verilog を選択して、 [Generate] ボタンをクリックします。

🕹 Generation 🗙
* Synthesis
Synthesis files are used to compile the system in a Quartus project.
Create HDL design files for synthesis: Verilog 🗸
Create timing and resource estimates for third-party EDA synthesis tools.
Create block symbol file (.bsf)
* Simulation
The simulation model contains generated HDL files for the simulator, and may include simulation-only features.
Simulation scripts for this component will be generated in a vendor-specific sub-directory in the specified output directory.
Follow the guidance in the generated simulation scripts about how to structure your design's simulation scripts and how to use the ip-setup-simulation and ip-make-simscript command-line utilities to compile all of the files needed for simulating all of the IP in your design.
Create simulation model:
* Output Directory
Path: /v181/QWK181/MAX10_ADC_core_only_design/m10_adc_oly/adc_core_oly_inst
Generate

【図 4-12】シミュレーション・モデルを生成する為の設定

(2) 図 4-13 のように表示されたら、[Close] ボタンをクリックします。



【図 4-13】 設定した内容が正常に保存された場合の表示画面



(3) 図 4-14 のように表示されたら、[Close] ボタンをクリックします。

🚢 Generate Completed		×
All 😫 🔺 🕕		
💿 Progress: Building connect	ions	~
🕕 Progress: Parameterizing d	connections	
Progress: Validating		
Progress: Done reading inp	out file	
Info: adc_core_oly_inst: 0	Generating adc_core_oly_inst [#] adc_core_oly_in	ıst
🕕 Info: modular_adic_0: "ad	c_core_oly_inst [#] instantiated altera_modular_	aci
Info: control_internal: "r	nodular_adc_0″ instantiated altera_modular_a	de
💿 Info: adc_core_oly_inst: [Done " adc_core_oly_inst " with 3 modules, 9 file	s
🕕 Info: qsys-generate succea	eded.	=
🕕 Info: Finished: Create HE)L design files for synthesis	\sim
< 111		>
C Generate: completed succ	acefully.	
S denerate, completed subo	soorany.	
	Stop	e
		buunn

【図 4-14】シミュレーション・モデルが正常に生成された場合の表示画面

(4) 図 4-15 のように、File メニューから Exit を選択するか、もしくは、Generation 画面右下の [Finish] ボタン をクリックします。

4	IP Parameter Editor - adc_core_oly_inst.qsys		
File	Edit System Generate View Tools Help		
	New System	Ctrl+N	
	New Component		
	Open	Ctrl+O	
	Save	Ctrl+S	-
	Save As		-
	Refresh System	F5	
	Export System as Platform Designer script (.tcl)		У
	Export System as hw.tcl Component		
	Browse Project Directory		
	Recent Projects		>
	Exit	Alt+F4	
12	Reference Voltage Source:	V	

【図 4-15】 IP Parameter Editor 画面の終了 (その 1)



(5) 図 4-16 のような画面が起動したら、[Close] ボタンをクリックします。

ntegration with Quartus Software	x
The following new files were created: C:¥work¥koC_core_only_design¥¥m10_adc_oly¥adc_core_oly_inst.qsys	
To edit or modify a .qsys file in your design, do one of the following in the Quartus software main window:	
 Open the .qsys file with the Open command on the File menu Double-click the .qsys file on the Files tab in the Project Navigator Open Platform Designer from the Tools menu Use the qsys-edit command at the command line 	
To generate HDL files from a .qsys file, do one of the following in the Quartus software:	
- Open Platform Designer from the Tools menu	
 Use the qsys-edit command at the command line Open Platform Designer from the Quartus software and click on the 'Generate HDL' butting the software and click on the 'Generate HDL' 	on
Do not show this message again	
Close	

【図 4-16】 IP Parameter Editor 画面の終了 (その 2)

(6) 図 4-17 のような画面が起動したら、[OK] ボタンをクリックします。

🛐 Qua	artus Prime	x				
1	You have created an IP Variation in the file C:/work/	/m10_adc_oly/adc_core_oly_inst.qsys.				
	To add this IP to your Quartus project, you must manually add the .qip and .sip files after generating the IP core.					
	The .qip will be located in <generation_directory>/syr</generation_directory>	nthesis/adc_core_oly_inst.qip				
	The .sip will be located in <generation_directory>/sim</generation_directory>	nulation/adc_core_oly_inst.sip				
		ОК				

【図 4-17】 qip ファイルと sip ファイルの生成



4-2-3. 論理合成を行う為の事前設定

(1) Assignments メニューの Settings を選択します。



【図 4-18】 Assignments メニューの Settings を選択

(2) 図 4-19 のように、 qip ファイル、 sip ファイル、および最上位階層デザイン m10_adc_oly.v を登録した ら、[OK] ボタンをクリックします。

Settings - m10_adc_oly				-	∎ X
Category:					Device/Board
General Files Libraries	Files Select the design files you want to include in the projec directory to the project.	ct. Click Add All to add all	design fi	les in the	project
IP Settings	Eile name:				Add
Operating Settings and Conditions Voltage		Tupo	Library	X Docign F	Add All
Temperature V Compilation Process Settings	adc_core_oly_inst/simulation/adc_core_oly_inst.sip adc_core_oly_inst/synthesis/adc_core_oly_inst.qip	D Quartus Prime SIP File IP Variation File (.qip)	Library	<none></none>	<u>R</u> emove
V EDA Tool Settings Design Entry/Synthesis Simulation Board-Level V Compiler Settings	Im10_adc_oly.v	Verilog HDL File		<none></none>	Down Properties
VHDL Input Verilog HDL Input Default Parameters Timing Analyzer Assembler Design Assistant					
Signal Tap Logic Analyzer Logic Analyzer Interface Power Analyzer Settings SSN Analyzer					
	<			X	
< >		OK Cance	el 🗌	Apply] Help

【図 4-19】 qip ファイルと sip ファイルの登録



4-2-4. 論理合成

(1) Processing メニューの Start から、Start Analysis & Synthesis を実行します。

tion				
ssignments	Pro	ocessing Tools Window Help		
12	500	Stop Processing	Ctrl+Shift+C	
archy		Start Compilation Analyze Current File	Ctrl+L	
ty:Instance		Start	•	The start Hierarchy Elaboration
	Q	Update Memory Initialization File Compilation Report	Ctrl+R	 Start Analysis & Elaboration Start Analysis & Synthesis Ctrl+K
	 	Dynamic Synthesis Report Power Analyzer Tool		Start Partition Merge Image: Start Fitter

【図 4-20】 Start Analysis & Synthesis を実行

(2) Analysis & Synthesis で論理合成に成功した場合、図 4-21 のように表示されます。

💱 Quartu	s Prime	Standard	Edition			
File Edit	View	Project	Assignments	Proces	ssing	Too
		6		C	m10_	adc
Project Nav	igator	- H	Hierarchy	+ Q p	8 ×	4
		j	Entity:Instance			Tabl
À MAX 10	: 10M0	8DAF484	C8G			
🗸 📴 m10_	adc_ol	y 🐴				
> 💑 a	dc_core	_oly_inst	:u0			Ħ
						Ħ
	14					
<					<u>></u>	
Tasks		Compila	ation	• = 👎	₽×	>
			Task		^	
~ >	Comp	ile Design	i <u> </u>			
100 C		1	1 (Y 1)			
× >	An	alysis & S	ynthesis			
 ✓ > 	AnFit	alysis & S ter (Place	& Route)			

【図 4-21】 Analysis sis & Synthesis に成功した場合

4-3. テストベンチの生成およびカスタマイズ

この資料では、Quartus® Prime が生成したテストベンチのテンプレートを使用します。シミュレーションの際、 このテンプレートに所望の記述を追加してカスタマイズする必要がありますが、今回は事前に用意したファイル 類(テストベンチおよびテストデータ)を入れ替えることで、カスタマイズ作業を簡略化しています。

4-3-1. テストベンチの自動生成

(1) Processing メニューの Start から Start Test Bench Template Writer を選択して、テストベンチを自動生成 します。



【図 4-22】 Start Test Bench Template Writer を選択

(2) 図 4-23 のように、プロジェクト・ディレクトリー m10_adc_oly には、simulation ディレクトリーが生成され ます。

この simulation ディレクトリー内には modelsim ディレクトリーが生成されており、そのディレクトリーの 中にツールが自動生成したテストベンチ m10_adc_oly.vt が格納されています。

テストベンチ自動生成 ディレクトリー: (プロ ファイル名: (プロシ	コジェクト名)¥simulation¥modelsim¥ ジェクト名).vt
n l 💀 🔳 – l m10 adr o	In the second
ファイル ホーム 共有	表示 名前 1
← → × ↑ Ⅰ <	> m10_adc_oly >
	名前 → 小 上 共有 表示 → 小 → m10_adc_oly > simulation > analog_in_dats スクトップ ★ ↑ 各前 ウンロード ★ modelsim → incremental_di → コメント ★
▶ PC	adc_core_oly_inst.sopcinfo

【図 4-23】 テストベンチ・ファイル m10_adc_oly.vt が自動生成

4-3-2. テストベンチの入れ替え

ALTIMA

図 4-24 のように、Backup ディレクトリーにあるテストベンチ ok_m10_adc_oly.vt を modelsim ディレクトリー にコピーします。次に、modelsim ディレクトリーに生成されているテストベンチ m10_adc_oly.vt に対して、任意の ファイル名に変更した後、先ほど追加した ok_m10_adc_oly.vt に対して、ファイル名の先頭の ok_ を削除して、 ファイル名を m10_adc_oly.vt に変更します。

図 4-24 では、ファイル名の先頭に org_ を追加して、modelsim ディレクトリーにある m10_adc_oly.vt を任意 のファイル名 org_m10_adc_oly.vt に変更しています。



【図 4-24】 テストベンチの入れ替え

4-3-3. テストデータの入れ替え

図 4-25 のように、analog_in_data ディレクトリーにある analog_data_ch0.txt ファイルを削除します。その後、 残りの analog_data_ch0_sin.txt に対して、ファイル名の後半の _sin を削除して、ファイル名を図 4-25 のように analog_data_ch0.txt に変更します。



【図 4-25】 テストデータの入れ替え



4-4. NativeLink の設定

この資料では、IP コアのシミュレーションに便利な *NativeLink* を使用して ADC IP コアのシミュレーションを 行います。以降は、その為に必要な設定を紹介します。

(1) Assignments メニューから Settings を選択します。

Edit View	Project	Assignments	Processing Tools	s Window Help	
	a/- 1	🐓 Device			11
	0	🏒 Settings.	<i></i>	Ctrl+Shift+E	
Navigator	N F	🍑 Assignme	ent Editor	Ctrl+ <mark>Sh</mark> ift+A	0_adc
		🍼 Pin Planr	her	Ctrl+Shift+N	

【図 4-26】 Assignments メニューから Settings の選択

(2) Category 欄の EDA Tool Settings ディレクトリーから simulation をハイライトします。 Compile test bench 欄 の右にある [Test Benches] ボタンをクリックします。

Settings - m10_adc_oly	
Category:	Device/Board
Category: General Files Libraries V IP Settings IP Catalog Search Locations Design Templates Operating Settings and Conditions Voltage Temperature Compilation Process Settings Incremental Compilation EDA Tool Settings Design Entry/(Synthesis Simulation Board-Level Compiler Settings VHDL Input Verilog HDL Input Default Parameters Timing Analyzer Assembler	Simulation Specify options for generating output files for use with other EDA tools. Tool name: ModelSim-Altera Run gate-level simulation automatically after compilation EDA Netlist Writer settings Format for output netlist: Verilog HDL Map illegal HDL characters Enable glitch filtering Options for Power Estimation Generate Value Change Dump (VCD) file script Script Settings More EDA Netlist Writer Settings NativeLink settings
Design Assistant Signal Tap Logic Analyzer Logic Analyzer Interface Power Analyzer Settings SSN Analyzer	None Compile test bench: m10_adc_oly_vig_tst Use script to set up simulation: Script to compile test bench: More NativeLink Settings Reset
< >	OK Cancel Apply Help

【図 4-27】 NativeLink の設定: テストベンチの指定 (その1)



(3) <u>図 4-28</u>のような Test Benches 画面が起動したら、Existing test bench settings 欄の中で表示されるメニューを ハイライトして、[Edit] ボタンをクリックします。

xisting test ben	nch settings:				New
Name p	p Level Modi	esig <mark>n Instanc</mark>	Run For	Test Bench File(s)	Edit
10_adc_o m	m10_adc_o	NA		simulation/modelsim/m10 adc oly.vt	

【図 4-28】 Native Link の設定: テストベンチの指定 (その 2)

(4) 図 4-29 のような Edit Test Bench Settings 画面が起動したら、Test bench name にテストベンチのトップモジュ ール名、および Top level module in test bench にテストベンチのファイル名が設定されているかを確認します。

Test bench name :

テストベンチのトップモジュール名 m10_adc_oly_vlg_tst を指定

Top level module in test bench :

テストベンチのファイル名 m10_adc_oly を指定

(5) ファイル名は、図 4-29 の左下にある File Name 欄の中でも表示されます。

⑦ 今回使用する自動生成されたテストベンチの場合、ファイル名と、トップモジュール名は異なります。

Edit lest Bench Settings Edit test bench settings for the selected test bench.	X	テストベンチ
Test bench name: m10_adc_oly_vlg_tst Top level module in test bench: m10_adc_oly_vlg_tst Use test bench to perform VHDL timing simulation Design instance name in test bench: NA		
Simulation period Run simulation until all vector stimuli are used End simulation at: Test bench and simulation files		<pre>27 Commescate ins/ ins/ ins/ ins/ ins/ ins/ ins/ ins/</pre>
File name:	Add	
File Name Library HDL Version	Remove	
simulation/modelsim/m10_adc_oly.vt	Up	
×	Down	
	Properties	
OK Cancel	Help	

【図 4-29】*NativeLink* の設定: テストベンチの指定 (その3)



4-5. シミュレーションの実行

(1) Tools メニューから Run Simulation Tool を選択後、Run Simulation を実行します。

nts	Processing	Tools Window Help		
0	C m10	Run Simulation Tool	📩 🛃 RTL Simulation	R 🔊 🛛
	• Q 🗍 🗄 ×	Launch Simulation Library Compiler Launch Design Space Explorer II	Gate Level Simulation	

【図 4-30】 Tools メニューから Run Simulation Tool を選択

(2) ModelSim が起動して、シミュレーションが開始されます。



【図 4-31】シミュレーション波形 (全体)



(3) 図 <u>4-32</u> のように、response_data と adc_data をハイライトして、右クリックから *Radix* を選択後、*Hexadicimal* を選択します。

Wave - Default	List X Zef sim X	J	Binary Octal
& .	Ms	gs	Unsigned
<pre>command_valid command_valid pl_locked reset_sink_reset_n command_ready response_channel response_data</pre>	1 1 1 St0 000000	00000	Hexadecimal ASCII Time Sfixed Ufixed ✓ Use Global Setting
<pre>response_endotpacket response_startofpacket response_valid</pre>	St0 St0 St0 000001111011	Object Declaration Add Edit View	Show Base Numeric Enums Symbolic Enums
	165916900 0.00	UPF) Radix	1 float32 2 float64
		Cast to	

【図 4-32】16 進数表示(設定前)

(4) この設定が正常に行われた場合、波形図は 図 4-33 のような表示に切り替わります。

	Msgs	
command_starturpacter	υ	
command_valid	1	
pl_locked	1	
reset_sink_reset_n	1	
command_ready	St0	
🚽 response_channel	00000	00000
🗄 🔷 response_data	000	
response_endofpacket	St0	
response_startofpacket	St0	
response_valid	St0	
🗄 🔷 adc_data	07b	
R 🔿 Now	165916900 ns	i i i
Cursor 1	0.00 ns	0.00 ns

【図 4-33】16 進数表示(設定後)



(5) テストデータ analog_data_ch0.txt で読み込んだ内容は、response_data に反映されます。

今回用意したテストベンチでは、視覚的に把握しやすいように、図 4-34 のような記述を追加して、 adc_data 上に有効なデータだけを抽出できるように改良しています。

46 47 48 49 50 51 52 53 54	<pre>// neresponse_startofpacket; wire response_valid; // Monitor wire [11:0] adc_data; // assign statements (if any) Em10_adc_oly i1 (// neresponse_value and signals/registers</pre>
55 57 58 60 61 62 63 64 65 66 67 68 69 70	<pre>.adc_pll_clock(adc_pll_clock), .clk(clk), .command_channel(command_channel), .command_endofpacket(command_endofpacket), .command_startofpacket(command_startofpacket), .command_valid(command_valid), .pll_locked(pll_locked), .reset_sink_reset_n(reset_sink_reset_n), .response_channel(response_channel), .response_data(response_data), .response_data(response_data), .response_startofpacket(response_startofpacket), .response_valid(response_valid)); .response_valid(response_valid);</pre>
71 72 73 74	<pre>// Monitor assign adc_data = (response_valid != 1'b1)? adc_data: response_data; initial</pre>
75	Ebegin

【図 4-34】 モニター用の信号 adc_data の追加

(6) 図 4-35 下側の拡大画面は、response_data では response_valid が Hi のときだけデジタル変換データ 002 を表示している波形に対して、adc_data では response_valid が Hi から Low にデアサートしてもデー タ 002 の表示が継続していることを示しています。



【図 4-35】 モニター用の信号 adc_data のシミュレーション波形

以上で、シミュレーションの操作手順は終了です。

5. <u>机上計算との整合性 -- Appendix 1 --</u>

この章では、Appendix として ModelSim が算出して表示したデジタルデータに加え、机上で計算した理論値 を比較する手段として 16 進数データで比較する方法と、プロット波形で視覚的に比較する方法を紹介します。 机上による理論値の算出には、後述の <u>Appendix 2</u> で紹介する表計算シートを使用します。

5-1.16 進数データで比較する方法

(1) 図 5-1 のシミュレーション波形では、adc_data 上の有効なデータを水色にハイライトしています。

① 16 進数に表示する方法は、この資料の「<u>4-5. シミュレーションの実行</u>」を参照してください。



【図 5-1】モニター用の信号 adc_data のシミュレーション波形 (比較検証用)

- (2) 図 5-2 の右側は、前述の表計算シートで算出した理論値を拡大して表示しています。図 5-1 で水色にハイライトした 16 進数データは、図 5-2 で水色にハイライトした 16 進数のデータと比較すると、両者は一致している為、シミュレーション結果と机上計算との整合が取れていることが把握できます。



【図 5-2】 表計算シートで計算した理論値



5-2. プロット波形で視覚的に比較する方法

(1) <u>図 5-3</u> のように、response_data と adc_data をハイライトして、右クリックから *Radix* を選択後、*Unsigned* を選択します。



【図 5-3】 Unsigned を選択

(2) 図 5-4 のように、response_data および adc_data が、符号なし整数で表示されていることを確認します。

Wave - Default																
& -	Msgs															
command_valid	1															
pil_locked	1															
reset_sink_reset_n	1					31°	- T						717			
remonde channel	00000	00000														
response_data	0.0000	00000				Yo	Yo	¥0	Ĭo	Yo	Yo	¥0.	Yo	Yo	¥0.	Yo
response_endofnacket	St0									<u>^</u> 0						<u></u>
A response startofbacket	sto															
response valid	St0					1		1.	12		1				1	
🕀 🔶 adc_data	x			0		2	(3) 5)(8) 11	(15) 20	(25	(31	(38	(44
Ale Now	3122795300 ns		1 1 1	12000	00 ns	1 1	1 1 1	1600	1 1 00 ns	1 1	1 1	20000	00 ns	1 1	1 1	24000
Cursor 1	15000 ns															

【図 5-4】符号なし整数による表示波形



(3) adc_data をハイライトして、右クリックから Format を指定して、Analog (automatic) を選択します。

Wave - Default	L	UPF) }				
command_startorpacket		Format Cast to	•	Literal Logic			
command_valid pll locked	1 1 St0 00000 0 St0 St0	Combine Signals Group Ungroup		Event			
 reset_sink_reset_n command_ready response_channel response_adta response_endofpacket response startofpacket 				Analog (automatic) Analog (custom)			
		Force NoForce Clock					
adr. data	St0	Properties				1	
Now	3122	795300 ns	1 1 1	1 9 1	12000	0 ns	

【図 5-5】 Format を指定して、Analog (automatic)を選択

(4) レンジを調整すれば、図 5-6 のようにアナログ波形ライクに表示を視覚的にすることができます。



【図 5-6】アナログ波形ライクな視覚表示

(5) <u>図 5-7</u> のように、 <u>Appendix 2</u> で後述する表計算シートでもグラフ表示が可能なので、<u>図 5-6</u> の波形図と視覚的に比較することによって、シミュレーション結果と机上計算との、おおまかな整合性が把握できます。



【図 5-7】 Appendix 2 の表計算シートでグラフ表示した波形

6. <u>付属の表計算シートについて -- Appendix 2 --</u>

この章では、Appendix として、机上で理論値を算出する付属の表計算シートの特徴を紹介します。主な特徴は、図 6-1 の緑色の中、もしくは以下項目 (1) ~ (3) で確認できます。



【図 6-1】 表計算シートで行う処理の概要

- (1) シミュレーション用テストデータ向けのフォーマット変換
 - ① アナログデータを、シミュレーション用に指定されたフォーマットに変換
 - ② テキストファイルにペーストするだけで、簡単にテストデータを作成
 ① 大量のアナログデータを扱う場合に便利
- (2) デジタルデータの算出(理論値)
 - 次の計算式に基づいて、アナログデータからデジタルデータを 16 進数で算出 計算式: (VIN/ VREF) * 2 (分解能) このとき、 VREF = 2.5 [V]、 分解能 = 12 [bits]
 - ② 波形図表示オプションも用意
- (3) 入力データオプション
 - ① 直接入力: 既知のアナログデータを直接入力
 - ② 乱数入力: アナログデータが無い場合、乱数で自動生成したデータを使用
 - ③ 合成波入力: Sin 波の合成波を計算して、入力データとして利用可能。3 つの Sin 波まで合成可能
- 以下の機能には対応していません。
 - 1. 温度センサー
 - 2. プリスケーラー機能
 - 3. マルチチャネル



<u> 改版履歴</u>

Revision	年月	概要
1	2020年6月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社マクニカ 半導体事業 お問い合わせフォーム
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。