

JESD204B 接続事例： ADI AD9083 とインテル® Stratix® 10 FPGA

macnica

株式会社マクニカ アルティマカンパニー

Rev.1.0

概要

- 本資料では、JESD204B インテル® FPGA IP (以後 JESD204B IP) を使用し、インテル® Stratix® 10 FPGA と、アナログ・デバイセズ社の高速 A/D コンバーター AD9083 との接続確認をおこなった事例を紹介します
- FPGA デザインは、JESD204B IP の Example Design に インテル® の組み込み用途向け Nios® II プロセッサ (以後 Nios® II) を追加しました
- AD9083 の制御については、上記 Nios® II を使用し、以下のデザインを参考にインテル® Stratix® 10 FPGA 向けに変更しました
 - [Analogdevicesinc/no-OS/projects/ad9083/](https://www.analog.com/en/design-center/eval-kits/eval-kits-projects/ad9083/)
- 使用 Tool :
 - インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション Version 22.1.0

Agenda

1. 使用機材
2. FPGA デザインについて
3. 動作確認
4. まとめ

1. 使用機材

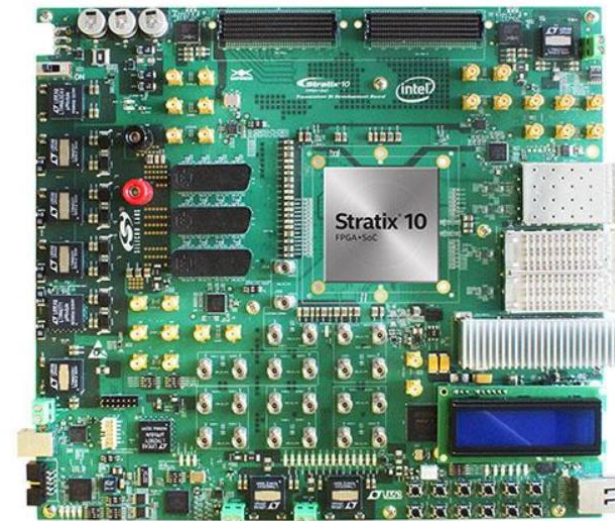
macnica

使用機材

- 動作確認は以下の機材を使用しました

- [インテル® Stratix® 10 GX Signal Integrity Development Kit](#)
 - 搭載 FPGA : 1SG280LU2F50E2VG *1

- [AD9083EBZ](#)
 - A/D コンバーター : AD9083 *2



*1インテル® Stratix® 10 FPGA の詳細は以下をご参照ください

[インテル® Stratix® 10 FPGA および SoC FPGA](#)

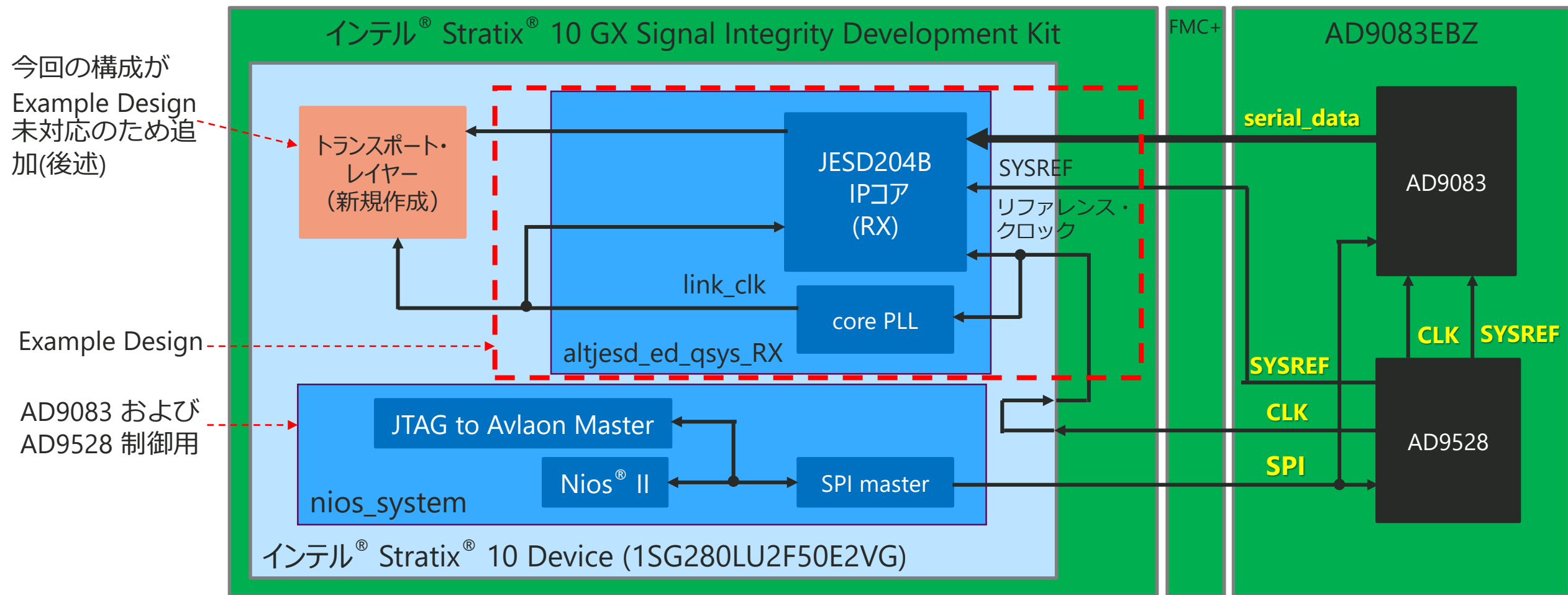
*2 AD9083 は、アナログ・デバイセズ社の 16チャンネル、125MHz帯域幅 A/D コンバーターです。詳細は以下をご参照ください

[AD9083](#)

ブロック構成

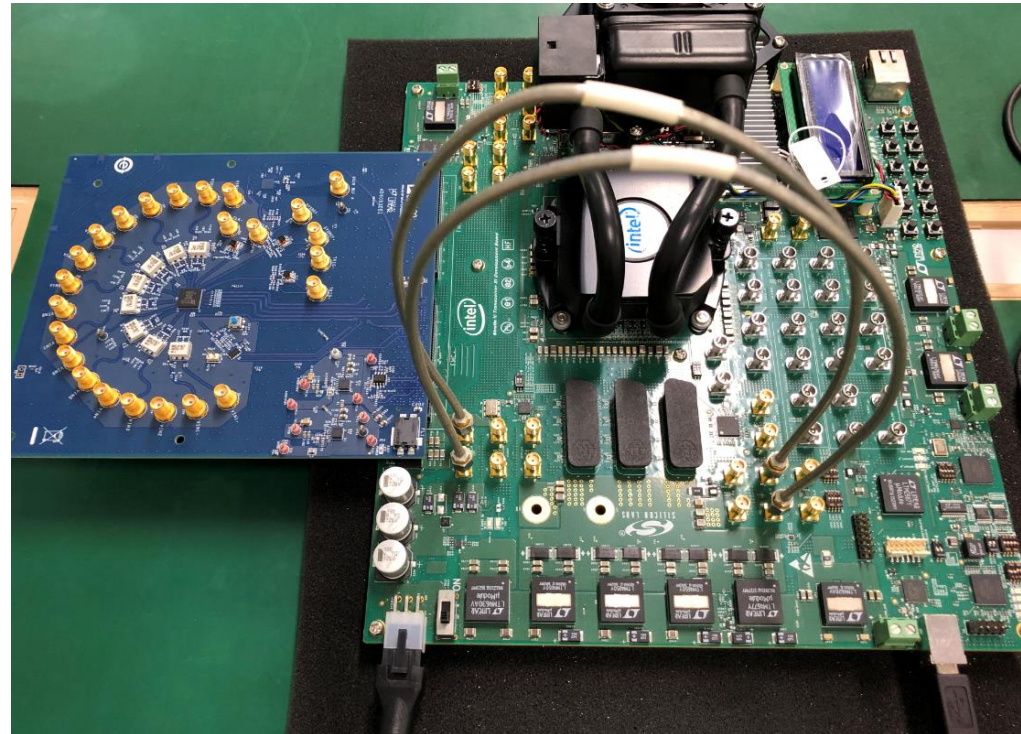
● **ブロック構成は以下のとおりです**

- リファレンス・クロック および SYSREF は AD9083EBZ に搭載されている AD9528 より供給しています
- AD9083 および AD9528 の制御は Nios® II および JTAG to Avalon Master から SPI 経由でおこないます



接続写真

- 今回の構成では、AD9528 から供給されるクロックを JESD204B IP のトランシーバー・リファレンス・クロック に直接接続できないため、一度 FPGA から出力して再度入力して接続しています
 - この構成の場合、FPGA のコンフィグレーション時にトランシーバー・リファレンス・クロックが入力されないため、クロック安定後にトランシーバーの [Recalibration](#) の実行が必要です



2. FPGA デザインについて

macnica

JESD204B IP 設定

● JESD204B IP の設定は以下のとおりです

Example Design

Altera JESD204b IP Configuration

Main Jesd204b Configurations Configurations and Status Registers

Device Family

Device family: Stratix 10

Wrapper Options

Jesd204b wrapper: ☐ Base Only ☐ Phy Only ☒ Both Base and Phy

Operation Modes and Speed

Data path: Receiver

Jesd204b subclass: 1

Data rate: 12000.0 Mbps

Transceiver Settings

Transceiver Tile: L-Tile

Transceiver Options

PCS Option: Enabled Soft PCS

PLL/CDR Reference Clock Frequency: 300.0 MHz

VCCR_GXB and VCCT_GXB supply voltage for the Transceiver: 1_0V

☐ Enable Bit reversal and Byte reversal

Dynamic Reconfiguration

☒ Enable Transceiver Dynamic Reconfiguration

☒ Enable Native PHY Debug Master Endpoint

☒ Share Reconfiguration Interface

☒ Enable Capability Registers

Set user-defined IP identifier: 0

☒ Enable Control and Status Registers

☒ Enable PRBS Soft Accumulators

subclass : 1
Data Rate :
12.0 Gbps

Enable Transceiver Dynamic
Reconfiguration : ON

Common Configurations

Lanes per converter device (L): 2

Converters per device (M): 16

☒ Enable manual F configuration

Octets per frame (F): 12

Converter resolution (N): 12

Transmitted bits per sample (N'): 12

Samples per converter per frame (S): 1

Frames per multiframe (K): 32

Advanced Configurations

☒ Enable scramble (SCR)

Control Bits (CS): 0

Control Words (CF): 0

☒ High Density user data format (HD)

☒ Enable Error Code Correction (ECC_EN)

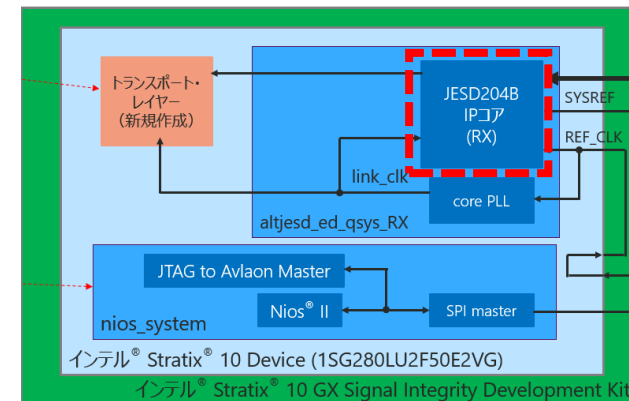
Subclass 2 Parameters

☐ Phase adjustment request (PHADJ)

Adjustment resolution step count (ADJCNT): 0

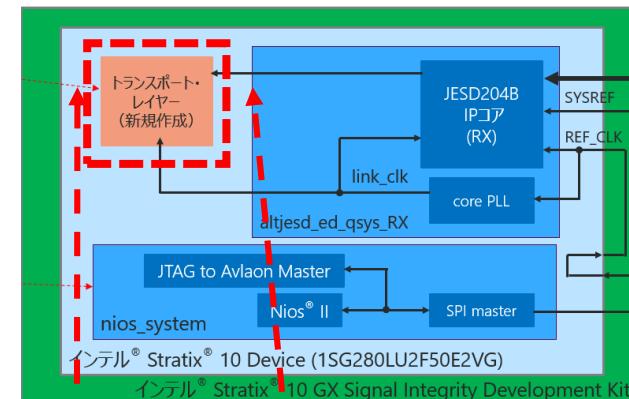
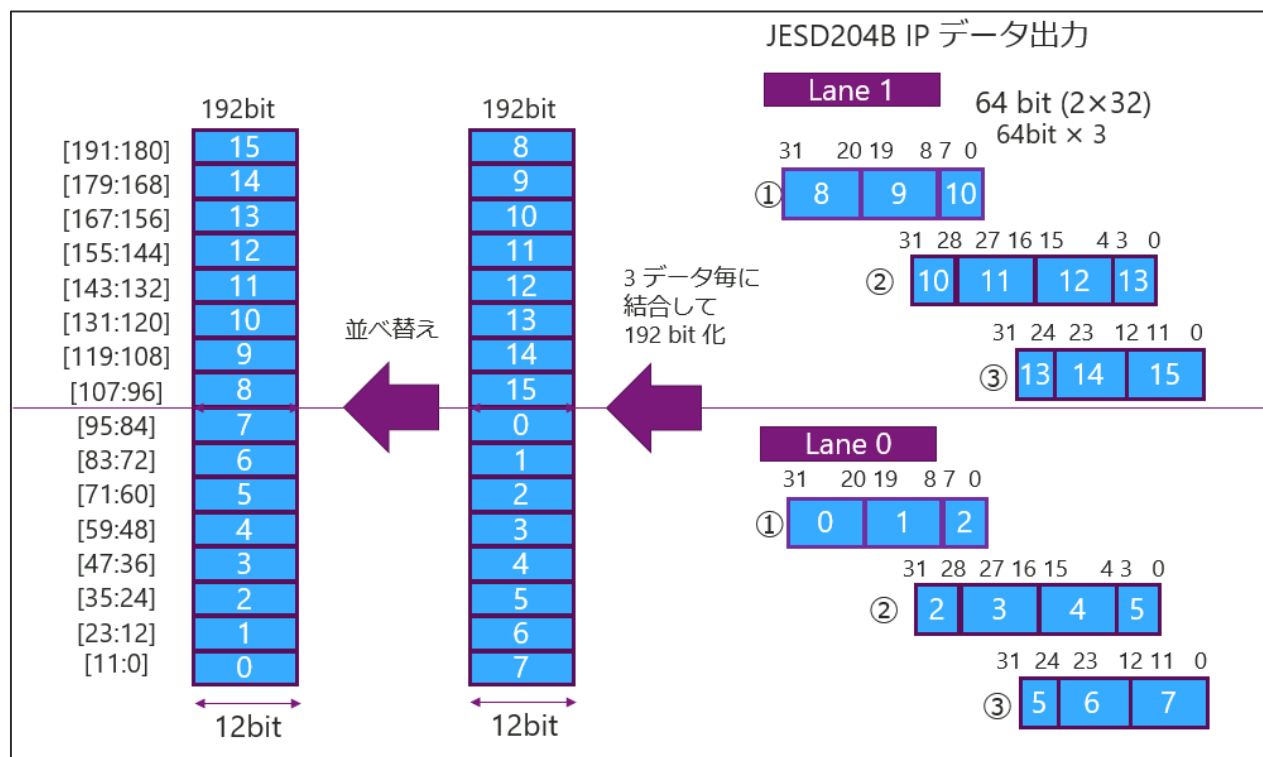
Direction of adjustment (ADJDIR): ☒ Advance ☐ Delay

L = 2
M = 16
F = 12
N = 12
N' = 12
S = 1
K = 32



トランスポート・レイヤーの作成

- 今回の M=16、N'=12 の動作は以下のとおりです
 - 入力：64 bit (32 bit × 2)、出力：192 bit (12 bit × 16)
 - クロック・レートは入力の 1/3 で出力
- この構成は Example Design 内のモジュールでは未対応のため、新規作成しました

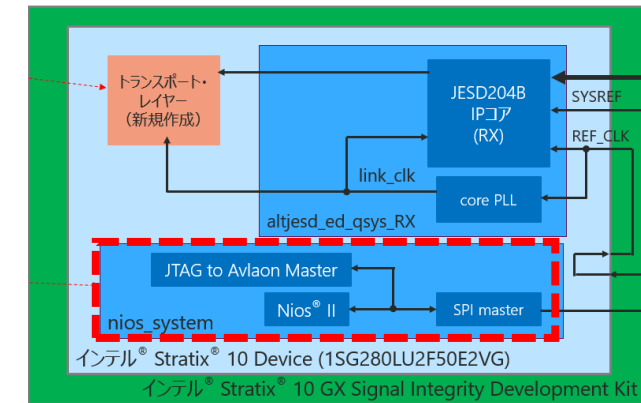


L = 2 なので、
JESD204B IP からの
データ出力は
64 bit (32 bit × 2)

トランスポート・レイヤー出力
は、192 bit (12 bit × 16)
クロック・レートは入力の 1/3

Nios® II の追加 (nios_system)

- AD9083、AD9528 設定用に Nios® II、SPI などを実装しました
- Nios® II は AD9083、AD9528 の設定後は停止します



Use	Connections	Name	Description	Export	Clock	Base	End	
<input checked="" type="checkbox"/>		clock_in <ul style="list-style-type: none">in_clkout_clk	Clock Bridge Intel FPGA IP Clock Input Clock Output	clk Double-click to export	exported clock_in_out...			
<input checked="" type="checkbox"/>		reset_in <ul style="list-style-type: none">in_resetout_reset	Reset Bridge Intel FPGA IP Clock Input Reset Input Reset Output	Double-click to export reset Double-click to export	clock_in_... [clk] [clk]			
<input checked="" type="checkbox"/>		nios2_gen2_0 <ul style="list-style-type: none">clkresetdata_masterinstruction_masterirqdebug_reset_requestdebug_mem_slavecustom_instruction_master	Nios II Processor Clock Input Reset Input Avalon Memory Mapped Host Avalon Memory Mapped Host Interrupt Receiver Reset Output Avalon Memory Mapped Agent Custom Instruction Host	Double-click to export Double-click to export Double-click to export Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk] [clk] [clk] [clk]	0x0010_0800	0x0010_0fff	
<input checked="" type="checkbox"/>		sys_init_mem <ul style="list-style-type: none">s1reset1	On-Chip Memory (RAM or ROM) Intel FPGA IP Clock Input Avalon Memory Mapped Agent Reset Input	Double-click to export Double-click to export Double-click to export	clock_in_... [clk1] [clk1]	0x0008_0000		
<input checked="" type="checkbox"/>		sysid_qsyzs_0 <ul style="list-style-type: none">clkresetcontrol_slave	System ID Peripheral Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent	Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk]	0x0010_1050	0x0010_105f	
<input checked="" type="checkbox"/>		timer_0 <ul style="list-style-type: none">clkresets1irq	Interval Timer Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent Interrupt Sender	Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk]	0x0010_1020	0x0010_103f	
<input checked="" type="checkbox"/>		jtag_uart_0 <ul style="list-style-type: none">clkresetavalon_jtag_slaveirq	JTAG UART Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent Interrupt Sender	Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk]	0x0010_1058	0x0	
<input checked="" type="checkbox"/>		p10_0 <ul style="list-style-type: none">clkresets1external_connectionirq	PIO (Parallel I/O) Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent Conduit Interrupt Sender	Double-click to export Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] pio_0_external [clk]	0x0010_1040	0x0	
<input checked="" type="checkbox"/>		s10_0 <ul style="list-style-type: none">clkresetavalon_control_portirqexternal	SPI (4 Wire Serial) Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent Interrupt Sender Conduit	Double-click to export Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk] spi_0_external	0x0010_1000	0x0	
<input checked="" type="checkbox"/>		master_0 <ul style="list-style-type: none">clkclk_resetmaster_resetmaster	JTAG to Avalon Master Bridge Intel FPGA IP Clock Input Reset Input Reset Output Avalon Memory Mapped Host	Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk]			
<input checked="" type="checkbox"/>		mm_bridge_0 <ul style="list-style-type: none">clkresets1s0s0	Avalon Memory Mapped Pipeline Bridge Intel FPGA IP Clock Input Reset Input Avalon Memory Mapped Agent Avalon Memory Mapped Host	Double-click to export Double-click to export Double-click to export Double-click to export	clock_in_... [clk] [clk] [clk]	0x0000_0000	0x0000_ffff	
					0x0000_ffff			
	</							

Nios® II

On-Chip RAM

JTAG UART

PIO

SPI

JTAG to Avalon Master Bridge (System Console 用)

Nios® II の詳細は以下をご参照ください

Nios® II まとめページ

3. 動作確認

macnica

動作確認手順

- 以下の手順で動作確認をおこないました
 - ① インテル® Quartus® Prime の Programmer で .sof を書き込む
 - ② Nios® II を起動させ、AD9083 および AD9528 に対して設定
 - Nios® II SBT for Eclipse を使用
 - 実行後、FPGA デザインの core PLL が lock していることを確認
 - ③ インテル® Quartus® Prime の System Console を起動
 - ④ System Console を使用し、インテル® Stratix® 10 FPGA のトランシーバーを Recalibration
 - ⑤ System Console を使用し、SPI 経由で AD9083 のテストモード・レジスタを設定
 - ⑥ インテル® Quartus® Prime の Signal Tap Logic Analyzer で波形を確認
- 次頁より、上記 ② - ⑥ について説明します

② Nios[®] II を起動させ、AD9083 および AD9528 に設定

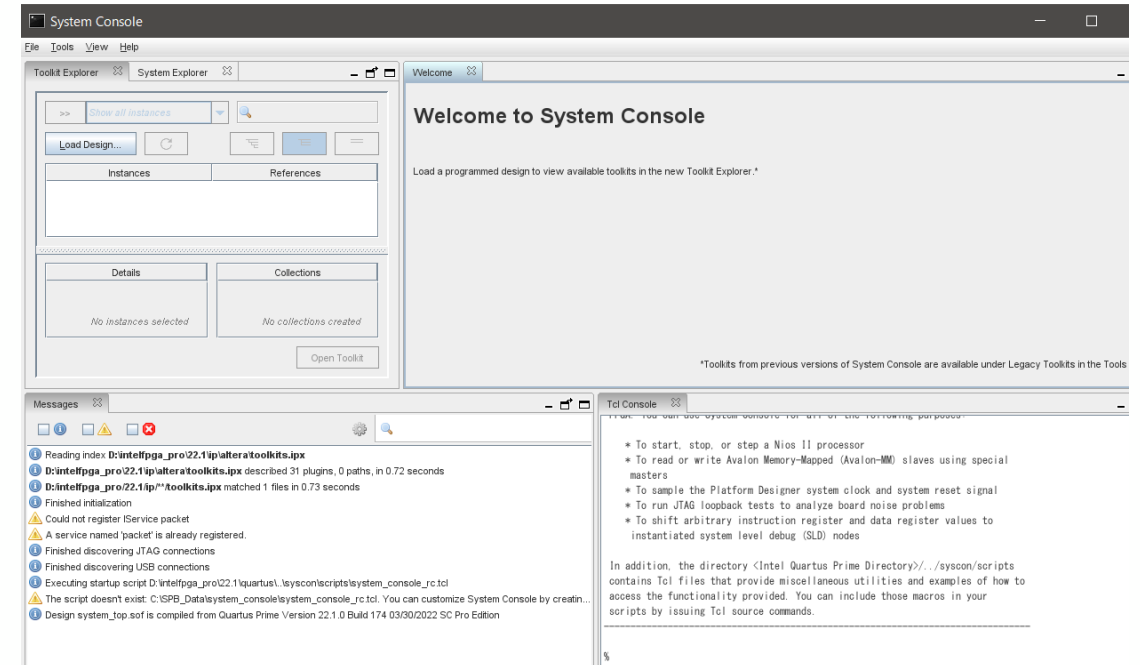
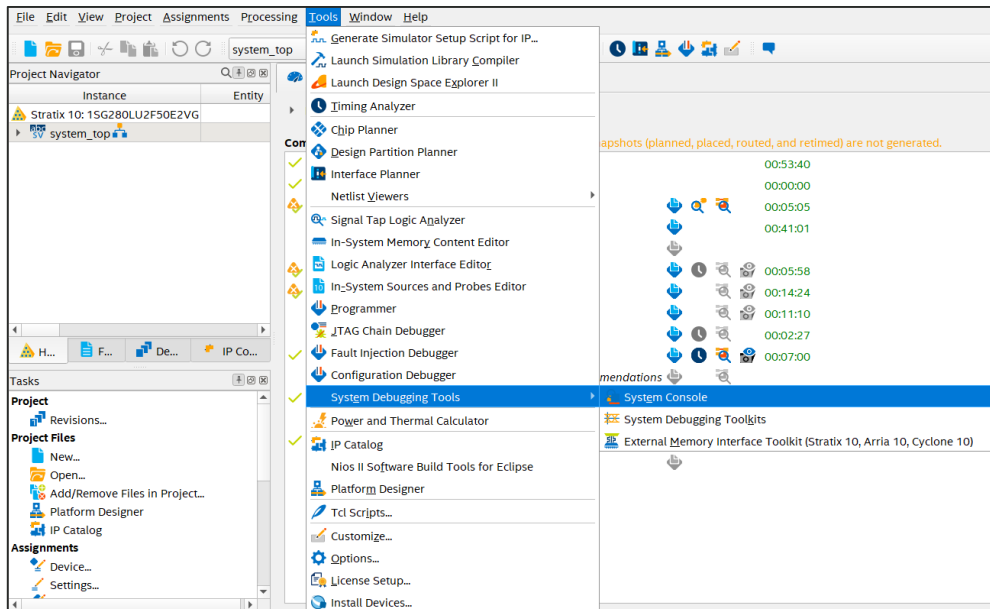
- ADI AD9083 の主なレジスタ設定は以下のとおりです

address	レジスタ	Bit		設定値	内容
0x289	JTX_L0_SCR_L	7	JTX_SCR_CFG	0x1	SCR enable
		[6:5]	(RESERVED)	----	----
		[4:0]	JTX_L_CFG	0x01	L = 2
0x28A	JTX_L0_F	[7:0]	JTX_F_CFG	0x0B	F = 12
0x28B	JTX_L0_K	[7:0]	JTX_K_CFG	0x1F	K = 32
0x28C	JTX_L0_M	[7:0]	JTX_M_CFG	0x0F	M = 16
0x28D	JTX_L0_CS_N	[7:6]	JTX_CS_CFG	0x0	CS = 0
		5	(RESERVED)	----	----
		[4:0]	JTX_N_CFG	0xB	N = 12
0x28E	JTX_L0_SUBCLASSV_NP	[7:5]	JTX_SUBCLASSV_CFG	0x1	Subclass = 1
		[4:0]	JTX_NP_CFG	0xB	N prime = 12
0x28F	JTX_L0_JESDV_S	[7:5]	JTX_JESDV_CFG	0x1	JESD204B
		[4:0]	JTX_S_CFG	0x0	S = 1

③ System Console 起動

- System Console 起動は以下のメニューです
 - Tools → System Debugging Tools → System Console

System Console 起動画面



- System Console の詳細は、以下をご参照ください
 - [FPGA システム・デバッグ・ツール "System Console" を使ってみよう](#)

④ インテル® Stratix® 10 FPGA のトランシーバーの Recalibration

- 今回の構成では、トランシーバー・リファレンス・クロック入力が FPGA のコンフィグレーション後となるため、クロック安定後にトランシーバーの Recalibration を実施する必要があります
- 手順は、以下をご参照ください

[参照資料 : L- and H-Tile Transceiver PHY User Guide](#)

[7.5.4. Recalibrating a PMA Simplex RX Without a Simplex TX Merged into the Same Physical Channel](#)

⑤ AD9083 をテストモードに設定

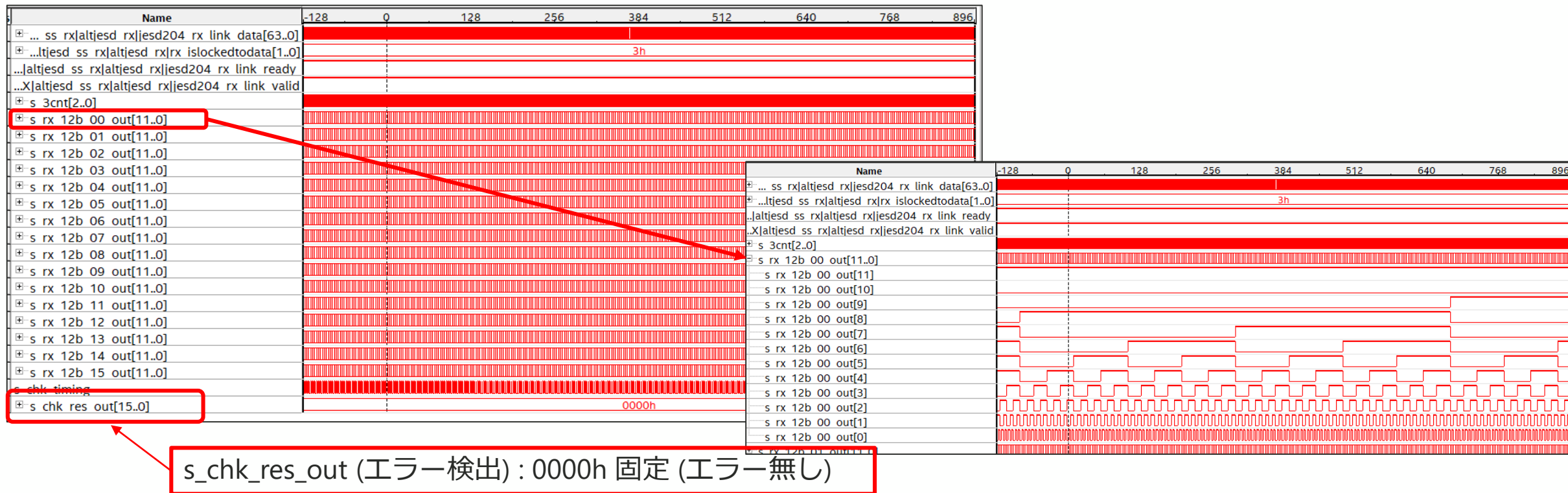
● AD9083 のレジスタを以下に設定しました

- 0x271 JTX_TEST_GEN_MODE[3:0] = 8

0x271	JTX_CORE_TEST_CONFIG	7	JTX_TEST_USER_GO	Activate USER_SINGLE test mode.	0x0	R/W
		6	JTX_TEST_MIRROR	Reverse bit order of test data.	0x0	R/W
		[5:4]	JTX_TEST_GEN_SEL	Test insertion point.	0x0	R/W
		[3:0]	JTX_TEST_GEN_MODE	Test mode selection. 0: Disabled for TEST_GEN_SEL = 0, lane loopback for TEST_GEN_SEL = 1. 1: CHECKER_BOARD 2: WORD_TOGGLE 3: PN31 5: PN15 7: PN7 8: RAMP 14: USER_REPEAT 15: USER_SINGLE.	0x0	R/W

⑥ Signal Tap Logic Analyzer の波形確認結果 (ramp pattern)

- ramp パターンをエラー無く受信することを確認しました



- Signal Tap Logic Analyzer の詳細は、以下をご参照ください
 - [FPGA オンチップ・デバッグ "Signal Tap" をやってみよう](#)

4.まとめ

macnica

まとめ

- JESD204B インテル® FPGA IP を使用して、インテル® Stratix® 10 FPGA と AD9083 との接続確認をおこないました
- FPGA デザインは、JESD204B IP の Example Design に Nios® II プロセッサを追加し、これを用いて AD9083 および AD9528 の制御をおこないました
- JESD204B configuration 値を $L = 2$ 、 $M = 16$ 、 $F = 12$ 、 $S = 1$ 、 $N = N' = 12$ とし、受信データが期待値となっていることを確認しました



弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がございましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。