## Intel Agilex<sup>®</sup> 7 FPGA & SoC EMIF IP コアの複数実装について **MACNICA**

株式会社マクニカ アルティマカンパニー

Rev.1.1 2023/03

© Macnica, Inc.



- 本資料は、Intel Agilex<sup>®</sup> 7 FPGA & SoC に複数の外部メモリー・インターフェイス (EMIF) IP コアを実装する事例について紹介しています
- 使用 Tool:
  - インテル<sup>®</sup> Quartus<sup>®</sup> Prime プロ・エディション Version 22.1.0
- 本資料は、以下の資料を参考にしています
  - External Memory Interfaces Intel Agilex<sup>®</sup> 7 FPGA IP User Guide
  - 3.1.1. Intel<sup>®</sup> Agilex<sup>™</sup> EMIF Architecture: I/O Subsystem



### IP 名称について

### ● 本資料で使用している用語の正式名称は、次のとおりです

- EMIF IP : External Memory Interface Intel Agilex<sup>®</sup> 7 FPGA IP
- EMIF Calibration IP : External Memory Interface Intel<sup>®</sup> Calibration IP



### 注意事項: HPS 用 EMIF IP について

#### ● HPS に接続する EMIF IP は、別の IP となります

- HPS 用 EMIF IP: External Memory Interfaces for HPS Intel Agilex<sup>®</sup> 7 FPGA IP
- 。 HPS 用 EMIF IP には、実装に独自の制約がありますのでご注意ください
  - <u>3.6. Intel Agilex® 7 EMIF for Hard Processor Subsystem</u>
  - 3.6.1. Restrictions on I/O Bank Usage for Intel Agilex<sup>®</sup> 7 EMIF IP with HPS



● 本資料は、HPS 用 EMIF IP は使用しない場合の内容です



## Agenda

- 1. EMIF IP コア実装について
- 2. EMIF IP コアを複数実装する場合
- 3. Example Design 作成手順
- 4. 実装例(1) DDR4 x64 を 4 個実装
- 5. 実装例(2) DDR4 x32 を 8 個実装
- 6. 実装例(3) DDR4 x64 x32 混在
- 7. まとめ

EMIF IP コア実装に ついて

### **EMIF Calibration IP**

- Intel Agilex<sup>®</sup> 7 FPGA & SoC での EMIF IP 実装には EMIF Calibration IP が必要 です
  - 。 EMIF Calibration IP は、I/O SSM (I/O Subsystem Manager) に実装されます
    - I/O SSM には EMIF IP の calibration 動作を制御する Nios® II プロセッサーなどが実装されています
    - I/O SSM 詳細は以下をご参照ください

3.1.2. Intel Agilex<sup>®</sup> 7 EMIF Architecture: I/O SSM

### ● EMIF Calibration IP は、各 I/O Row でそれぞれ最大 1 つ実装できます

。 I/O SSM が Top I/O Row と Bottom I/O Row にそれぞれ 1 つずつ用意されています



### EMIF IP と EMIF Calibration IP の接続 (1)

- EMIF Calibration IP 設定画面で、接続する EMIF IP の個数を設定します
- EMIF IP と EMIF Calibration IP 間で emif\_calbus、emif\_calbus\_clk を接続します



emif\_calbus 、emif\_calbus\_clk を接続します

#### NĨCA

### EMIF IP と EMIF Calibration IP の接続 (2)

- EMIF IP と EMIF Calibration IP の接続は、同じ I/O Row のみ可能です
  - 。 異なる I/O Row とは接続できません





EMIF IP コア複数実装 する場合

### EMIF IP を 2 個実装する場合の例

### ● EMIF IP を配置する I/O Row により、EMIF Calibration IP の個数が変わります

- 。 EMIF IP 2 個を同一 I/O Row に配置する場合 ⇒ EMIF Calibration IP は 1 個
- 。 EMIF IP 2 個を異なる I/O Row に配置する場合 ⇒ EMIF Calibration IP は 2 個



### 各 I/O Row に 2個ずつ、計 4個実装する場合の例



## Example Design 作成手順

### **Example Designs タブ**

- Example design では、生成する EMIF IP の個数を設定できます
  - 。 Number of IPs 1 に設定



Number of IPs 2 以上に設定 → EMIF Calibration IP を選択する画面が表示されます

General Memory	Mem I/O FPGA I/O Mem Timing	Board Controller D	iagnostics Example Desig	ns	
Example Design	with Multi-IPs				
	🖌 Si	mulation 🖌 Synthe	esis 📃 Signal Inte	grity	
Number of IPs: 2		•	•		
		· · · · ·	_		
There are two Calik	oration IPs on the device. Each of the EMI	F IP must be connected to eithe	er of the two Cal-IPs.		
Please select, for e	ach EMIF IP, which of the two CAL-IPs s	hould the EMIF IP be connected	ito.		
EMIF ID	CAL-IP				
EMIF #0	Cal-IP: CALIP_0	Captu	Clear		接続する CAL-IP (EMIF Calibration IP) を設定
EMIF #1	Cal-IP: CALIP_0	Captu	Ire Clear		

### 作成する Example Design の設定 (1)

### ● 各 EMIF IP に接続する CAL\_IP 選択します

- 。 CALIP\_0、CALIP\_1 が選択可能です
- CALIP\_0、CALIP\_1は、TOP I/O Row、Bottom I/O Row のどちらかになります



### 作成する Example Design の設定 (2)

- Capture のクリックにより、各設定が保存されます
  - 。 Capture クリック時、CAL\_IP の接続に加えて、General タブ〜 Diagnostics タブの設定も保存 されます
  - 。 EMIF IP 設定 → Capture を繰り返すことで、異なる設定の EMIF IP の混在が可能です
    - DDR4 と QDR-IV の混在も可能です
- すべての EMIF IP の Capture 完了後、Generate Example Design を実行してください

例:2つの異なる	:2 つの異なる EMIF IP を実装する場合								
General Memory Mem I/O FPGA I/O	Mem Timir			General Memory Mem I/O F	PGA I/O Mem	Timing			
Topology				* Topology				<u>D</u> etails	
Memory format:	MM		· · · · ·	Memory format:	Component			Consulta Example Design	
DQ width: 72		EMIF #0 の Captu	ire をクリック (下図	DQ width:	32			Generate Example Design	
DQ pins per DQS group: 8		はクリック後画像	象)	DQ pins per DQS group:	8			4	•
Number of DQS groups:		EMIF #1 の Captu	ire はクリックしない	Number of DQS groups:	4		EMIF #1のCap	ture をクリック 🛛 🔺	
Number of clocks: 1		•		Number of clocks:	1		▲ (下図はクリック	ク後画像)	
Number of DIMMs: 1		E	MIF #0 の capture	Number of chin colorter	4				
Number of physical ranks per DIMM: 1		<b>1 t</b>	ミクリック	Number of chip selects:	1			oture	
				-			そクリック		
1 つ目のFMIF	EMIF ID	CAL-IP		異なる EN	IIF	EMIF ID	CAL-IP		
IP 設定	EMIF #0	Cal-IP: CALIP_0	Capture Clear	IP 設定		EMIF #0	Cal-IP: CALIP_0	Capture Clear	
	EMIF #1	Cal-IP: CALIP_1	Capture			EMIF #1	Cal-IP: CALIP_1 💌	Capture Clear	
•					L				

実装例(1) DDR4 x64 を 4 個実装

### 例1:DDR4 x64 を 4個実装(AGFB014、R24B パッケージの例 )

- AGFB014、R24B パッケージの場合、I/O Bank は下図の構成になっています
  - <u>3.1.3. Intel Agilex<sup>®</sup> 7 EMIF Architecture: I/O Bank</u>



### EMIF IP コア配置検討

● DDR4 x64 は、連続する 3 個の I/O Sub-bank で実装可能です

### ● 下図のように、各 I/O Row に 2 個配置できます

Figure 6. Sub-Bank Ordering in Top I/O Row in Intel® Agilex™ AGF012 and AGF014, package R24A/R24B



Bottom Sub-bank (pin-index 47-0)

**BOTTOM I/O Row** 

Top Sub-bank (pin-index 95-48)

MACNICA



DDR4 x64 EMIF IP コア (連続する 3 個の I/O Subbank)

### I/O Bank 検討時の注意事項

 デバイス、パッケージによっては、I/O Sub-bank が接続していない箇所や一部使用 できないピンがありますので、ご注意ください

。例: AGI022 and AGI 027 devices, package R29A の場合



### **Example Design の生成手順**

① Example Designs タブで、Number of IPs を 4 に設定

② Memory タブで、DQ Width 64 を設定、その他、各タブで生成する EMIF IP の各値を設定

③ Example Designs タブで、EMIF #0 ~ #1 を CALIP に CALIP\_0 を選択して Capture

④ Example Designs タブで、EMIF #2 ~ #3 を CALIP に CALIP\_1 を選択して Capture

(5) Generate Example Design

(5) Generate Example Design

			General Memory Mem I/O FPGA I/O Mer	n Timing Board Contro	External Memory Interfaces Intel Agilex FPGA IP	4			
				Memory format: UDIMM	-				
				DQ width: 64		Memory Protocol	Ê		
	······································			DQ pins per DQS group: 8	-	Protocol: DDR4			
General Memory	Mem I/O FPGA I/O Mem Timing Board	Controller Diagnostics	Example Designs	$\overline{2}$					
Example Design with the second sec	h Multi-IPs				General Memory Mem I/O FPGA I/O Mem Timing Board Controller Diagnostics Example Designs				
		Synthesis	Signal Integrity			Example Design with Multi-IPs			
						🖌 Simulation 🖌 Synthesis 🗌 Signal Integrity 🔛 Spyglass CDC Simulation HDL format: Verilog 🔽			
Number of IPs: 4		-							
						Number of IPs: 4			
There are two Calibrat	ion IPs on the device. Each of the EMIF IP must be MEMIF IP, which of the two CAL JPs should the EM	connected to either of the tv IF IP be connected to	vo Cal-IPs.						
						There are two Calibration IPs on the device. Each of the EMIF IP must be connected to either of the two Cal-IPs.			
						Please select, for each EMIF IP, which of the two CAL-IPs should the EMIF IP be connected to.			
EMIF ID	CAL-IP								
5.45 40		Continue	Class			EMIF ID CAL-IP	H		
EMIF #0	CallP: CALIP_U	Capture	Clear	(3) (4	LIP_U IC				
EMIF #1	Cal-IP: CALIP_0	Capture	Clear	記記	定 ——	EMIF #0 Cal-IP: CALIP_0 V Capture Clear			
EMIF #2	Cal-IP: CALIP_1	Capture	Clear						
EMIE #3		Capture	Clear		÷	EMIF #2 Cal-IP: CALIP_1  Capture Clear			
				<b>同</b> 又。	上				
						EMIF #3 Cal-IP: CALIP_1 Clear			

### 生成された Example Design

 各 EMIF Calibration IP に、EMIF IP がそれぞれ 2 個接続されています (生成された Example Design からモジュールの表示順序を変更しています)





### ピン・アサイン (1)

- 配置する I/O Sub-bank を明確にするため、以下の信号をアサインします
  - 。 Addr/cmd 配置バンク : mem\_ck、mem\_ck\_n、pll\_ref\_clk
  - 。 DQ/DQS 配置バンク : すべての DQS, DQS\_n
    - 上記信号をアサインすることにより、全信号をアサインしなくても配置する I/O Sub-bank が決定されます

#	項目	I/O Sub-bank	Pin assign
1	Addr/cmd	3A top	mem_ck (pin# B51)、 mem_ck_n (pin# D51)、 pll_ref_clk (pin# A54)
	DQS	3A Bottom, 3B Bottom	DQS[0] (pin# M49) 、 DQS_n[0] (pin# P49) 、 DQS[1] (pin# T49) 、 DQS_n[1] (pin# V49) 、 DQS[2] (pin# L56) 、 DQS_n[2] (pin# N56) 、 DQS[3] (pin# U56) 、 DQS_n[3] (pin# W56) 、 DQS[4] (pin# M35) 、 DQS_n[4] (pin# P35) 、 DQS[5] (pin# T35) 、 DQS_n[5] (pin# V35) 、 DQS[6] (pin# L42) 、 DQS_n[6] (pin# N42) 、 DQS[7] (pin# U42) 、 DQS_n[7] (pin# W42) 、
2	Addr/cmd	3C Bottom	mem_ck(pin# M27)、 mem_ck_n(pin# P27)、 pll_ref_clk(pin# L24)
	DQS	3C top, 3D top	DQS[0] (pin# B29) 、 DQS_n[0] (pin# D29) 、 DQS[1] (pin# F29) 、 DQS_n[1] (pin# H29) 、 DQS[2] (pin# A22) 、 DQS_n[2] (pin# C22) 、 DQS[3] (pin# G22) 、 DQS_n[3] (pin# J22) 、 DQS[4] (pin# B15) 、 DQS_n[4] (pin# D15) 、 DQS[5] (pin# F15) 、 DQS_n[5] (pin# H15) 、 DQS[6] (pin# A8) 、 DQS_n[6] (pin# C8) 、 DQS[7] (pin# G8) 、 DQS_n[7] (pin# J8) 、

注:連続する 3 個の I/O Sub-bank を使用する場合、Addr/cmd は 3 個の中央の I/O Sub-bank に実装する必要があります

ピン・アサイン (2)

#	項目	I/O Sub-bank	Pin assign
3	Addr/cmd	2A top	mem_ck (pin# DB49)、 mem_ck_n (pin# CY49)、 pll_ref_clk (pin# DC52)
	DQS	2A Bottom, 2B Bottom	DQS[0] (pin# CM47) 、 DQS_n[0] (pin# CK47) 、 DQS[1] (pin# CH47) 、 DQS_n[1] (pin# CF47) 、 DQS[2] (pin# CN54) 、 DQS_n[2] (pin# CL54) 、 DQS[3] (pin# CG54) 、 DQS_n[3] (pin# CE54) 、 DQS[4] (pin# CM33) 、 DQS_n[4] (pin# CK33) 、 DQS[5] (pin# CH33) 、 DQS_n[5] (pin# CF33) 、 DQS[6] (pin# CN40) 、 DQS_n[6] (pin# CL40) 、 DQS[7] (pin# CG40) 、 DQS_n[7] (pin# CE40) 、
4	Addr/cmd	2C Bottom	mem_ck(pin# CM25)、 mem_ck_n(pin# CK25)、 pll_ref_clk(pin# CN22)
	DQS	2C top, 2D top	DQS[0] (pin# DB27) 、 DQS_n[0] (pin# CY27) 、 DQS[1] (pin# CV27) 、 DQS_n[1] (pin# CT27) 、 DQS[2] (pin# DC20) 、 DQS_n[2] (pin# DA20) 、 DQS[3] (pin# CU20) 、 DQS_n[3] (pin# CR20) 、 DQS[4] (pin# DB13) 、 DQS_n[4] (pin# CY13) 、 DQS[5] (pin# CV13) 、 DQS_n[5] (pin# CT13) 、 DQS[6] (pin# DC6) 、 DQS_n[6] (pin# DA6) 、 DQS[7] (pin# CU6) 、 DQS_n[7] (pin# CR6) 、



### コンパイル結果

~		Compile Design
<ul> <li></li> </ul>	1	▶ IP Generation
<ul> <li>Image: A start of the start of</li></ul>	1	Analysis & Synthesis
4	1	Fitter
		Fitter (Implement)
�		Plan
		Place
		Route
		Retime
4		Fitter (Finalize)
	1	Fast Forward Timing Closure Recommendations
<ul> <li>Image: A start of the start of</li></ul>	4	🕙 Timing Analysis (Signoff)
	∠ □	Power Analysis
<b>4</b>	∠ ✓	Assembler (Generate programming files)
	4	EDA Netlist Writer

コンパイル正常終了

					_
			Instance	Entity	м
۵	Agi	lex:	AGFB014R24A3E3E		
-	abc V	ed_	_synth 📩		3
	►	8	auto_fab_0 📩	alt_sld_fab_0	1
	•	₽.	emif_cal_0	ed_synth_emif_cal_0	0
	•	8	emif_cal_1	ed_synth_emif_cal_1	0
	•	₽.	emif_fm_0	ed_synth_emif_fm_0	2
	•	8	emif_fm_1	ed_synth_emif_fm_1	2
	•	₽.	emif_fm_2	ed_synth_emif_fm_2	2
	•	8	emif_fm_3	ed_synth_emif_fm_3	2
	•	₽.	local_reset_combi	ed_synth_local_reset_co	6
	•	8	mm_interconnect	ed_synth_altera_mm_int	
	•	8	mm_interconnect	ed_synth_altera_mm_int	
	►	8	mm_interconnect	ed_synth_altera_mm_int	
	•	8	mm_interconnect	ed_synth_altera_mm_int	
	•	8	ninit_done	ed_synth_ninit_done	
		_			

EMIF IP (emif\_fm\_xxx):4個 EMIF Calibration IP (emif\_cal\_xxx):2個 が実装されています

) Bank Usage						
ow: Visible 🔻 Hide 🔍 < <filte< th=""></filte<>						
	I/O Bank	Usage	VCCIO Voltage			
	SDM	13 / 33 ( 39 % )				
	2D	66 / 96 ( 69 % )	1.2V			
	2C	77 / 96 ( 80 % )	1.2V			
	2B	44 / 96 ( 46 % )	1.2V			
	2A	77 / 96 ( 80 % )	1.2V			
	3D	44 / 96 ( 46 % )	1.2V			
	3C	77 / 96 ( 80 % )	1.2V			
	3B	44 / 96 ( 46 % )	1.2V			
	ЗA	77 / 96 ( 80 % )	1.2V			
)	HPS	0 / 48 ( 0 % )				
	8A	0/0()				
2	9A	0 / 82 ( 0 % )				
3	10A	0/74(0%)				
4	11A	0/0()				

I/O Bank アサイン結果

実装例(2) DDR4 x32 を 8 個実装

### 例2:DDR4 x32 を 8 個実装(AGFB014、R24B パッケージの例 )

● DDR4 x32 は一つの 連続する 2 個の I/O Sub-bank で実装可能です

### ● 下図のように、各 I/O Row に 4 個配置できます

MACNICA



© Macnica, Inc.

26

### **Example Design の生成手順**

① Example Designs タブで、Number of IPs を 8 に設定

② Memory タブで、DQ Width 32 を設定、その他、各タブで生成する EMIF IP の各値を設定

- ③ Example Designs タブで、EMIF #0 ~ #3 を CALIP に CALIP\_0 を選択して Capture
- ④ Example Designs タブで、EMIF #4 ~ #7 を CALIP に CALIP\_1 を選択して Capture

(5) Generate Example Design



### 生成された Example Design

 各 EMIF calibration IP に、EMIF IP がそれぞれ 4 個接続されています (生成された Example Design からモジュールの表示順序を変更しています)





### ピン・アサイン (1)

\_

- 配置する I/O Bank を明確にするため、以下の信号をアサインします
  - 。 Addr/cmd 配置バンク : mem\_ck、mem\_ck\_n、pll\_ref\_clk
  - 。 DQ/DQS 配置バンク : すべての DQS, DQS\_n
    - 上記信号をアサインすることにより、全信号をアサインしなくても配置する I/O Sub-bank が決定されます

項目	I/O Sub-bank	Pin assign
Addr/cmd	3A top	mem_ck (pin# B51)、 mem_ck_n (pin# D51)、 pll_ref_clk (pin# A54)
DQS	3A Bottom	DQS[0] (pin# M49) 、 DQS_n[0] (pin# P49) 、 DQS[1] (pin# T49) 、 DQS_n[1] (pin# V49) 、 DQS[2] (pin# L56) 、 DQS_n[2] (pin# N56) 、 DQS[3] (pin# U56) 、 DQS_n[3] (pin# W56) 、
Addr/cmd	3B top	mem_ck (pin# B37)、 mem_ck_n (pin# D37)、 pll_ref_clk (pin# A40)
DQS	3B bottom	DQS[0] (pin# M35) 、 DQS_n[0] (pin# P35) 、 DQS[1] (pin# T35) 、 DQS_n[1] (pin# V35) 、 DQS[2] (pin# L42) 、 DQS_n[2] (pin# N42) 、 DQS[3] (pin# U42) 、 DQS_n[3] (pin# W42) 、
Addr/cmd	3C top	mem_ck (pin# B27)、 mem_ck_n (pin# D27)、 pll_ref_clk (pin# A24)
DQS	3C Bottom	DQS[0] (pin# M29) 、 DQS_n[0] (pin# P29) 、 DQS[1] (pin# T29) 、 DQS_n[1] (pin# V29) 、 DQS[2] (pin# L22) 、 DQS_n[2] (pin# N22) 、 DQS[3] (pin# U22) 、 DQS_n[3] (pin# W22) 、
Addr/cmd	3D top	mem_ck (pin# B13)、 mem_ck_n (pin# D13)、 pll_ref_clk (pin# A10)
DQS	3D bottom	DQS[0] (pin# M15) 、 DQS_n[0] (pin# P15) 、 DQS[1] (pin# T15) 、 DQS_n[1] (pin# V15) 、 DQS[2] (pin# L8) 、 DQS_n[2] (pin# N8) 、 DQS[3] (pin# U8) 、 DQS_n[3] (pin# W8) 、
	項目 Addr/cmd DQS Addr/cmd DQS Addr/cmd DQS Addr/cmd	項目I/O Sub-bankAddr/cmd3A topDQS3A BottomAddr/cmd3B topDQS3B bottomAddr/cmd3C topDQS3C BottomDQS3D topDQS3D bottom

ピン・アサイン (2)

#	項目	I/O Sub-bank	Pin assign
5	Addr/cmd	2A top	mem_ck (pin# DB49)、 mem_ck_n (pin# CY49)、 pll_ref_clk (pin# DC52)
	DQS	2A bottom	DQS[0] (pin# CM47) 、 DQS_n[0] (pin# CK47) 、 DQS[1] (pin# CH47) 、 DQS_n[1] (pin# CF47) 、 DQS[2] (pin# CN54) 、 DQS_n[2] (pin# CL54) 、 DQS[3] (pin# CG54) 、 DQS_n[3] (pin# CE54) 、
6	Addr/cmd	2B top	mem_ck (pin# DB35)、 mem_ck_n (pin# CY35)、 pll_ref_clk (pin# DC38)
	DQS	2B bottom	DQS[0] (pin# CM33) 、 DQS_n[0] (pin# CK33) 、 DQS[1] (pin# CH33) 、 DQS_n[1] (pin# CF33) 、 DQS[2] (pin# CN40) 、 DQS_n[2] (pin# CL40) 、 DQS[3] (pin# CG40) 、 DQS_n[3] (pin# CE40) 、
7	Addr/cmd	2C top	mem_ck (pin# DB25)、 mem_ck_n (pin# CY25)、 pll_ref_clk (pin# DC22)
	DQS	2C bottom	DQS[0] (pin# CM27) 、 DQS_n[0] (pin# CK27) 、 DQS[1] (pin# CH27) 、 DQS_n[1] (pin# CF27) 、 DQS[2] (pin# CN20) 、 DQS_n[2] (pin# CL20) 、 DQS[3] (pin# CG20) 、 DQS_n[3] (pin# CE20) 、
8	Addr/cmd	2D top	mem_ck (pin# DB11)、 mem_ck_n (pin# CY11)、 pll_ref_clk (pin# DC8)
	DQS	2D bottom	DQS[0] (pin# CM13) 、 DQS_n[0] (pin# CK13) 、 DQS[1] (pin# CH13) 、 DQS_n[1] (pin# CF13) 、 DQS[2] (pin# CN6) 、 DQS_n[2] (pin# CL6) 、 DQS[3] (pin# CG6) 、 DQS_n[3] (pin# CE6) 、



### コンパイル結果

Comp	oilation Flow:	During compilation, intermediate Fitter snapshots (pla	inne	d, pla	iced,	rout
$\checkmark$		Compile Design				
$\checkmark$	1	IP Generation				
$\checkmark$	1	Analysis & Synthesis	4	ব্	0	
4	1	Fitter	4			
		<ul> <li>Fitter (Implement)</li> </ul>	₽			
4		Plan	4	C	Q	
		Place	4		Q	
		Route	Ф		Q	0
		Retime	Ф	C	Q	
4		Fitter (Finalize)	4	C	0	0
	∠ □	Fast Forward Timing Closure Recommendations	4		Q	
<ul> <li>Image: A second s</li></ul>	1	🔇 Timing Analysis (Signoff)	4			
	∠ □	Power Analysis	₽			
4	∠ ✓	Assembler (Generate programming files)	4			
	1	EDA Netlist Writer	۵			

コンパイル正常終了

Agilex: AGFB014R24	A3E3E	
🔻 🚏 ed_synth 📩		44553.9 (77
🕨 📥 auto_fab_0 🖥	alt_sld_fab_0	2383.7 (0.5)
🕨 📥 emif_cal_0	ed_synth_emif_cal_0	0.0 (0.0)
🕨 📥 emif_cal_1	ed_synth_emif_cal_1	0.0 (0.0)
🕨 📥 emif_fm_0	ed_synth_emif_fm_0	229.0 (0.0)
🕨 📥 emif_fm_1	ed_synth_emif_fm_1	242.0 (0.0)
🕨 📥 emif_fm_2	ed_synth_emif_fm_2	234.1 (0.0)
🕨 📥 emif_fm_3	ed_synth_emif_fm_3	214.7 (0.0)
🕨 📥 emif_fm_4	ed_synth_emif_fm_4	218.9 (0.0)
🕨 📥 emif_fm_5	ed_synth_emif_fm_5	216.0 (0.0)
🕨 📥 emif_fm_6	ed_synth_emif_fm_6	232.2 (0.0)
🕨 📥 emif_fm_7	ed_synth_emif_fm_7	219.2 (0.0)
🕨 📥 local_reset_co	ombi ed_synth_local_reset	t_com 62.8 (0.0)
. 🗖 .		

EMIF IP (emif\_fm\_xxx): 8 個 EMIF Calibration IP (emif\_cal\_xxx): 2 個 が実装されています

I/O Bank Usage								
Show: Visible		•	▼ Hide		<b>Q</b> < <filter></filter>			
	I/O Bank		Usage	VCCIO Vol				
1	SDM	13	/ 33 ( 39 %					
2	2D	89	/ 96 ( 93 %)	)	1.2V			
3	2C	89	/ 96 ( 93 %	)	1.2V			
4	2B	78	/ 96 ( 81 % )	)	1.2V			
5	2A	89	/ 96 ( 93 %	)	1.2V			
6	3D	77	/ 96 ( 80 % )	)	1.2V			
7	3C	77	/ 96 ( 80 %	)	1.2V			
8	3B	82	/ 96 ( 85 % )	)	1.2V			
9	ЗA	77	/ 96 ( 80 %	)	1.2V			
10	HPS	0/	48 ( 0 % )					
11	8A	0/	0()					
12	9A	0/	82 ( 0 % )					
13	10A	0/	74 ( 0 % )					
14	11A	0/	0()					

I/O Bank アサイン結果



## 実装例(3) DDR4 x64 x32 混在

### 例3:DDR4 x64 x32 混在(AGFB014、R24B パッケージの例 )

● 下図のように、各 I/O Row に x64:1 個、x32:2 個を配置できます



### **Example Design の生成手順**

① Example Designs タブで、Number of IPs を 6 に設定

② Memory タブで、DQ Width 64 を設定、その他、各タブで生成する EMIF IP の各値を設定

③ Example Designs タブで、 EMIF #0 #3 のみを、それぞれ CALIP を CALIP\_0、 CALIP\_1 と選択し Capture

- ④ Memory タブで、DQ Width 32 を設定、その他、各タブで生成する EMIF IP の各値を設定
- ⑤ Example Designs タブで、 EMIF #1 #2 #4 #5 を、それぞれ CALIP を選択し Capture

6 Generate Example Design

			General Memo	ry Mem WO FPGA VO Mem Timi	ng Board Contro			eneral Memory Mem Topology Memory format: DQ width: DQ pins per DQS group:	I/O   FPGA I/O   Mem Timing   Board   ( Component 32 8			Gen	Details erate Example Design
eneral Memory M	em I/O FPGA I/O Mem Timing Board Co	ontroller Diagnostics	Example Design:				•		4			•	
Example Design with	Multi-IPs  Simulation	V Synthesis	Signal Integr		Number of IPs: 6		-			Number of IPs: 6	ration IPs on the device. Each of the F	WIF IP must be connected to either of the	e two Cal-IPs
Number of IPs: 6	Ĵ	-			There are two Calibr Please select, for ea 	ation IPs on the device. Each of the EMIF Ich EMIF IP, which of the two CAL-IPs sh	FIP must be connected to either of nould the EMIF IP be connected to.	the two Cal-IPs.	CALIP_0 (こ	Please select, for e	ach EMIF IP, which of the two CAL-IPs	s should the EMIF IP be connected to.	(5)
There are two Calibratio Please select, for each t	n IPs on the device. Each of the EMIF IP must be conn EMIF IP, which of the two CAL-IPs should the EMIF IP	nected to either of the two be connected to.	o Cal-IPs.		EMIF ID	CAL-IP		9	設定	emif id	CAL-IP		
EMIF ID	CAL-IP				EMIF #0	Cal-IP: CALIP_0 👻	Capture	Clear		EMIF #0		Capture	Clear
EMIF #0	Cal-IP: CALIP_0	Capture	Clear		EMIF #1	Cal-IP: CALIP_0	Capture	Clear		EMIF #1		Capture	Clear
EMIF #1	Cal-IP: CALIP_0	Capture	Clear		EMIF #2	Cal-IP: CALIP_0	Capture	Clear		EMIE #3		Capture	Clear
EMIF #2	Cal-IP: CALIP_0	Capture	Clear		EMIF #3	Cal-IP: CALIP_1 -	Capture	Clear		EMIF #4		Capture	Clear
EMIF #3		Capture	Clear		EMIF #4	Cal-IP: CALIP_1	Capture	Clear		EMIF #5		Capture	Clear
EMIF #4 EMIF #5	Cal-IP: CALIP_0  Cal-IP: CALIP_0	Capture	Clear		EMIF #5	Cal-IP: CALIP_1	Capture	Clear	CALIP_1 に 設定				

### 生成された Example Design

(生成された Example Design からモジュールの表示順序を変更しています)



### ピン・アサイン (1)

- 配置する I/O Bank を明確にするため、以下の信号をアサインします
  - 。 Addr/cmd 配置バンク : mem\_ck、mem\_ck\_n、pll\_ref\_clk
  - 。 DQ/DQS 配置バンク : すべての DQS, DQS\_n
    - 上記信号をアサインすることにより、全信号をアサインしなくても配置する I/O Sub-bank が決定されます

#	項目	I/O Sub-bank	Pin assign
1	Addr/cmd	3A top	mem_ck (pin# B51)、 mem_ck_n (pin# D51)、 pll_ref_clk (pin# A54)
	DQS	3A Bottom, 3B Bottom	DQS[0] (pin# M49) 、 DQS_n[0] (pin# P49) 、 DQS[1] (pin# T49) 、 DQS_n[1] (pin# V49) 、 DQS[2] (pin# L56) 、 DQS_n[2] (pin# N56) 、 DQS[3] (pin# U56) 、 DQS_n[3] (pin# W56) 、 DQS[4] (pin# M35) 、 DQS_n[4] (pin# P35) 、 DQS[5] (pin# T35) 、 DQS_n[5] (pin# V35) 、 DQS[6] (pin# L42) 、 DQS_n[6] (pin# N42) 、 DQS[7] (pin# U42) 、 DQS_n[7] (pin# W42) 、
2	Addr/cmd	3B top	mem_ck (pin# B37)、 mem_ck_n (pin# D37)、 pll_ref_clk (pin# A40)
	DQS	3C top	DQS[0] (pin# B29) 、 DQS_n[0] (pin# D29) 、 DQS[1] (pin# F29) 、 DQS_n[1] (pin# H29) 、 DQS[2] (pin# A22) 、 DQS_n[2] (pin# C22) 、 DQS[3] (pin# G22) 、 DQS_n[3] (pin# J22) 、
3	Addr/cmd	3C Bottom	mem_ck (pin# M27)、 mem_ck_n (pin# P27)、 pll_ref_clk (pin# L24)
	DQS	3D top	DQS[0] (pin# B15) 、 DQS_n[0] (pin# D15) 、 DQS[1] (pin# F15) 、 DQS_n[1] (pin# H15) 、 DQS[2] (pin# A8) 、 DQS_n[2] (pin# C8) 、 DQS[3] (pin# G8) 、 DQS_n[3] (pin# J8) 、
注	・連続する3個	の I/O Sub-bank を	使用する場合、Addr/cmd は 3 個の中央の I/O Sub-bank に実装する必要があります

ピン・アサイン (2)

#	項目	I/O Sub-bank	Pin assign
4	Addr/cmd	2A top	mem_ck (pin# DB49)、 mem_ck_n (pin# CY49)、 pll_ref_clk (pin# DC52)
	DQS	2A Bottom, 2B Bottom	DQS[0] (pin# CM47) 、 DQS_n[0] (pin# CK47) 、 DQS[1] (pin# CH47) 、 DQS_n[1] (pin# CF47) 、 DQS[2] (pin# CN54) 、 DQS_n[2] (pin# CL54) 、 DQS[3] (pin# CG54) 、 DQS_n[3] (pin# CE54) 、 DQS[4] (pin# CM33) 、 DQS_n[4] (pin# CK33) 、 DQS[5] (pin# CH33) 、 DQS_n[5] (pin# CF33) 、 DQS[6] (pin# CN40) 、 DQS_n[6] (pin# CL40) 、 DQS[7] (pin# CG40) 、 DQS_n[7] (pin# CE40) 、
5	Addr/cmd	2B top	mem_ck (pin# DB35)、 mem_ck_n (pin# CY35)、 pll_ref_clk (pin# DC38)
	DQS	2C top	DQS[0] (pin# DB27) 、 DQS_n[0] (pin# CY27) 、 DQS[1] (pin# CV27) 、 DQS_n[1] (pin# CT27) 、 DQS[2] (pin# DC20) 、 DQS_n[2] (pin# DA20) 、 DQS[3] (pin# CU20) 、 DQS_n[3] (pin# CR20)
6	Addr/cmd	2C Bottom	mem_ck(pin# CM25)、 mem_ck_n(pin# CK25)、 pll_ref_clk(pin# CN22)
	DQS	2D top	DQS[0] (pin# DB13) 、 DQS_n[0] (pin# CY13) 、 DQS[1] (pin# CV13) 、 DQS_n[1] (pin# CT13) 、 DQS[2] (pin# DC6) 、 DQS_n[2] (pin# DA6) 、 DQS[3] (pin# CU6) 、 DQS_n[3] (pin# CR6) 、



### コンパイル結果



コンパイル正常終了

Instance	Entity	Ms needed [=
Agilex: AGFB014R24A3E3E		
🔻 🚏 ed_synth 📩		42027.9 (65.
🕨 📥 auto_fab_0 📩	alt_sld_fab_0	2174.5 (0.5)
🕨 📥 emif_cal_0	ed_synth_emif_cal_0	0.0 (0.0)
🕨 📥 emif_cal_1	ed_synth_emif_cal_1	0.0 (0.0)
🕨 📥 emif_fm_0	ed_synth_emif_fm_0	217.2 (0.0)
🕨 📥 emif_fm_1	ed_synth_emif_fm_1	225.8 (0.0)
🕨 📥 emif_fm_2	ed_synth_emif_fm_2	231.3 (0.0)
🕨 📥 emif_fm_3	ed_synth_emif_fm_3	241.5 (0.0)
🕨 📥 emif_fm_4	ed_synth_emif_fm_4	221.5 (0.0)
🕨 📥 emif_fm_5	ed_synth_emif_fm_5	243.8 (0.0)
🕨 🕨 📥 local_reset_combi	ed_synth_local_reset_comb	58.0 (0.0)
-		

EMIF IP (emif\_fm\_xxx):6個 EMIF Calibration IP (emif\_cal\_xxx):2個 が実装されています

				(				
Show: Visible			•	Hide		Q < <filte< th=""></filte<>		
	I,	/O Bank		Usage		VCCIO \		
1	S	M	13	/ 33 ( 39 %	)			
2	20	)	44	/ 96 ( 46 %	)	1.2V		
3	20	2	89	/ 96 ( 93 %	)	1.2V		
4	28	3	78	/ 96 ( 81 %	)	1.2V		
5	2/	A	89	/ 96 ( 93 %	)	1.2V		
6	30	)	44	/ 96 ( 46 %	)	1.2V		
7	30	2	77	/ 96 ( 80 %	)	1.2V		
8	38	3	84	/ 96 ( 88 %	)	1.2V		
9	3/	A	77	/ 96 ( 80 %	)	1.2V		
10	Н	PS	0/	48 ( 0 % )				
11	8/	A	0/	0 ( )				
12	9/	A	0/	82 ( 0 % )				
13	10	A	0/	74(0%)				
14	11	A	0/	0()				

I/O Bank アサイン結果



## まとめ MACNICA



- Intel Agilex<sup>®</sup> 7 FPGA & SoC では、EMIF IP を実装する際、EMIF Calibration IP と接続する必要があります
- EMIF Calibration IP は、配置する EMIF IP の I/O Row に対応して、各 I/O Row につ実装します
- 複数の EMIF IP コアを実装した Example Design を生成可能です
  - 。 異なる設定の EMIF IP の混在も可能です
- 複数の EMIF IP の実装を検討する際は、Example Design をぜひご活用ください



Confidential

# MACNICA

弊社より資料を入手されたお客様におかれましては、次の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。