

# Intel Agilex<sup>®</sup> 7 HPS EMIF 注意事項

**macnica**

株式会社マクニカ アルティマカンパニー

Rev. 1.1 2023/3

# 本資料の目的

- 本資料は、Intel Agilex<sup>®</sup> 7 のハード・プロセッサ・システム用 External Memory Interface (以下 HPS EMIF) を使用する際の注意事項についてまとめています
- ユーザーガイドの内容を元に作成した資料となります。詳細は下記リンクをご確認ください
  - [3.6. Intel Agilex 7 EMIF for Hard Processor Subsystem](#)
- 本資料に合わせて、下記資料もご参照ください
  - [Intel Agilex<sup>®</sup> 7 FPGA & SoC 外部メモリー・インターフェース \(EMIF\) 回路図確認項目](#)

# 内容

1. HPS EMIF を使用するにあたって
2. HPS EMIF のメモリークロック出力
3. HPS EMIF の実装バンク
4. 未使用ピンに対する GPIO としての使用可否
5. DQ pin のレーンについて
6. addr/cmd 信号について

# 1. HPS EMIF を使用するにあたって

- HPS を有効とする場合、HPS EMIF の接続は必須です。必ず実装してください
- HPS EMIF の仕様は下記のとおりです

**Table 11. Intel Agilex Hard Processor Subsystem Compatibility**

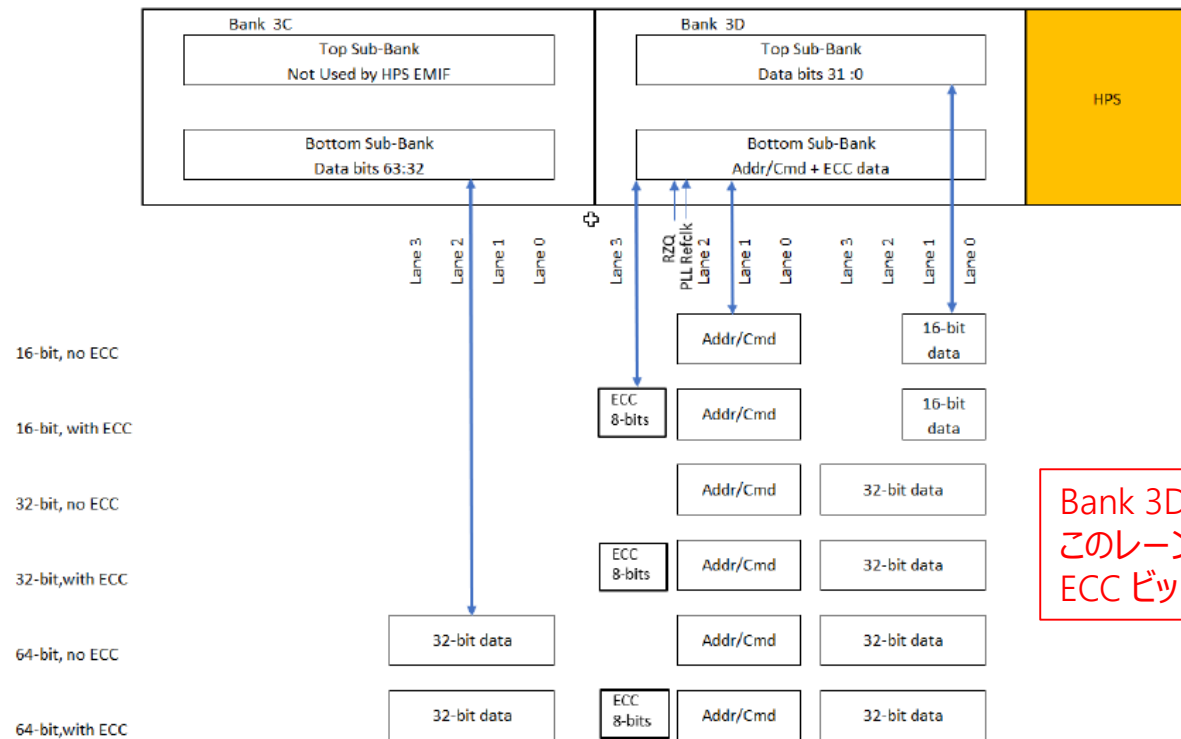
|  |   |
|--|---|
| Protocol                                     | DDR4  |
| Maximum memory clock frequency               | 1600MHz   |
| Configuration                                | Hard PHY with hard memory controller  |
| Clock rate of PHY and hard memory controller | Half-rate, Quarter-rate   |
| Data width (without ECC)                     | 16-bit, 32-bit, 64-bit  |
| Data width (with ECC)                        | 24-bit, 40-bit, 72-bit  |
| DQ width per group                           | x8  |
| Memory format                                | Supports up to 32GB of memory. <ul style="list-style-type: none"><li>● Discrete components with up to 2 chip selects *</li><li>● Non-3DS UDIMM or RDIMM with up to 2 chip selects *</li><li>● SODIMM with up to 2 ranks *</li></ul> |

## 2. HPS EMIF のメモリークロック出力

- Intel Agilex<sup>®</sup> 7 HPS EMIF のメモリークロック出力は、1ペア (差動ペア) のみです
- そのため、対応可能な下記のいずれかの構成でご使用ください
  - シングルランク
  - デュアルランクだが、メモリークロックが 1つ (デュアル・ダイ・パッケージなど)
  - メモリークロックが 1つの RDIMM
  - 同一クロック出力を複数のメモリークロック入力に接続する構成で、シミュレーションによってマージンが十分とれることが確認できているもの

# 3. HPS EMIF の実装バンク

- HPS EMIF は 3C バンク、3D バンクに実装されます



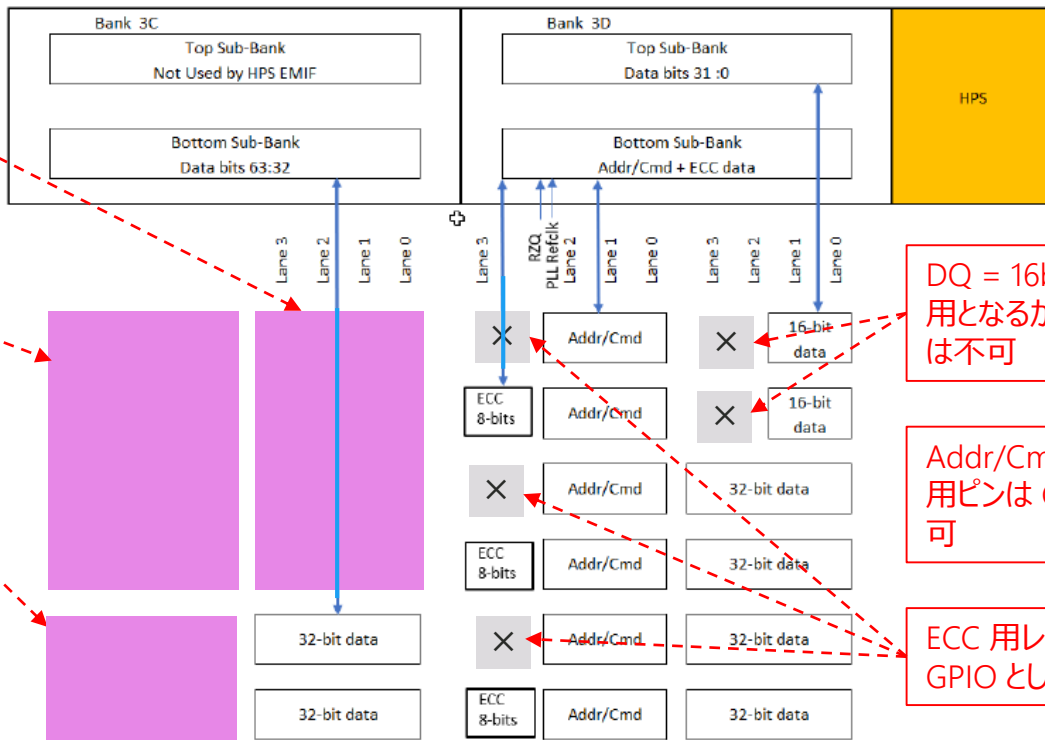
Bank 3D Lane 3 は、ECC 用を有効とする場合にこのレーンを使用する、という内容です。ECC ビットをこのレーンに割り当てる必要はありません。

# 4. 未使用ピンに対する GPIO としての使用可否

【Bank 3C Bottom Sub-bank】  
DQ = 32bit の場合、HPS EMIF では使用されないため、使用可。通常の IO ピンと同様

【Bank 3C Top Sub-bank】

- DQ = 32bit の場合、制約事項なし
- DQ = 64bit の場合、以下の制約事項あり (条件)
  - non-HPS EMIF のポートとして使用可能だが、addr/cmd バンクとしては使用不可
  - 1.5V true differential signaling はサポート対象外
  - I/O PLL reconfiguration はサポート対象外



DQ = 16bit の場合、未使用となるが、GPIO として使用は不可

Addr/Cmd レーン内の未使用ピンは GPIO として使用不可

ECC 用レーンは未使用でも GPIO としての使用不可

## 5. DQ pin のレーンについて

- **DQ ピンは、index#0 1 2 3 8 9 10 11 に配置しなくてはなりません**
  - この中であれば スワップ可能です
- **DM/DBI を使用する場合は、index#6 に配置しなくてはなりません**
- **DQS ピンは、index#4,5 に配置しなくてはなりません**
- **使用するレーンの index#7 は空きピンとしてください**
  - GPIO として使用することはできません
- **DQS グループ間を入れ替えることが可能です**
  - ECC 用のレーンをどのレーンにしても問題ありません (3D バンクの bottom サブバンク以外でも可能です)



## 6. addr/cmd 信号について

- **addr/cmd** ピンは 3D バンクの ボトム・サブバンク に配置しなくてはなりません
  - addr / cmd ピンは固定であり、変更することはできません
  - alert\_n は、lane#2 index#8 に配置してください
- **pll\_ref\_clk** は 3D バンクの ボトム・サブバンク に配置しなくてはなりません
  - コンフィグレーション開始のときには、安定状態となっていないとではありません
- **RZQ** ピンは 3D バンクの ボトム・サブバンク に配置しなくてはなりません

# macnica

## 免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記のご利用上の注意を一読いただいた上でご利用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。