はじめてのトランシーバー

Altima Company | A Macnica Division Company





 本資料は、Arria 10 シリーズでトランシーバーを使用するサンプルデザイン を作成する手順について記載しています。



Agenda

- <u>デザイン作成</u>

 <u>クロック、リセットの設定</u>
 <u>トランシーバー設定</u>
 <u>他のモジュールの追加</u>
- 2. <u>論理シミュレーション</u>
- 3. <u>実機動作</u>
- 4. Transceiver Toolkit



デザイン作成 クロック、リセットの設定



作成デザイン概要

- トランシーバーの送信部、受信部を 1ch ずつ実装します。
- 転送レートは、5.0Gbps とします。
 - 。今回実機検証に使用する Board のクロック入力周波数 (625MHz) より選定した値です。
- 送信パターンはインクリメントデータとします。
- アラインメントパターンは K28.5 とします。
- 送信データを基板上で折り返し、受信パターンを確認します。
- 受信パターンのチェックは、目視でおこないます。
- アライメントエラーを検出できるように送信パターンを 10bit カウンタとし ます。
- インテル FPGA の開発フロー
 - <u>https://www.macnica.co.jp/business/semiconductor/articles/intel/109705/</u>

作成するデザインのブロック構成

- 作成デザインは下記の3モジュールから構成されます。
 - トランシーバーモジュール
 - Arria 10 用のトランシーバーモジュールのTransceiver Native PHY を使用します。 • PLL
 - トランシーバーモジュールの TX PLL 用クロックを生成します。
 - 転送レートは 5.0Gbps なので、fPLL を使用します。
 - 。リセットコントローラ
 - トランシーバーブロックのリセットシーケンス制御用に、専用のリセットコントロー ラモジュール(Transceiver PHY Reset Controller)を接続します。



作成デザイン:xcvr_sample_top



macnica



- Tool は以下を使用します。
 - Quartus Prime Pro Edition v23.3
 - Questa Intel FPGA Edition
- 実機評価では下記の開発キットを使用します。
 - Intel[®] Arria[®] 10 GX FPGA Development Kit
 - Arria 10 GX FPGA を搭載した開発キットです。
 - 詳しくはコチラのリンクをご覧ください。 <u>https://www.intel.com/content/www/us/en/products/details/fpga/development-kits/arria/10-gx.html</u>



Project 作成

Quartus Prime を起動し、Project を作成します。
 プロジェクト名称は、xcvr_sample_top とします。What is the wor C/sample

デバイスは、下記を選択します。
 。 10AX115S2F45I1SG

What is the working directory for this project?	
C:/sample	
What is the name of this project?	
xcvr_sample_top	
What is the name of the top-level design entity for this project? This name is case sensitive and must exa name in the design file.	ctly match the entity
xcvr_sample_top	
This project uses a Partition Database (.qdb) file for the root partition	
Use Existing Project Settings	
プロジェクト名称を "xcvr_sample_top" と入っ	b

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation. You can install additional dev	vice support with the Install Devices command on the	Tools menu.		プロジェクト名利	尓を "xcvr sampl	e tor
Device family	Show in 'Available devices' list				, <u> </u>	
Eamily: Arria 10 (GX/SX/GT)	Package: Any	•				
Device: All	Pin <u>c</u> ount:	•				
Farget device	Core speed grade: Any					
Specific device selected in 'Available devices' list	Transceiver speed grade: Any		Family :	Arria 10 (GX/SX/	′GT)	
○ <u>O</u> ther: n/a	✓ S <u>h</u> ow advanced devices					
Name IOAX115S2F45I1 Name Core Voltage ALMs ▲ Total I/Os GPIOs HSSI C 929 IOAX115S2F45I1SG 0.9V or 0.95V 427200 960 624 72	hannels PCIe Hard IP Blocks Memory Bits 4 55562240	M20K DSP Blocks Fractional I 2713 1518 32				
			— デバ	イスは "10AX1155	S2F45I1SG"を選	択
4		•				
Available devices: 1/961						
elp		< <u>B</u> ack <u>N</u> ext > <u>F</u> inish Cancel				



Platform Designer 起動

- Platform Designer を起動し、新規 System を作成します。
 。 名称を xcvr sample.gsys とします。
- Clock Bridge を 4 個、Reset Bridge を 1 個配置します。
 - 。 clk_625m、clk_100m、reset_n を Export 欄に入力し、外部入力とします。
 - 。 tx_coreclk、rx_coreclk は内部信号を接続予定なので、Export しません。
 - Reset Bridge の clk 入力に、clk_100m の out_clk を接続します。

Use	Connections	Name	Description	Export	Clock
		□ 🖶 clk_625m	Clock Bridge Intel FPGA IP		
	₽-	► in_clk	Clock Input	clk_625m	ort
		l out_clk	Clock Output	Double-click t	
~		⊟ 🖶 clk_100m	Clock Bridge Intel FPGA IP		
	- P	► in_clk	Clock Input	clk_100m Exp	ort
		l out_clk	Clock Output	Double-click to	СК_ТОО
		□ 🖶 tx_coreclk	Clock Bridge Intel FPGA IP		
		► in_clk	Clock Input	Double-click te Exp	ortしない
		l out_clk	Clock Output	Double-click to	IX_corec
~		⊟ 🖶 rx_coreclk	Clock Bridge Intel FPGA IP		
	$\diamond \rightarrow \phi \rightarrow $	► in_clk	Clock Input	Double-click te Exp	ortしない
	$ \rightarrow$	l out_clk	Clock Output	Double-click to	rx_corec
		□ 🕶 reset_in_n	Reset Bridge Intel FPGA IP		
	$ \rightarrow \rightarrow$	► clk	Clock Input	Double eligk t	-11- 400
		► in_reset	Reset Input	reset_n Exp	ort
	接続	◄ out_reset	Reset Output	Double-click to	[clk]

Select the Quartus Prime Pro project file and Platform Designer system file to open. Quartus project: C1sample\ccvr_sample_top.qpf Revision: xcvr_sample_top Board: Set by Quartus project Device family: Arria 10 Device family: 10AX115S2F4511SG Platform Designer system: C1sample\ccvr_sample.qsys L L ま よ 名称を "xcvr_sample.qsys

clock、reset の設定

- 各クロックの周波数を設定します。
 - 。 Arria[®] 10 GX FPGA Development Kit 基板では下記の周波数となります。
 - 。 reset_in_n を Active low に設定します。



デザイン作成 トランシーバーの設定



Transceiver module の選択

- Transceiver module は、Native PHY となります。
 - 。 IP Catalog から、Transceiver を選択し、Add します (またはダブルクリック)。



				Transceiver Native PHY Intel Arria 10/Cycl
ふパラメーター	·の設定			Transceiver Native PHY In 10/Cyclone 10 FPGA IP
各パラメーターを	F設定します (default た	から変更する	箇所を赤枠)。	Name attera_xcvr_native, Version 19.1.1 Author Intel Corporation Description Arria 10 / Cyclone Group Interface Protocols
Transceiver Native PHY Intel Arria 10/Cyclone 10	FPGA IP - xcvr_native_a10_0		×	Arria 10 Data Sheet http://www.altera.c Arria 10 User Guide https://documentat
•			Documentation	Arria 10 Release Notes https://documental Cyclone 10 GX Data Sheet http://www.aitera.c Cyclone 10 GX User Guide https://www.aitera.c
Transceiver Native PHY Intel Arria 10/Cyclo altera_xcvr_native_a10	ine 10 FPGA IP		Documentation を User Guide 等への	クリックすると、 リンクが表示さ∤
Design Environment				
This component supports multiple interface views:				
System			▼	
▼ General			=	
Message level for rule violations:	error			
▼ Common PMA Options				
VCCR_GXB and VCCT_GXB supply voltage for the Tran	isceiver: 1_0V			
Tranceiver Link Type:	SR			
Note - The above options are only used for GUI rule validation	ation. Use Quartus II Setting File (.qsf) assignments to set these parameters	s in your static design.		
[▽] Datapath Options				
Transceiver configuration rules:	Basic/Custom (Standard PCS)			
PMA configuration rules:	basic	Data rata · 5000	Mbnc を設定	
Transceiver mode:	TX/RX Duplex			
Number of data channels:	1	(Development Kit	t の人刀クロックがb	25IVIHZ なので、
Data rate:	5000 Mbps	その値から選定)		
Enable datapath and interface reconfiguration				
Enable simplified data interface	Enable simplified data interfact	oをON		
Disconnect analog resets	(data, k とポートが分離されて	[回路動作を把握し*	やすいため)	
Nica				
	© wachica, ir	nc.		



● 各パラメーターを設定します。TX_PMA タブは default 設定のままとします。

TX PMA RX PMA Standard PCS Dynamic Reconfiguration Generation Options	
TX Bonding Options	
TX channel bonding mode: Not bonded 🗸	Standard PCS パラメーター詳細:
PCS TX channel bonding master: Auto	Intel [®] Arria [®] 10 Transceiver PHY User Guide
Actual PCS TX channel bonding master:	- 2.4.3. PMA Parameters
TX PLL Options	
TX local clock division factor:	
Number of TX PLL clock inputs per channel:	
Initial TX PLL clock input selection:	・久値を設定すると TV DIL に入力する国油粉が美テキれる
Note - The external TX PLL IP must be configured with an output clock frequency o 2500.0 MHz.	「合恒で設定するこ、 $I \land FLL に八月する同成数の衣小される 、 合同の記字では 2500MHz とたり、この国連数のクロックな$
TX PMA Optional Ports	・フ回の設定では 2500MINZ となり、この同波数のクロックを
Enable tx_analog_reset_ack port	- PLL から入力 9 る必安かめる
Enable tx_pma_clkout port	
Enable tx_pma_div_clkout port	
tx_pma_div_clkout division factor: Disabled	
Enable tx_pma_iqtxrx_clkout port	
Enable tx_pma_elecidle port	
Enable tx_pma_qpipullup port (QPI)	
Enable tx_pma_qpipulldn port (QPI)	
Enable tx_pma_txdetectrx port (QPI)	
Enable tx_pma_rxfound port (QPI)	
Enable rx_seriallpbken port	
Nica	©Machica Inc. 15

RX_PMA タブ

● 各パラメーターを設定します (default から変更する箇所を赤枠)。

RX CDR Options Number of CDR reference clocks: Selected CDR reference clock: O
Number of CDR reference clocks: 1 Intel® Arria® 10 Transceiver PHY User Guide Selected CDR reference clock: 0 - 2.4.3. PMA Parameters
Selected CDR reference clock: 0 - 2.4.3. PMA Parameters
Selected CDR reference clock frequency: 625.000000 V MHz
PPM detector threshold: 1000 IMPM Development Kit 上の 625MHz クロックを使用するため.
Equalization CDP reference clock frequency /こ 625MHz を設定
CTLE mode: manual マ CDK TETETETICE CTOCK TTEQUETICY に 0251VITTZ を設定
DFE mode: disabled -
Number of fixed dfe taps:
Enable rx_pma_clkout port
Enable rx_pma_div_clkout port
rx_pma_div_clkout division factor: Disabled -
Enable rx_pma_iqtxrx_clkout port
Enable rx_pma_clkslip port
Enable rx_pma_qpipulldn port (QPI)
✓ Enable rx_is_lockedtodata port
✓ Enable rx_is_lockedtoref port
□Enable rx_set_locktodata and rx_set_locktoref ports ・不具合発生時の解析用に、シリアルループバックをイネーブルにする
☑Enable rx_seriallpbken port ・この機能を使用するとトランシーバーブロック内部でループバック動作
□Enable PRBS verifier control and status ports 行うことができるので、基板と FPGA との切り分けに有効

macnica

Standard PCS タブ

● 各パラメーターを設定します (default から変更する箇所を赤枠)。

TX PMA RX PMA Standard PCS Dynar	nic Reconfiguration Generation Options	
Standard PCS / PMA interface width: FPGA fabric / Standard TX PCS interface width	20 Standard PCS / PMA interfac	ce width (インター
Enable 'Standard PCS' low latency mode	フェース幅)を20に設定	
▼ Standard PCS FIFO		
TX FIFO mode:	low_latency	Standard PCS パラメーター詳細:
RX FIFO mode:	low_latency	Intel [®] Arria [®] 10 Transceiver PHY User Guide
Enable tx_std_pcfifo_full port		<u>- 2.4.5. Standard PCS Parameters</u>
Enable tx_std_pcfifo_empty port		
□ Enable rx_std_pcfifo_full port		
Enable rx_std_pcfifo_empty port		
▼ Bvte Serializer and Deserializer		ト・シリアライザ、デシリアライザをそれぞれ x2 に設定
TX byte serializer mode: RX byte deserializer mode:	Serialize x2 Deserialize x2 マクロ	設定にすると、ユーザ側のデータ幅は 32bit、 ック周波数は 312.5MHz (625MHz の 1/2) となる
x 9D/10D Encoder and Decoder		
Renable TX 8B/10B encoder		
Enable TX 8B/10B disparity control		部でおこなうので
■ Enable RX 8B/10B decoder		
cnica	© Machica Inc	17

Standard PCS タブ

● 各パラメーターを設定します (default から変更する箇所を赤枠)。

▼ Rate Match FIFO		
RX rate match FIFO mode:	Disabled 🗸	
RX rate match insert/delete -ve pattern (hex):	0x0000000	
RX rate match insert/delete +ve pattern (hex):	0x0000000	
Enable rx_std_rmfifo_full port		
Enable rx_std_rmfifo_empty port		
PCI Express Gen 3 rate match FIFO mode:	Bypass 🗸	
* Word Aligner and Bitslip		
Enable TX bitslip		
Enable tx_std_bitslipboundarysel port		
RX word aligner mode:	manual (FPGA Fabric controlled)	
RX word aligner pattern length:	10 🗸	・RX word aligner は、manual mode で、K28.5 を検出して ali
RX word aligner pattern (hex):	0x0000_0000_0000_017c	する構成とする (K28.5 の RX word aligner pattern は 0x17C
Number of word alignment patterns to achieve synd	c: 3	・RX word aligner の設定は、他に bitslip など
Number of invalid data words to lose sync:	3	
Number of valid data words to decrement error cou	unt: 3	
Enable fast sync status reporting for determinist	tic latency SM	
Enable rx_std_wa_patternalign port		
Enable rx_std_wa_a1a2size port	 rx_std_wa_patternalig 	nは、トランシーバーフロックに冉度アラインメント
Enable rx_std_bitslipboundarysel port	を実行させるための入	カで、立上りエッジで実行される
Enable rx_bitslip port	・今回のデザインでは使	用しないが、使用する機会も多いので ON にしておく
cnica	0	Machicalina

Standard PCS タブ

各パラメーターを設定します。Standard PCS タブは default 設定のままとします。

Bit Reversal and Polarity Inversion

Enable TX bit reversal

Enable TX byte reversal

Enable TX polarity inversion

Enable tx_polinv port

Enable RX bit reversal

Enable rx_std_bitrev_ena port

Enable RX byte reversal

Enable rx_std_byterev_ena port

Enable RX polarity inversion

Enable rx_polinv port

Enable rx_std_signaldetect port

* PCle Ports

Enable PCIe dynamic datarate switch ports

Enable PCle pipe_hclk_in and pipe_hclk_out ports

Enable PCIe Gen 3 analog control ports

Enable PCIe electrical idle control and status ports

Enable PCle pipe_rx_polarity port

Dynamic Reconfiguration タブ

各パラメーターを設定します。Dynamic Reconfiguration は今回は使用しないので、default 設定のままとします。

TX PMA RX PMA Standard PCS	Dynamic Reconfiguration	Generation Options		
Enable dynamic reconfiguration				
Share reconfiguration interface				
Enable Native PHY Debug Master End	dpoint			
Separate reconfig_waitrequest from the	he status of AVMM arbitratio	n with PreSICE		
* Optional Reconfiguration Logic				
Enable capability registers				
Set user-defined IP identifier:				
Enable control and status registers				
Enable PRBS soft accumulators				
Configuration Files				
Configuration file prefix:				
Generate SystemVerilog package fi	ile			
Generate C header file				
Generate MIF (Memory Initialization	File)			
□ Include PMA analog settings in conf	iguration files			
Configuration Profiles				
Enable multiple reconfiguration profi	iles			
Enable embedded reconfiguration s	streamer			
Generate reduced reconfiguration fi	les			
Number of reconfiguration profiles: 2			-	
Selected reconfiguration profile:			-	
Store configuration to selected prof	file			
Load configuration from selected pro	ofile			
Clear selected profile				
Clear all profiles				
Refresh selected_profile				
IP Parameters Transceiver mode Number of data ch. Data rate Enable datapath an Enable simplified d				

Dynamic Reconfiguration は、電源 ON 状態のままでトラン シーバーchannel や PLL の設定や、Analog Parameter を変 更する機能です。この動作は Avalon-MM ベースのインタ フェース制御や Quartus Prime の Transceiver Toolkit で実現 できます。詳細については以下の資料をご覧ください。

Dynamic Reconfiguration パラメーター詳細: Intel® Arria® 10 Transceiver PHY User Guide - 2.4.7. Dynamic Reconfiguration Parameters

Dynamic Reconfiguration 詳細: Intel[®] Arria[®] 10 Transceiver PHY User Guide - 6. Reconfiguration Interface and Dynamic Reconfiguration



- パラメーター設定後、Parameterization Messages に Error, Warning が無いことを確認してください。
- Error、Warning が発生している場合は表示メッセージに内容が記載されるので、内容を確認し修正してください。
- 確認後、Finish ボタンを押します。

Parameterization Messages

Туре		△ Message
የ 🕕		
0	Note - The external TX PLL IP must be configured with an output clock frequency of	2500.0 MHz.
0	For the selected device(10AX115S2F45I1SG), transceiver speed grade is 2 and c	core speed grade is 1.
0	Simplified data interface has been enabled. The Native PHY will present the data/co	ontrol interface for the current configuration only. Dynamic reconfiguration of the data interface cannot be supported. The
		Patapatrophysis
エラ Dat Dat 表示	ラーメッセージ例: ca rate を "50000" と誤入力した場合、 ca rate に関連したエラーメッセージが 示される。	Transceiver configuration rules: Basic/Custom (Standard PCS) PMA configuration rules: basic Transceiver mode: TX/RX Duplex Transceiver of data channels: 1 Data rate: 50000 Enable datapath and interface reconfiguration Mbps I Enable simplified data interface 0 Disconnect analog resets Generation Options
		Parameterization Messages
		Comparison of the current value "" (50000) for parameter "Data rate" (set_data_rate) is invalid. Possible valid values are: "" (1000.0:12000.0). The parameter value is invalid under these current parameter setting
		The selected CDR reference clock frequency "625.000000" is invalid. Please select a valid CDR reference clock frequency or choose a different data rate.
		Note - The external TX PLL IP must be configured with an output clock frequency of 25000.0 MHz.
		For the selected device(10AX115S2F45I1SG), transceiver speed grade is 2 and core speed grade is 1.
	uica	Simplified data interface has been enabled. The Native PHY will present the data/control interface for the current configuration only. Dynamic reconfiguration of the data interface cannot be supported.
		©Macnica,Inc. 21

Platform Designer 画面

xcvr_sample.v にトランシーバーが追加されます。
 この時点では、表示 Message に Warning が残っています

Use	Connections	Name	Description	Export	Clock	Bas
		□ =⊏ clk_625m	Clock Bridge Intel FPGA IP			
	D-	► in_clk	Clock Input	clk_625m	exported	
		■ out_clk	Clock Output	Double-click to	clk_625	
~		⊟	Clock Bridge Intel FPGA IP			
	D-	► in_clk	Clock Input	clk_100m	exported	
		l out_clk	Clock Output	Double-click to	clk_100	
		□ == tx_coreclk	Clock Bridge Intel FPGA IP			
	$\diamond \diamond \diamond \diamond \rightarrow \rightarrow$	► in_clk	Clock Input	Double-click to	unconnec	
		l out_clk	Clock Output	Double-click to	tx_corec	
~		□ III rx_coreclk	Clock Bridge Intel FPGA IP			
	$\diamond \bullet \diamond \diamond - \diamond \phi \rightarrow \rightarrow$	► in_clk	Clock Input	Double-click to	unconnec	
		■ out_clk	Clock Output	Double-click to	rx_corec	
		⊟ 🖶 reset_in_n	Reset Bridge Intel FPGA IP			
	$\diamond \bullet \diamond \diamond \bullet \bullet$	► clk	Clock Input	Double-click to	clk_100	
	D-	► in_reset	Reset Input	reset_n	[clk]	
	× · · · · · · · · · · · · · · · · · · ·	 out_reset 	Reset Output	Double-click to	[clk]	
~		□ = xcvr_native_a10_0	Transceiver Native PHY Intel	A		
		tx_analogreset	Conduit	Double-click to		
	¢—	 tx_digitalreset 	Conduit	Double-click to		
	↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓	rx_analogreset	Conduit	Double-click to		
	↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓	 rx_digitalreset 	Conduit	Double-click to		
	 ♦—	tx_cal_busy	Conduit	Double-click to		
	↓	rx_cal_busy	Conduit	Double-click to		
		tx serial clk0	HSSLSerial Clock Input	Double-click to		
•						
ft wn	🕻 🏹 🛒 Current	filter: All Interfaces	~			
stem I	Messages 🛛 Gen	eration Messages ∞				- 1
be		Path			Message	
1	Component Instantia	ation Warning				
🔊 🗴	cvr_sample.reset_i	n_n	System Information doesn't match requirements of IP. Double-click to open System Info ta			
1	0 System Connectivi	ty Warnings				
🔺 🗴	cvr_sample.xcvr_n	ative_a10_0	xcvr_native_a10_0.tx_analogreset must be exported, or connected to a matching cond			
🔊 🛛	cvr_sample.xcvr_n	ative_a10_0	xcvr_native_a10_0.tx_digitalreset must be exported, or connected to a matching condu			
🔊 🖌	cvr sample xcvr n	ative a10 0	xcvr native a10 0 rx analogreset	must be exported or c	onnected to a mate	hing co

ここに表示されている warning は、xcvr_sample.v に ついてのメッセージです (前頁の warning が無いこと を確認したメッセージは、Transceiver Native PHY に ついてのメッセージです)。

macnica

デザイン作成 他のモジュールの追加



PLL の選択

● IP catalog から、fPLL Intel Arria 10/Cyclone 10 FPGA IP を選択し、Add します (またはダブルクリック)。



fPLL 詳細については下記をご参照ください。 Intel[®] Arria[®] 10 Transceiver PHY User Guide - 3.1.3. fPLL

		IPLL Intel Arria 10/Cyclone 10 FPGA IP Documentation X
PLL の 設定		fPLL Intel Arria 10/Cyclone 10
● PLL タブの内容を下記の ルト設定)、Finish ボタ	のように設定し (PLL タブ以外はデフォ ンを押します。	Name altera_xcvr_fpll_a10 Version 19.1 Author Intel Corporation Description Arria 10 / Cyclone 10 FPLL. Group Interface Protocols/Transceiver PLL Arria 10 Data Sheet http://www.altera.com/literature/hb/arris
FPLL Intel Arria 10/Cyclone 10 FPGA IP - xcvr_fpll_a10_0	×	Arria 10 User Guide https://documentation altera.com/#/link Arria 10 Release Notes https://documentation altera.com/#/link
fPLL Intel Arria 10/Cyclone 10 FPGA IP altera_xcvr_fpil_a10	Documentation Documentation を User Guide 等資料	Cyclone 10 GX Data Sheet <u>http://www.altera.com/literature/hb/cycle</u> クリックすると、 へのリンクが表示される
PLL Master Clock Generation Block Dynamic Reconfiguration Generation Options Advanced Parame	eters	
▼ General FPLL Mode: Transceiver ▼	基板の入力周波数に合わせて、入力周波数	<mark>女 625MHz に設定</mark>
Protocol mode: Basic 👻		
Enable downstream cascaded pil Enable fractional mode	出力クロックをNative PHY に接続するの	で、TX PMA
Enable manual counter configuration Enable ATX to FPLL cascade clock input port	タブに表示された 周波数を設定	
Enable ciklow and fref ports	Note - The external TX PLL IP must be configured w	vith an output clock frequency of 2500.0 MHz.
Reference Clock Desired reference clock frequency: 625.0 MHz		
Actual reference clock frequency: 625.0 MHz Number of PLL reference clocks: 1	Parameterization Messages	
Selected reference clock source: 0		Message
* Settings	For the selected device(10AX115S2F45I1SG), PLL speed grade is 2.	
Bandwidth:	I	
Feedback	IP folder: ip/xcvr. sample HDL entity name: kcvr.	sample xcvr foll a10 0
Output Frequency Transceiver Usage	Cancel	
PLL output frequency: 2500.0 MHz PLL Datarate: 500000 100ps	設定後、Message	画面に Error,
	Warning が無いこと	<u>た確認し、Finish</u>
nacnica	@Macnica.Inc. ボタンを押す	25

Reset Controller の選択

● IP Catalog から、Transceiver PHY Reset Controller を選択し、Add します (またはダブルクリック)。



Transceiver PHY Reset Controller についての詳細は下記を ご参照ください。 <u>Intel® Arria® 10 Transceiver PHY User Guide</u> - 4.4. Using the Transceiver PHY Reset Controller



Reset Controller の設定	Transceiver PHY Reset Controller Intel FPGA IP Docume × Transceiver PHY Reset Controller Intel FPGA IP
 下記のように Input clock fr Finish ボタンを押します。 	requency、durationを設定し、 Author bescription の description bescription bescript
Transceiver PHY Reset Controller Intel FPGA IP altera_xcvr_reset_control	Documentation をクリックすると、User Guide 等資料へのリンクが表示される
✓ General Options Number of transceiver channels: 1 Number of TX PLLs: 1 Input clock frequency: 100 MHz ✓ Use fast reset input ✓ Use fast reset for simulation □ Separate interface per channel/PLL	
	Parameterization Messages
Synchronize reset input for PLL powerdown	lype Message
▼ IX Channel IX Channel IX Channel IX Enable TX channel reset control IX Use separate TX reset per channel TX digital reset mode: Auto tx_analogreset duration: T0000 ns tx_digitalreset duration: T0000 IX	
pll_locked input hysteresis: 0 ns Enable pll_cal_busy input port duration は、Use	er Guide & 9 70us
Use separate RX reset per channel RX digital reset mode: rx_analogreset duration: rx_digitalreset duration: 4000 ns	設定後、Message 画面に Error, Warning が無いことを確認し、Finish ボタンを押す
ACINICA	©Macnica.Inc.

クロックの接続

- 各クロックを下記のように接続します。
 - o clk_270m → xcvr_native_a10_0.rx_cdr_refclk0、 xcvr_fpll_a10_0.pll_refclk0

Use	Connections	Name	Description	Export	Clock
		□ 🖽 clk_625m	Clock Bridge Intel FPGA IP		
	Þ	r ▶ in_clk	Clock Input	clk_625m	exported
			Clock Output	Double click to	dl/ 625
~		🖻 🗗 cik_ Connections. cik_C	25m.out_clk ▶	Export as: clk_625m	_out_clk
	⊳-	► in_ Connect All	٦.	□ clk_100m.in_clk (exp	oorted)
		Disconnect All	Γ.	⊐ clk_625m.in_clk (exp	oorted)
		Filter	٦ ا	□ reset_in_n.clk	
		🚽 out 💆 Validate System In	tegrity r	rx_coreclk.in_clk	
V		🗉 🕶 rx_ 🗧 Edit Component In	stantiation	□ tx_coreclk.in_clk	
	$\bullet \bullet \diamond \diamond \to \to \diamond \to $		I.	[⊿] xcvr_fpll_a10_0.pll_r	efclk0
		- out	I. I	[⊿] xcvr_native_a10_0.n	k_cdr_refclk0
				⊐xcvr native a10 0.n	k coreclkin
		► clk	Ctri-R	□xcvr native a10 0.b	_ c coreclkin
		Duplicate	Ctrl-D	xcvr reset control 0	
		■ out × Remove	ļ,		

ポートを選択して右クリックすると、 図のように接続が表示される

fPLL の reference clock、Transceiver PHY Reset Controller の clockは、 free run クロックを入力してください。

 \circ clk_100m \rightarrow reset_n_in.clk, xcvr_reset_control_0.clock

Use	Connections	Name	Description	Export	Clock
	E	□ 	Clock Bridge Intel FPGA IP Dlock Input	clk_100m	exported
×			00m.out_clk	□ Export as: clk_100r □ clk_100m.in_clk (e» □ clk_625m.in_clk (e»	n_out_clk (ported) (ported)
		→ Filter → in_c → out Ualidate System In	ntegrity	✓ reset_in_n.clk □ rx_coreclk.in_clk	
			nstantiation	 tx_corecik.in_cik xcvr_fpll_a10_0.pll_ xcvr_native_a10_0. 	_refclk0 rx_cdr_refclk0
		 → out → Replace Rename → ty a Duplicate 	Ctrl-R Ctrl-D	□ xcvr_native_a10_0. □ xcvr_native_a10_0.	rx_coreclkin tx_coreclkin

クロックの接続

各クロックを下記のように接続します。

xcvr_native_a10_0.tx_clkout → xcvr_native_a10_0.tx_coreclkin、tx_coreclk.in_clk

- xcvr_native_a10_0.rx_clkout → xcvr_native_a10_0.rx_coreclkin、rx_coreclk.in_clk
- tx_coreclk、rx_coreclk の outclk ポートを Export にします。



リセットの接続

- 下図のように、reset 入力を reset_controller の reset ポートに接続します。
 - reset_n_in.out_reset → xcvr_reset_contol_0.reset



各モジュールの接続 (reset_controller の接続)

- Native PHY と reset_controller 間で、下記の信号を接続します。
 - tx_analogreset
 - tx_digitalreset
 - rx_analogreset
 - rx_digitalreset
 - tx_cal_busy
 - rx_cal_busy
 - rx_is_lockedtodata



各モジュールの接続 (reset_controller の接続)

- fpll のクロック出力を Native PHY の tx_serial_clk0 に接続します。
 - $\circ \ xcvr_fpll_a10_0.tx_serial_clk \rightarrow xcvr_native_a10_0.tx_serial_clk0$
- fpll と reset_controller 間で、下記の信号を接続します。
 - pll_powerdown
 - pll_locked



Export 設定

● 下図のように Export を設定します。信号名は、clock、reset は信号名定しています。それ以外は、デフォルトの名称 (Export 部をクリックすると表示される名称)を使用しています。

Name	Description	Export		□ = xcvr_native_a10_0	Transceiver Native PHY Intel Arri.	
⊡ =D= clk 625m	Clock Bridge Intel FPGA IP	· · · · ·	1	 tx_analogreset 	Conduit	Double-click to export
➡ in clk	Clock Input	clk 625m	1	 tx_digitalreset 	Conduit	Double-click to export
- out clk	Clock Output	Double-click to export		 nx_analogreset 	Conduit	Double-click to export
⊟ =⊡⊧ clk_100m	Clock Bridge Intel FPGA IP		1.1	 rx_digitalreset 	Conduit	Double-click to export
► in_clk	Clock Input	clk_100m		 tx_cal_busy 	Conduit	Double-click to export
- out_clk	Clock Output	Double-click to export		rx_cal_busy	Conduit	Double-click to export
□ = tx_corecik	Clock Bridge Intel FPGA IP		L	tx_serial_clk0	HSSI Serial Clock Input	Double-click to export
► in_clk	Clock Input	Double-click to export	L	rx_cdr_refclk0	Clock Input	Double-click to export
- out_clk	Clock Output	tx_coreclk_out	1	 tx_serial_data 	Conduit	xcvr_native_a10_0_tx_serial_data
🗆 🕮 rx_corecik	Clock Bridge Intel FPGA IP			nx_serial_data	Conduit	xcvr_native_a10_0_rx_serial_data
► in_clk	Clock Input	Double-click to export		 nx_seriallpbken 	Conduit	xcvr_native_a10_0_rx_seriallpbken
- out_clk	Clock Output	rx_coreclk_out		rx_is_lockedtoref	Conduit	Double-click to export
🖻 🕮 reset_in_n	Reset Bridge Intel FPGA IP		1	rx_is_lockedtodata	Conduit	Double-click to export
► clk	Clock Input	Double-click to export	L	tx_coreclkin	Clock Input	Double-click to export
🛏 in_reset	Reset Input	reset_n	L	nx_coreclkin	Clock Input	Double-click to export
🗝 out_reset	Reset Output	Double-click to export		Itx_clkout	Clock Output	Double-click to export
				rx_clkout	Clock Output	Double-click to export
				tx parallel data	Conduit	xcvr native a10 0 tx parallel data

🖿 tx datak

🖿 rx datak

rx errdetect

rx runningdisp

rx syncstatus

rx patterndetect

rx disperr

rx_parallel_data

unused tx parallel data

unused rx parallel data

rx std wa patternalign

Conduit

macnica

xcvr native a10 0 tx datak

xcvr native a10 0 rx datak

xcvr native a10 0 unused tx parallel data

Double-click to export

xcvr native a10 0 rx std wa patternalign

xcvr native a10 0 rx parallel data

xcvr_native_a10_0_rx_errdetect xcvr native a10 0 rx disperr

xcvr native a10 0 rx runningdisp

xcvr native a10 0 rx syncstatus

xcvr native a10 0 rx patterndetect

Export 設定

● 下図のように Export を設定します。デフォルトの名称 (Export 部をクリッ クすると表示される名称)を使用しています。

···		
□ = xcvr_fpll_a10_0	fPLL Intel Arria 10/Cyclone 10 FPG.	
pll_refclk0	Clock Input	Double-click to export
 pll_powerdown 	Conduit	Double-click to export
pll_locked	Conduit	Double-click to export
 tx_serial_clk 	HSSI Serial Clock Output	Double-click to export
pll_cal_busy	Conduit	Double-click to export
🗆 🖶 xcvr_reset_control_0	Transceiver PHY Reset Controlle	
 clock 	Clock Input	Double-click to export
► reset	Reset Input	Double-click to export
 pll_powerdown 	Conduit	Double-click to export
 tx_analogreset 	Conduit	Double-click to export
 tx_digitalreset 	Conduit	Double-click to export
 tx_ready 	Conduit	xcvr_reset_control_0_tx_ready
 pll_locked 	Conduit	Double-click to export
■ pll_select	Conduit	xcvr_reset_control_0_pll_select
 tx_cal_busy 	Conduit	Double-click to export
 rx_analogreset 	Conduit	Double-click to export
 rx_digitalreset 	Conduit	Double-click to export
 nx_ready 	Conduit	xcvr_reset_control_0_rx_ready
 rx_is_lockedtodata 	Conduit	Double-click to export
rx_cal_busy	Conduit	Double-click to export



Use	Connections	Name	Description	Export	Clock
~		⊡ = clk_625m	Clock Bridge Intel FPGA IP		
	-	■ in_clk	Clock Input	clk_625m	exported
6		 out_clk 	Clock Output	Double-click to export	clk_625m
		⊟ =⊒ clk_100m	Clock Bridge Intel FPGA IP		
	D-	■ in_clk	Clock Input	clk_100m	exported
		 out_clk 	Clock Output	Double-click to export	clk_100m
		⊟ =≣ tx_coreclk	Clock Bridge Intel FPGA IP		
•	$ \qquad \qquad$	 in_clk 	Clock Input	Double-click to export	xcvr_na
		 out_clk 	Clock Output	tx_coreclk_out	tx_corecl
		□	Clock Bridge Intel FPGA IP		
l °		► in_clk	Clock Input	Double-click to export	xcvr_na
		- out_cik	Clock Output	rx_coreclk_out	rx_corecl
		le == reset_in_n	Reset Bridge Intel FPGA IP		
		■ cik	Clock Input	Double-click to export	CIK_100
		In_reset	Reset Input	reset_n	[CIK]
			Reset Output	Double-click to export	[CIK]
			Gooduit	Deuble eliek te evnert	
		 tx_analogreset tx_digitalraset 	Conduit	Double-click to export	
		 tx_uigitaireset tx_analogreset 	Conduit	Double-click to export	
		 rx_analogreset rx_digitalreset 	Conduit	Double-click to export	
		IX_angitan cset Ix_angitan cset	Conduit	Double-click to export	
	↓	_ c_cal_busy	Conduit	Double-click to export	
		► tx serial clk0	HSSI Serial Clock Input	Double-click to export	
	↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓↓	rx_cdr_refclk0	Clock Input	Double-click to export	clk 625
	⊳o	■ tx_serial_data	Conduit	xcvr native a10.0 tx serial data	ont_020
		rx serial data	Conduit	xcvr native a10 0 rx serial data	
		rx_seriallpbken	Conduit	xcvr native a10 0 rx seriallpbk	
		rx is lockedtoref	Conduit	Double-click to export	
		rx is lockedtodata	Conduit	Double-click to export	
•		tx coreclkin	Clock Input	Double-click to export	xcvr na
0	$\diamond \diamond \diamond \phi + \phi \phi + \phi \phi + \phi \phi \phi + \phi \phi \phi \phi$	rx coreclkin	Clock Input	Double-click to export	xcvr na
		- tx_clkout	Clock Output	Double-click to export	xcvr nati
		- rx clkout	Clock Output	Double-click to export	xcvr nati
	· · · · ·	tx parallel data	Conduit	xcvr native a10 0 tx parallel d	-
		➡ tx datak	Conduit	xcvr native a10 0 tx datak	
		unused_tx_parallel_data	Conduit	xcvr_native_a10_0_unused_tx_p	
		rx_parallel_data	Conduit	xcvr native a10 0 rx parallel d	
		 rx_datak 	Conduit	xcvr_native_a10_0_rx_datak	
		rx_errdetect	Conduit	xcvr_native_a10_0_rx_errdetect	
		rx disperr	Conduit	xcvr native a10 0 rx disperr	
		rx runningdisp	Conduit	xcvr native a10 0 rx runningdisp	,
		rx patterndetect	Conduit	xcvr native a10 0 rx patternde	
		 rx_syncstatus 	Conduit	xcvr_native_a10_0_rx_syncstatus	
	↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓	unused_rx_parallel_data	Conduit	Double-click to export	
		rx_std_wa_patternalign	Conduit	xcvr_native_a10_0_rx_std_wa_p	
		□ = xcvr_fpll_a10_0	fPLL Intel Arria 10/Cyclone 10 FPG		
•	$\bullet \bullet $	pll_refclk0	Clock Input	Double-click to export	clk_625
		pll_powerdown	Conduit	Double-click to export	
		pll_locked	Conduit	Double-click to export	
		tx_serial_clk	HSSI Serial Clock Output	Double-click to export	
		pll_cal_busy	Conduit	Double-click to export	
		🗆 🖶 xcvr_reset_control_0	Transceiver PHY Reset Controlle		
0		alaali	Clock Input	Double-click to export	clk 100
10 C	· · · · · · · · · · · · · · · · · · ·	- CIUCK			
	• • • • • • • • • • • • • • • • • • • •	reset	Reset Input	Double-click to export	_
		► reset ► pll_powerdown	Reset Input Conduit	Double-click to export Double-click to export	_
	• • • • • • • • • • • • • • • • • • •	 First Pil_powerdown tx_analogreset 	Reset input Conduit Conduit	Double-click to export Double-click to export Double-click to export	_
	• • • • • • • • • • • • • • • • • • •	 clock reset pll_powerdown tx_analogreset tx_digitalreset 	Reset Input Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export	
	•	 clock reset pll_powerdown tx_analogreset tx_digitaireset tx_ready 	Reset Input Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready	
		 clock reset pll_powerdown bc_analogreset tc_digitalreset bc_ready pll_locked 	Reset Input Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export	
		 clock reset pll_powerdown tx_analogreset tx_digitalreset tx_ready pll_locked pll_select 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export xcvr_reset_control_0_plil_select	
		 clock reset pll_powerdown tx_analogreset tx_digitalreset tx_ready pll_locked pll_select tx_cal_busy 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export xcvr_reset_control_0_pll_select Double-click to export	
		 clock reset pll_powerdown tx_analogreset tx_ready pll_locked pll_select tx_ca_analogreset 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export xcvr_reset_control_0_pll_select Double-click to export Double-click to export	
		 clock clock reset pll_powerdown banalogreset b_ready pll_locked pll_select b_realbusy rx_analogreset rx_digitaireset 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export xcvr_reset_control_0_pll_select Double-click to export Double-click to export	
		 clock reset pll_powerdown tx_analogreset tx_digitalreset tx_ready pll_locked pll_select tx_cal_busy rx_analogreset rx_digitalreset rx_ready 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export xcvr_reset_control_0_pli_select Double-click to export Double-click to export xcvr_reset_control_0_rx_ready	
		 clock reset pll_powerdown tx_analogreset tx_ready pll_locked pll_select tx_cal_busy rx_analogreset rx_digitalreset rx_ready rx_is_lockedtodata 	Reset Input Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit Conduit	Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_tx_ready Double-click to export Double-click to export Double-click to export Double-click to export xcvr_reset_control_0_rx_ready Double-click to export	

Generate HDL

● Generate HDL を実行し、Synthesis 用デザイン、Simulation 用デザインを 生成します。 👃 Generation \times

Platform Designer - xcvr_sample (C:¥sample)

<u>F</u> ile <u>E</u> dit <u>S</u> ystem	<u>G</u> enerate <u>∨</u> iew <u>T</u> ools <u>H</u> elp	
System View	Generate HDL	Interf
System: xcyr sam	Generate Testbench System	
cystem: xovi_sum	Generate Example Design 🕨	
	Show Instantiation Template	es

	1
Synthesis	
Synthesis files are used to compile the system in a Quartus Prime project.	
Create HDL design files for synthesis Verilog 🔽 👞	
Create timing and resource estimates for each IP in your system to be used with third-party EDA synthesis tools.	
Create block symbol file (.bsf)	
IP-XACT	
Generate IP Core Documentation	
Simulation	
The simulation model contains generated HDL files for the simulator, and may include simulation-only features	
Simulation scripts for this component will be generated in a vendor-specific sub-directory in the specified output directory	
Follow the guidance in the generated simulation scripts about how to structure your design's simulation scripts and how to use the <i>ip-setup-simulation</i> and <i>ip-make-simscript</i> command-line utilities to compile all of the files needed for simulating all of the IP in your design.	→ 共に Verilog を選択
Select the simulators for which simulation scripts will be generated. If no simulators are selected, simulation scripts will be generated for all simulators.	
ModelSim	
□ VCS-MX	
□vcs	
Riviera-PRO	
□ Xcellum	
Output Directory	
Clear output directories for selected generation targets.	
Parallel IP Generation	
If you select this option, Platform Designer performs IP generation with the number of processors defined in the Intel Quartus Prime parallel compilation settings (Assignments->Settings->Compilation Process Settings).	
☑ Use multiple processors for faster IP generation (when available).	
Generate Cancel	

MA

Generate testbench System

Generate HDL を実行後、Generate Testbench Systemを実行し、テストベンチを生成します。

。作成した xcvr_sample.v を dut として、クロック、リセットの BFM が接続されたテスト ベンチが生成されます。

Platfarma Day		un annula (CiVaan	a a la Vueru
File Edit System	Generate	View Tools Help	npie≠xcv
Till Euler System View	Generate F		Interfaces
System: xcvr_sam	Generate T	estbench System	Interfaces
Q Q = .	Generate E Show Instar	Example Design ntiation Template	es 🔲 Hidi
∔ Use	Co	nnections	

Generation Testbench System The testbench system is a new Platform Designer system that instantiates the original system, add	BFM は、クロック、リセットの み接続するので、Simple, BFMs for clocks and resets を選択
Once generated, the bus functional models can interact with the system in the simulator. Create testbench Platform Designer system: Create testbench simulation model: Verilog	
Output Directory Clear output directories for selected generation targets. Testbench: C:/sample/xcvr_sample_tb/	
 Parallel IP Generation If you select this option, Platform Designer performs IP generation with the number of processors of Prime parallel compilation settings (Assignments->Settings->Compilation Process Settings). Use multiple processors for faster IP generation (when available). 	defined 生成フォルダを設定
	Generate Cancel

Generate 結果

● Generate 後、下記のようにフォルダが生成されます。



論理シミュレーション

参考ファイル:xcvr_sample_tb.v





nacnica

生成されたテストベンチを編集します。

。xcvr_sample_tb.v を編集します(下図)。



sample¥xcvr_sample_tb¥xcvr_sample_tb¥sim フォルダ内にあります。

編集後の xcvr_sample_tb.v を添付していますのでご参照ください。変更内容の説明は次頁以降になります。

クロック BFM に周波数値を設定します (赤枠部分を追記します)

xcvr_sample_inst_clk_100m_bfm_ip #(.CLOCK_RATE (100000000)) xcvr_sample_inst_clk_100m_bfm (~ .clk (xcvr_sample_inst_clk_100m_bfm_clk_clk) // output, width = 1, clk.clk~);~

xcvr_sample_inst_clk_625m_bfm_ip #(.CLOCK_RATE (625000000)) xcvr_sample_inst_clk_625m_bfm (
 .clk (xcvr_sample_inst_clk_625m_bfm_clk_clk) // output, width = 1, clk.clk

xcvr_sample_inst_reset_n_bfm_ip xcvr_sample_inst_reset_n_bfm (

~	. reset	(xcvr_sample	e_inst_res	set_n_bfm_	_reset_ı	reset),	//	output,	width = 1 ,	reset.reset_n	2
^	.clk	(xcvr_sample	e_inst_cl	(_100m_bfn	n_clk_c	lk)	//	input,	width = 1 ,	clk.clk↩	
):<	1										

使田	する信号を宣言 します
(下	記を追加します)
wire wire	xcvr_rx_clk ;↔ xcvr_tx_clk ;↔
wire wire wire[31:0] wire[3:0] wire[91:0] wire[3:0] wire[3:0] wire[3:0] wire[3:0] wire[3:0] wire[3:0] wire[3:0] wire wire wire wire wire	<pre>xcvr_tx_serial_data ; xcvr_rx_serial_data ; xcvr_rx_seriallpbken ; xcvr_tx_parallel_data ; xcvr_tx_parallel_data ; xcvr_tx_parallel_data_unused ; xcvr_rx_parallel_data ; xcvr_rx_parallel_data ; xcvr_rx_data_k ; xcvr_rx_errdetect ; xcvr_rx_errdetect ; xcvr_rx_nuningdisp ; xcvr_rx_patterndetect ; xcvr_rx_syncstatus ; xcvr_rx_std_wa_patternalign ; xcvr_reset_tx_ready ; xcvr_reset_rx_ready ; </pre>
wire reg [1:0] wire reg [3:0] wire reg [31:0] wire[31:0] reg [1:0] wire reg [1:0] wire reg [9:0]	<pre>s_rx_no_err ; </pre> s_xcvr_reset_rx_ready_2r ; s_xcvr_rx_ready ; s_aligned_cnt ; s_rx_patterndetect_latched ; s_rx_aligned_status ; s_xcvr_rx_parallel_data_0th ; rx_dataout_32b ; s_xcvr_reset_tx_ready_2r ; s_xcvr_tx_ready ; s_rx_aligned_status_2r ; s_rx_aligned_status_txclk ;

 インスタンス部に信号を接続します (赤枠部分を追記します)。

xcvr	_sample xcvr_sample_inst (<	
^	.clk_100m_clk	(xcvr_sample_inst_clk_100m_bfm_clk_clk),
^	.clk_625m_clk	(xcvr_sample_inst_clk_625m_bfm_clk_clk),
^	. reset_n_reset_n	(xcvr_sample_inst_reset_n_bfm_reset_reset),
^	.rx_coreclk_out_clk	(xcvr_rx_clk),
^	.tx_corec k_out_c k	(xcvr_tx_clk),
<u>^</u>	.xcvr_native_a10_0_rx_datak_rx_datak	(xcvr_rx_data_k),
^	.xcvr_native_a10_0_rx_disperr_rx_disperr	(xcvr_rx_disperr),
^	.xcvr_native_a10_0_rx_errdetect_rx_errdetect	(xcvr_rx_errdetect),
^	.xcvr_native_a10_0_rx_parallel_data_rx_parallel_data	(xcvr_rx_parallel_data),
^	.xcvr_native_a10_0_rx_patterndetect_rx_patterndetect	(xcvr_rx_patterndetect),
[^]	.xcvr_native_a10_0_rx_runningdisp_rx_runningdisp	(xcvr_rx_runningdisp),
^	.xcvr_native_a10_0_rx_serial_data_rx_serial_data	(xcvr_rx_serial_data),
2	.xcvr_native_a10_0_rx_seriallpbken_rx_seriallpbken	(xcvr_rx_seriallpbken),
<u>^</u>	.xcvr_native_a10_0_rx_std_wa_patternalign_rx_std_wa_patternalign	(xcvr_rx_std_wa_patternalign),
^	.xcvr_native_a10_0_rx_syncstatus_rx_syncstatus	(xcvr_rx_syncstatus),
[^]	.xcvr_native_a10_0_tx_datak_tx_datak	(xcvr_tx_data_k),
2	.xcvr_native_a10_0_tx_parallel_data_tx_parallel_data	(xcvr_tx_parallel_data),
2	.xcvr_native_a10_0_tx_serial_data_tx_serial_data	(xcvr_tx_serial_data),
2	.xcvr_native_a10_0_unused_tx_parallel_data_unused_tx_parallel_data	(xcvr_tx_parallel_data_unused),
2	.xcvr_reset_control_0_pll_select_pll_select	(xcvr_reset_control_0_pll_select),
2	.xcvr_reset_control_0_rx_ready_rx_ready	(xcvr_reset_rx_ready),
2	.xcvr_reset_control_0_tx_ready_tx_ready	(xcvr_reset_tx_ready)
^);↩	

● ループバック記述、および固定値 設定の記述をします(下記を追加 します)。 assign xcvr_rx_serial_data = xcvr_tx_serial_data ;~ assign xcvr_tx_parallel_data_unused = 92'd0 ;~ assign xcvr_reset_control_0_pll_select = 1'b0 ;~ assign xcvr rx seriallpbken = 1'b0 ;↔ assign xcvr_rx_std_wa_patternalign = 1'b0 ;↔ //////////////////////////////////// //// alignment pattern ////~ wire[31:0] s_align_pattern_32b = 32'hbcbcbc1c;~ wire[3:0] s align pattern k 4b = 4'hF;

・アライメント用パターン
・8'hbc and k = 1 のときが、K28.5 に対応するパターン
※このパターンは、K28.5 が 4 byte 中 3 byte 存在

● 受信側の動作を記述します(下記を追加します)。

///// rx alignment check ///~



● 送信側の動作を記述します(下記を追加します)。



Simulation 実行

- Simulation を実行します。 以下、Questa 使用時の手順を記します。
 - 。 Questa で下記フォルダに移動後、各コマンドを実行してください。
 - File \rightarrow Change Directory



Simulation 手順は、User Guide の "Custom Simulation Scripts" の手順を記していますが、 他の方法を実行していただいても問題ありません。

Intel[®] Arria[®] 10 Transceiver PHY User Guide

- 2.10.3.2. Custom Simulation Scripts



٠

Ctrl+S

Simulation 実行

• Transcript window で、"do msim_setup.tcl" と入力してください。

🖳 Transcript 💳

cd C:/sample/xcvr_sample_tb/xcvr_sample_tb/sim/mentor
reading modelsim.ini
Questa>do msim_setup.tcl

Transcript window で、"ld_debug" と入力してください。

Questa> ld_debug

• Transcript window で、"log -r /*" と入力してください (波形表示のため)。

VSIM 5> log -r /*

。 Transcript window で、"run 30 us" と入力してください (simulation が 30 us 実行されます)。

VSIM 6> run 30us

。 simulation実行後、"add wave -radix hexadecimal *" と入力します。

```
VSIM 7> add wave -radix hexadecimal *
```

Wave 画面で波形を確認します。

Simulation 実行結果

● Simulation 結果を確認します。

Wave

File Edit View Add Format Tools Bookmarks Window Help



Simulation 実行結果 アライメント補正後の出力 (rx_dataout_32b)

● rx_dataout_32b の波形を確認します。

アライメント補正後の出力、"rx_dataout_32b" を確認



データパターンを 10bit カウンタとしているので、バ イトアラインメントエラーが検出しやすくなります。



参考ファイル: xcvr_sample_top.qar



Top デザイン作成

- 実機確認用の top ファイルは、前節で生成したテストベンチ (xcvr_sample_tb.v)を流用します。
- xcvr_sample_tb.v をプロジェクトフォルダにコピーして、 xcvr_sample_top.v という名称にしてください。
 - 。そのファイルを Quartus のプロジェクトの top デザインとしてください。
- 次頁からの記載のとおり、RTL を変更してください。

編集後の xcvr_sample_top.v を添付していますのでご参照ください。変更内容の説明は次頁以降に なります。 また、プロジェクトー式 (xcvr_sample_top.qar) も添付しています。

xcvr_sample_top.v の編集

● 入出力ポート宣言を追加します。

● また、不要な部分をコメントアウトします。



xcvr_sample_top.v の編集

● クロック、リセット、rx dataout を接続します。

wire[3:0] led_a;↔ wire[3:0] led_b;↔ assign xcvr_sample_inst_clk_100m_bfm_clk_clk = clk 100m clk; assign xcvr_sample_inst_clk_625m_bfm_clk_clk = clk_625m_clk;~ assign xcvr_sample_inst_reset_n_bfm_reset_reset = reset_n;^ アサイン assign led_a[0] = (rx_dataout_32b[3: 0] == 4'h0)? 1'b1 : 1'b0 assign led_a[1] = (rx_dataout_32b[7: 4] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_a[2] = (rx_dataout_32b[11: 8] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_a[3] = (rx_dataout_32b[15:12] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_b[0] = (rx_dataout_32b[19:16] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_b[1] = (rx_dataout_32b[23:20] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_b[2] = (rx_dataout_32b[27:24] == 4'h0)? 1'b1 : 1'b0 ;~ assign led_b[3] = (rx_dataout_32b[31:28] == 4'h0)? 1'b1 : 1'b0 ;~ assign user_led_r[0] = led_a[0]; \leftarrow assign user_led_r[1] = led_a[1]; wire 信号を介して接続する assign user_led_r[2] = led_a[2] assign user led r[3] = led a[3]assign user_led_g[0] = led_b[0] assign user_led_g[1] = led_b[1]; assign user_led_g[2] = led_b[2]; assign user_led_g[3] = led_b[3]; xcvr_sample xcvr_sample_inst (.clk 100m clk (xcvr_sample_inst_clk_100m_bfm_clk_clk), // (xcvr_sample_inst_clk_625m_bfm_clk_clk), // (xcvr_sample_inst_reset_n_bfm_reset_reset), // (xcvr sample inst clk 100m bfm clk clk). clk 100m.clk↔ .clk 625m clk reset n reset n .rx coreclk out clk (xcvr_rx_clk), tx coreclk out clk (xcvr tx clk). xcvr_native_a10_0_rx_datak_rx_datak (xcvr_rx_data_k) .xcvr_native_a10_0_rx_disperr_rx_disperr (xcvr_rx_disperr), xcvr_native_a10_0_rx_errdetect_rx_errdetect (xcvr_rx_errdetect), xcvr native all 0 rx parallel data rx parallel data (xcvr rx parallel data) xcvr_native_a10_0_rx_patterndetect_rx_patterndetect (xcvr_rx_patterndetect). xcvr native all 0 rx runningdisp rx runningdisp (xcvr rx runningdisp) .xcvr_native_a10_0_rx_serial_data_rx_serial_data (xcvr rx serial data) xcvr_native_a10_0_rx_seriallpbken_rx_seriallpbken (xcvr_rx_seriallpbken) xcvr_native_a10_0_rx_std_wa_patternalign_rx_std_wa_patternalign (xcvr_rx_std_wa_patternalign), 11 xcvr native all 0 rx syncstatus rx syncstatus (xcvr_rx_syncstatus). 11 xcvr_native_a10_0_tx_datak_tx_datak (xcvr_tx_data_k), (xcvr_tx_parallel_data) xcvr_native_a10_0_tx_parallel_data_tx_parallel_data xcvr native al0 0 tx serial data tx serial data (xcvr tx serial data). xcvr_native_a10_0_unused_tx_parallel_data_unused_tx_parallel_data (xcvr_tx_parallel_data_unused). xcvr reset control 0 pll select pll select (xcvr reset control 0 pll select). xcvr reset control 0 rx ready rx ready (xcvr reset rx ready) 11 xcvr reset control 0 tx ready tx ready (xcvr reset tx ready)

/// loopback ////

/assign xcvr rx serial data = xcvr tx serial data ;4

クロック、リセット入力を、テストベンチの BFM 出力の信号に

rx dataout 32b が論理圧縮で削除されないように、led に接続 ※user_led が output 信号として認識されないことがあるため、 rx_dataout_32b を直接 output 信号に接続ではなく、

> clk 625m.clk reset n. reset ne rx_coreclk_out. clk tx_coreclk_out.clke xcvr_native_a10_0_rx_datak.rx_datak< xcvr_native_a10_0_rx_disperr.rx_disperr xcvr_native_a10_0_rx_errdetect.rx_errdetect xcvr native all 0 rx parallel data rx parallel data xcvr_native_a10_0_rx_patterndetect.rx_patterndetect xcvr native all 0 rx runningdisp.rx runningdisp xcvr_native_a10_0_rx_serial_data.rx_serial_data< xcvr_native_a10_0_rx_seriallpbken.rx_seriallpbken // xcvr_native_a10_0_rx_std_wa_patternalign.rx_std_wa_patternalign xcvr native all 0 rx syncstatus.rx syncstatus xcvr_native_a10_0_tx_datak.tx_datak< xcvr_native_a10_0_tx_parallel_data.tx_parallel_data xcvr native al0 0 tx serial data tx serial data // xcvr native al0 0 unused tx parallel data. unused tx parallel data∉ xcvr reset control 0 pll select pll select xcvr reset control 0 rx ready, rx ready xcvr reset control 0 tx ready tx ready

©Macnica.Inc.

折り返し記述をコメントアウト

Assignment Editor で I/O Standard および Pin 配置設定

1	\checkmark	i <mark>n_</mark> clk_	_100m_clk	I/O Standard	LVDS	Yes	xcvr_sample_top		
2	\checkmark	<mark>" clk</mark> _	_100m_clk	Location	PIN_AN37	Yes		IOBANK_1C	
3	\checkmark	i <mark>n_ clk</mark>	_625m_clk	Location	PIN_AN8	Yes		IOBANK_4C	
4	\checkmark	i <mark>n_ clk</mark> _	_625m_clk	I/O Standard	LVDS	Yes	xcvr_sample_top		
5	\checkmark	i <mark>n_</mark> res	et_n	Location	PIN_U11	Yes		IOBANK_3E	
6	\checkmark	out use	r_led_g[0]	Location	PIN_J24	Yes		IOBANK_3H	
7	\checkmark	out use	r_led_g[1]	Location	PIN_A19	Yes		IOBANK_3H	
8	\checkmark	out use	r_led_g[2]	Location	PIN_C18	Yes		IOBANK_3H	
9	\checkmark	out use	r_led_g[3]	Location	PIN_D18	Yes		IOBANK_3H	
10	\checkmark	out use	r_led_r[0]	Location	PIN_L28	Yes		IOBANK_3H	
11	\checkmark	out use	r_led_r[1]	Location	PIN_K26	Yes		IOBANK_3H	
12	\checkmark	out use	r_led_r[2]	Location	PIN_K25	Yes		IOBANK_3H	
13	\checkmark	out use	r_led_r[3]	Location	PIN_L25	Yes		IOBANK_3H	
14	\checkmark	in xcv	r_rx_serial_data	Location	PIN_AW7	Yes		IOBANK_4C	
15	\checkmark	in xcv	r_rx_serial_data	I/O Standard	High Speed	Yes	xcvr_sample_top		
16	\checkmark	out xcv	r_tx_serial_data	Location	PIN_BC7	Yes		IOBANK_4C	
17	\checkmark	out xcv	r_tx_serial_data	I/O Standard	High Speed	Yes	xcvr_sample_top		

添付の xcvr_sample_top.qsf をコピーしてご使用ください。

ピンアサインについて:<u>https://www.macnica.co.jp/business/semiconductor/articles/intel/95585/</u> MACNICA

SDC の設定

● タイミング制約を設定します (クロック設定のみ)。

```
derive_pll_clocks -create_base_clocks<

derive_clock_uncertainty<
```

添付の xcvr_sample_top.sdc をコピーしてご使用ください。

タイミング制約について:<u>https://www.macnica.co.jp/business/semiconductor/articles/intel/111585/</u>



Signal Tap Logic Analyzer の設定

● xcvr_sample_top.v の信号を Signal Tap にアサインします。

trigger: 2	2024/04/0)3 17:35:51 <i>#</i>	¥1	Lock mode:	Allow all cha	nges 🔻			
			Node	Data Enable	Trigger Enable	Trigger Conditions			
Туре	Alias	Тар 🍸	Name	138	138	1 V Basic AND			
in		Pre-Syn	reset_n	\checkmark	\checkmark	X			
*		Pre-Syn	s_rx_no_err	\checkmark	\checkmark	X			
9		Pre-Syn	[.] rx_dataout_32b[310]	\checkmark	\checkmark	XXXXXXX			
9		Pre-Syn	[.]	✓	\checkmark	XXh			
9		Pre-Syn	[.]	\checkmark	\checkmark	XXXh			
9		Pre-Syn	[.]	\checkmark	\checkmark	Xh			
9		Pre-Syn	s_rx_patterndetect_latched[30]	\checkmark	\checkmark	Xh			
9		Pre-Syn	[.]	\checkmark	\checkmark	Xh			
9		Pre-Syn	[.]	\checkmark	\checkmark	Xh			
9_		Pre-Syn	[.]	\checkmark	\checkmark	Xh			
9		Pre-Syn	[⊕] xcvr_rx_errdetect[30]	\checkmark	\checkmark	Xh			
9		Pre-Syn	±xcvr_rx_parallel_data[310]	\checkmark	\checkmark	XXXXXXXh			
9		Pre-Syn	^{±…} xcvr_rx_patterndetect[30]	\checkmark	\checkmark	Xh			
9		Pre-Syn	[.]	\checkmark	\checkmark	XXXXXXX			

	ĸ			
a				
Sample depth:	1 K	RAM type:	Auto	•
Segmented:	2 512 sample se	gments		~
Nodes Allocated:	Auto	O Manual:	138	
Pipeline Factor:	0			•
torage qualifier:				
Туре:	Continuous			-
Input port:	uto_stp_exterr	nal_storage_qualifie	r	

SignalTap の使い方:<u>https://www.macnica.co.jp/business/semiconductor/articles/intel/119185/</u> MACNICA ©Macnica,Inc.

Arria 10 Development Kit 基板の準備





FMC ループバックコネクタを装着します。

測定結果

● コンパイル実行し、動作確認します。

● Signal Tap にて、rx_dataout_32b が期待動作になっていることを確認します。



Transceiver Toolkit

参考ファイル:xcvr_sample_top_TTK.qar



Transceiver Toolkit について

- Quartus Prime では、基板のアナログ特性を確認するツールとして Transceiver Toolkit が提供されています。
 - 。Auto Sweep 機能は、Sweep する範囲を設定して実行します。
 - 。Manual 設定機能は、値を直接入力します。
- Arria 10 デバイスは、Native PHY内に Debug 用ブロック(NPDME*1)が実装されているため、ユーザデザインを使用せずに動作確認が可能です。
 - *1 <u>NADME : Native PHY Debug Master Endpoint</u>
 - プロジェクトー式 (xcvr_sample_top_TTK.qar) も添付していますのでご参照ください。
- 下記資料で、Transceiver Toolkitの使用方法を詳しくご紹介しております。
 併せてご覧ください。

How to Use TTK : <u>https://malt.zendesk.com/hc/ja/articles/900006258303-How-to-Use-TTK</u>

デザインの準備

 Transceiver Toolkit を使用する場合、xcvr_native_a10_0の Dynamic Reconfiguration タブで下記赤枠の項目を有効にしてください。

	TX PMA RX PMA Standard PCS Dynamic Reconfiguration Generation Options						
	Enable dynamic reconfiguration						
	Share reconfiguration interface						
	✓ Enable Altera Debug Master Endpoint						
	Separate reconfig_waitrequest from the status of AVMM arbitration with PreSICE						
	Optional Reconfiguration Logic						
	Enable capability registers						
Set user-defined IP identifier: 0							
	✓ Enable control and status registers						
	Enable PRBS soft accumulators						
	Configuration Files						
	Configuration file prefix: altera xcvr native a10						
	Generate SystemVerilog package file						
	Generate MIF (Memory Initialization File)						
	Include PMA analog settings in configuration files						

デザインの準備

- Dynamic Reconfiguration を有効にすると
 - ポートが追加されますので、下記のように接続してください。
 - 。reconfig_clk :clk_100m.out_clk に接続
 - 。reconfig_reset:reset_n_in.out_reset に接続
 - reconfig_avmm:未接続のまま



実機動作確認

- Generate HDL をおこない、ファイルを生成します。
- xcvr_sampe_top をコンパイルします。
 - xcvr_sample.vのポート変更は無いので、xcvr_sample_top.vを変更せずにそのままコンパイル実行できます。
- コンパイル完了後、実機動作確認します。

プロジェクトー式 (xcvr_sample_top_TTK.qar) も添付していますのでご参照ください。



Transceiver Toolkit 画面

Toolkit Explorer 🙁 System Explorer 😫	∎ Welcome 🖾	Collection_1	83													- 🗗 🗆
	Pin Instance	Channel	Collection	Bit error rate	CTLE AC Gain CT	E DC Gain DFE Mode	e Equalizer En.	Loopback m	Number of bi	PRBS pattern	Pre-emphasi	Pre-emphasi F	Pre-emphasi Pr	e-emphasi	VGA DC Gain	Vod
>> Show all instances	xcvr_native	RX Channel 0	Collection_1	0	3 2	Off	High Data R	. Off	0	PRBS7	N/A	N/A N	I/A N/	A 2	2 1	A/V
Load Design C E E =	xcvr_native	TX Channel 0	Collection_1	N/A I	N/A N/A	N/A	N/A	N/A	N/A	PRBS7	0	0 0	0	1	N/A (31
<u>w</u> xcvr_sample_top.sof E:\yamada\sample_TTK\sample_TTK\sutput_files\xcvr_sa																
♀- 器 USB-Blasteril on localhost [USB-1]																
Ŷ~ ↓ 10AT115S(112)@1																
Ixcvr_sample_instlxcvr_native_a10_0 a10_toolkit_1.0																
↑	Toolkit Paramet	ers Channel F	arameters													
	rxcvr native	a10 0														
	Teelkit Ar		Transsaiver Net	tive DHV Teelkit /	a10 toolkit 1.0)											
	IPs: USB-Bla	asteril on localhos	t [USB-1][10AT1	115S(1 2)@1 xcv	r sample instlxcv	native a10 0 xcvr na	ative a10 0									
デザインないませ		o														
「アリイノを迭げ」	Toolkit	Settings	7													
	Refre	sh All Channels														
	Auto refr	esh period (seco	nds): 1													
Details Collections	Autosv	eep Settings			7											
💼 Arria 10/Cyclone 10 Transceiver Native PHY Toolkit 🛛 👇 🗂 Collection_1	BER test	duration per case	(seconds): 2													
ү 🖻 RX Channel 0 🕴 🛉 RX Channel 0	· · · · · · · · · · · · · · · · · · ·															
TX Channel 0																
観測する Channel を選択																
Open Toolkit																
Messages 🛞				- d' 🗆	Tcl Console δ	3										- 🗗 🗆
					masters	or write Avaion me	mory-mapped (#	evalun-mm) s	Idves using a	special						^
Created link from (link)/JTAG to (files)/xcvr_sample_top.sof/att_sld_fab_0.sopcinfo/att_sld_fab_0_att_sld_fab_0_itagpins.pi	าร			^	* To samp	e the Platform Desi	igner system o	clock and sy	stem reset si	gnal						
Created link from (link)/JTAG/(110:132 v1 #0) to (files)/xcvr_sample_top.sof/alt_sld_fab_0.sopcinfo/alt_sld_fab_0_alt_sld_f	ab_0_sldfabric.node	_1			* To run o * To shift	arbitrary instruct	to analyze bo tion register	and data re	roblems gister values	t to						
Created link from (link)/JTAG/alt_sld_fab_0_alt_sld_fab_0_sldfabric.node_1/phy_0 to (files)/xcvr_sample_top.sof/alt_sld_fab_0_sldfabric.node_1/phy_0 to (files)/xcvr_sample_top.sof/alt_sld_fabric.node_1/phy_0 to (files)/xcvr_sample_top.sof/alt_sldfabric.node_1/phy_0 to (files)/xcvr_sample_top.sof/alt_sldfabric	b_0.sopcinfo/alt_sld	_fab_0_alt_sld_fa	b_0_host_link_j	jtag.h2t	instantia	ted system level de	ebug (SLD) nod	des								
U Created link from (link)/JTAG/(110:0 v6 #0) to (files)/xcvr_sample_top.sof/alt_sld_fab_0.sopcinfo/alt_sld_fab_0_alt_sld_fab	_0_sldfabric.node_0															
U Created link from (link)/JTAG/alt_sld_fab_0_alt_sld_fab_0_sldfabric.node_1/alt_sld_fab_0_alt_sld_fab_0_host_link_itag.h2t	ichannel_1 to (files)/	cvr_sample_top:	sof/alt_sld_fab_	_0.sopcinf	In addition,	the directory <inte< td=""><td>el Quartus Pri</td><td>ime Directory</td><td>y>//syscon/</td><td>scripts</td><td></td><td></td><td></td><td></td><td></td><td></td></inte<>	el Quartus Pri	ime Directory	y>//syscon/	scripts						
Unceated link from (link)/ULAG/aft_sig_tab_U_aft_sig_tab_U_sigtabric.node_1/aft_sig_tab_U_aft_sig_tab_U_host_link_ftag.h2t	an_sid_tab_U_alt_sid at sid_tab_0_st_sid	∟iab_U_StTabric. L fab_0_etfabric.	1∠t_U/masterto 12t_0/a#_eld_fo	(TileS)/XC	access the fu	nctionality provide	ed. You can ir	s acrircies : nclude those	macros in vo	or now to						
Created link from (link)/JTAG/att sld fab 0 att sld fab 0 sldfabric node 1/att sld fab 0 att sld fab 0 host link itag h2t	an_aru_rab_o_an_sic /att sid fab 0 att sir	fab 0 stfabrie I	12t_0/ait_sid_fa	ab 0 alt	scripts by is	suing Tcl source co	ommands.									=
Opening toolkit: Collection_1																
1 Toolkit opened: Collection_1				-	¢.											-



Transceiver Toolkit 画面

● Manual 設定画面

Pin Instance Channel Collection Bit error rate CTLE AC Gain CTLE DC Gain DFE Mode Equalizer En Loopback m Number of bi PRBS pattern Pre-emphasi Pre-emphasi Pre-emphasi Pre-emphasi Vo	A DC Gain Vod
Image: Wight State Image:	N/A 31
Toolkit Parameters Channel Parameters	
Columns: 2 Column width: C Row height: C	▲
xcvr_native_a10_0 RX Channel 0	🗹 Pin
Receiver Image: Transmitter	
Loopback mode: Off Refresh	
Refresh Auto refresh	
	h a n n a l
Transceiver	nannei
RX CDR locked to ref clock:	
RX CDR locked to data: ● LOCK 状態を確認 PRBS pattern: PRBS7 🚽	
Hard PRBS Checker Hard PRBS Generator Running:	
Number of bits tested: 0.0 Start	
Number of error bits: 0.0 BERの値を確認	
Bit error rate (BER): 0.0 PMA Settings	
PRBS pattern: PRBS7 Vod: 31 V	_
Hard PRBS Checker Running ● A設定値を	
Start Dra emphasis 1st pra tary	
Start, Stop, Reset	
Reset Pre-emphasis 2nd pre-tap: 0	
Equalizer Engine: High Data Rate Mode	
CTLE AC Gain: 3	
DFE Mode: Off	
Start Adaptation	
DFE 1st post-tap:	

macnica

Transceiver Toolkit 画面

• Auto Sweep 画面



macnica

Co.Tomorrowing

・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記しておりません。
 ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて)無断で本資料の全部または一部を複製・転載等することを禁じます。
 ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。