

Quartus II はじめてガイド Device and Pin Options 設定方法

ver.14

Quartus II はじめてガイド

Device and Pin Options 設定方法

目次

1.	はじめに	3
2.	Device and Pin Options の起動	4
3.	Device and Pin Options の設定	5
3-1.	General ページ	5
3-2.	Configuration ページ	8
3-3.	Programming File ページ	10
3-4.	Unused Pins ページ	11
3-5.	Dual-Purpose Pins ページ	12
3-6.	Capacitive Loading ページ	13
3-7.	Board Trace Model ページ	14
3-8.	I/O Timing ページ	15
3-9.	Voltage ページ	16
3-10.	Pin Placement ページ	17
3-11.	Error Detection CRC ページ	18
3-12.	CvP Settings ページ	20
3-13.	Partial Reconfiguration ページ	21
4.	Migration compatibility の設定	22
	改版履歴	24

1. はじめに

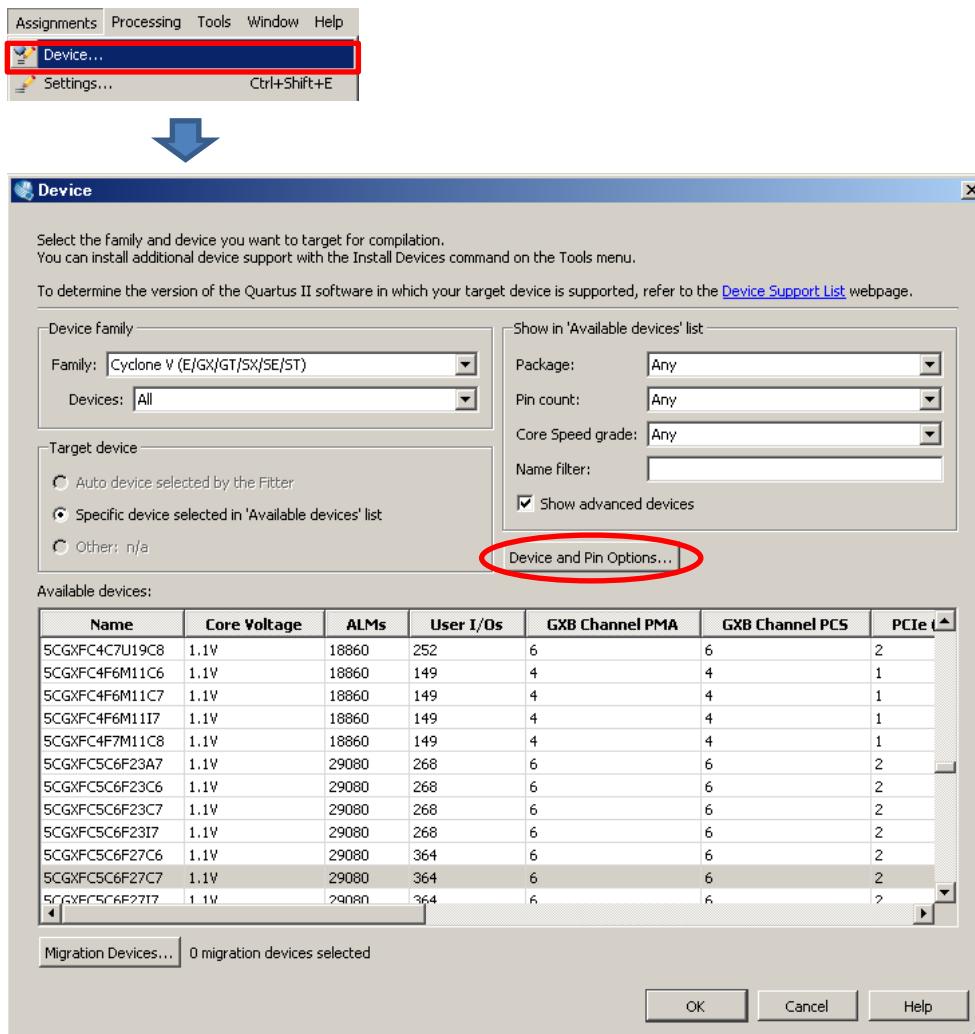
この資料は、Quartus® II における Device and Pin Options の設定に関して説明しています。

Device and Pin Options ダイアログ・ボックスでは、現在のプロジェクトで選択されているデバイスにおけるデバイス・オプションとピン・オプションの指定ができます。ここで設定した内容は、プロジェクト全体に対して有効です。また、コンフィギュレーション・モードやコンフィギュレーション・デバイスの選択もできます。

その他、同デバイス・ファミリ内の同一ピン・パッケージにおいて Logic Element (LE) 数の小さいまたは大きいデバイスへの移行をしやすくするマイグレーション・デバイス設定についても紹介しています。

2. Device and Pin Options の起動

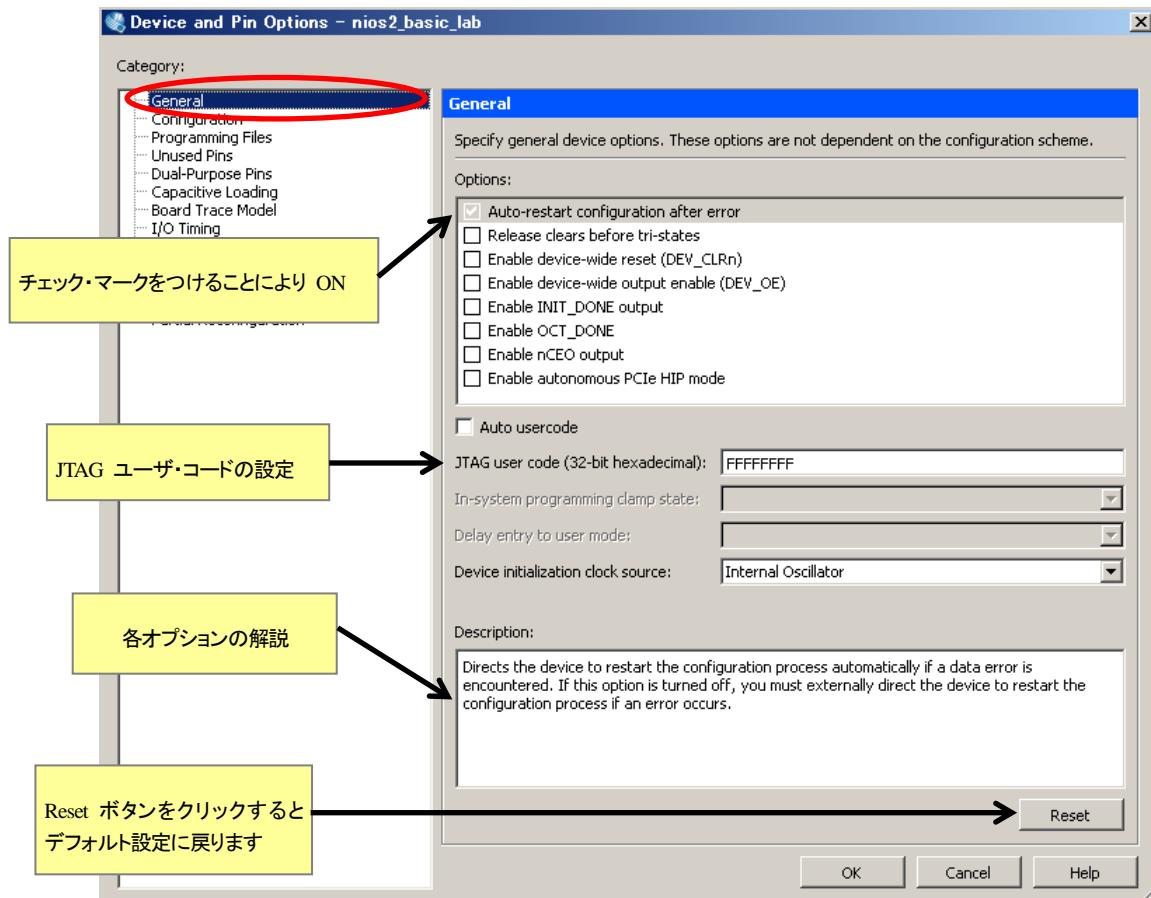
Assignments メニュー ⇒ Device ⇒ Device and Pin Options ボタンをクリックします。



3. Device and Pin Options の設定

3-1. General ページ

デバイス全般のオプションを設定できます。



各オプション(Options 内)の説明

◆ Auto-restart configuration after error

コンフィギュレーション中にデータ・エラーが発生した場合、コンフィギュレーションが異常終了します。この時に、自動的にコンフィギュレーション・プロセスを再起動させるように FPGA デバイスに指示するオプションです。(Passive Serial モードまたは Active Serial モード時のみ有効です。)

＜対象デバイス : Stratix® V、Stratix IV、Arria® V、Arria II、Cyclone® V、Cyclone IV＞

◆ Release clears before tri-states

コンフィギュレーションが終了すると、FPGA デバイスはイニシャライズ・モード(デバイスの初期化)になります。コンフィギュレーション中は、ユーザ I/O ピン内部がトライ・ステート状態になり、ユーザ・モードに入る直前にトライ・ステートを解除します。このオプションが有効の場合、ユーザ I/O ピンのトライ・ステート状態を解除する前に、デバイス内のレジスタをクリアします。

＜対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV＞

※ コンフィギュレーション中の I/O ピンの内部はトライ・ステートですが、デバイスの外部で観測できる I/O ピンの出力状態は、デバイスのシリーズにより異なります。(例 Cyclone IV デバイスは、コンフィギュレーション中に有効になるプルアップ・レジスタが内蔵されている。)

◆ Enable user-supplied start-up clock (CLKUSR)

コンフィギュレーション終了後のデバイスの初期化に、外部クロックを用いて初期化を行うためのオプションです。外部クロックは、CLKUSR ピンから入力します。このオプションを無効にしている場合、CLKUSR ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix IV、Arria II、Cyclone IV>

◆ Enable device-wide reset (DEV_CLRn)

DEV_CLRn ピンを有効にするオプションです。DEV_CLRn ピンに Low を入力すると、デバイス内のすべてのレジスタがリセットされます。このオプションを無効にしている場合、DEV_CLRn ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX® V、MAX II>

* 通常の論理回路で用いる非同期リセットとは異なり、デバイス内の全レジスタをリセットするための専用ピンです。

◆ Enable device-wide output enable (DEV_OE)

DEV_OE ピンを有効にするオプションです。DEV_OE ピンに Low を入力すると、ターゲット・デバイスの全 I/O ピンが Hi-Z 状態になります。このオプションを無効にしている場合、DEV_OE ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II>

◆ Enable INIT_DONE output

INIT_DONE ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして INIT_DONE ピンを外部でプルアップすると、コンフィギュレーション終了後のイニシャライズが完了してユーザ・モードに入った時に High をリリースします。プルアップの抵抗値などの情報は、各デバイスのピン接続ガイドラインを参照してください。このオプションを無効にしている場合、INIT_DONE ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

◆ Enable OCT_DONE

INIT_DONE 信号を On-Chip Termination (OCT) のキャリブレーションの状態によって制御させるオプションです。このオプションを有効にすると、INIT_DONE ピンはコンフィギュレーションの初期化が終わり、かつ OCT のキャリブレーションが完了した状態の時に High をリリース(外部でプルアップが必要)します。このオプションが無効の場合、INIT_DONE ピンは OCT_DONE 信号に関与しません。

<対象デバイス : Stratix V、Arria V、Arria II GX/GT、Cyclone V、Cyclone IV>

◆ Enable nCEO output

nCEO ピン(オープン・ドレイン出力)を有効にするオプションです。このオプションを有効にして nCEO ピンを外部でプルアップすると、コンフィギュレーション終了時に Low をリリースします。プルアップの抵抗値などの情報は、各デバイスのピン接続ガイドラインを参照してください。nCEO ピンはマルチ・デバイスのコンフィギュレーション構成の場合に使用し、後段のデバイスの nCE ピンに接続します。このオプションを無効にしている場合、nCEO ピンはユーザ I/O ピンとして使用できます。

<対象デバイス : Stratix V、Arria V、Cyclone V>

◆ Set unused TSD pins to GND

デバイス内の温度検知ダイオードを使用しない時にこのオプションを有効にすると、コンパイルで生成されるピン・アウト・ファイル (*.pin) にデバイス内の温度検知ダイオード用ピン (TEMPDIODEp/TEMPDIODEn ピン) は GND と設定されます。

<対象デバイス : Stratix V、Stratix IV、Arria V GZ>

◆ Enable autonomous PCIe HIP mode

ペリフェラリがコンフィギュレーションされて、かつコアのコンフィギュレーションが完了する前に、PCIe HIP をリリースするための設定です。このオプションは CvP モードが無効になっている時のみ有効にできます。

<対象デバイス : Stratix V、Arria V、Cyclone V>

◆ Security bit

CPLD デバイスにプログラミングしたデータを正常に Examine (CPLD に書き込まれているデータを吸い出し) することができないプログラミング・ファイル (*.pof ファイル) を生成させるオプションです。デザイン情報の保護として使用できます。なお、このオプションは、Programmer の Security Bit オプションと同等です。

<対象デバイス : MAX V、MAX II>

◆ In-system programming clamp state

JTAG でのプログラミング中の I/O ピンの状態を指定できるオプションです。

<対象デバイス : MAX V、MAX II>

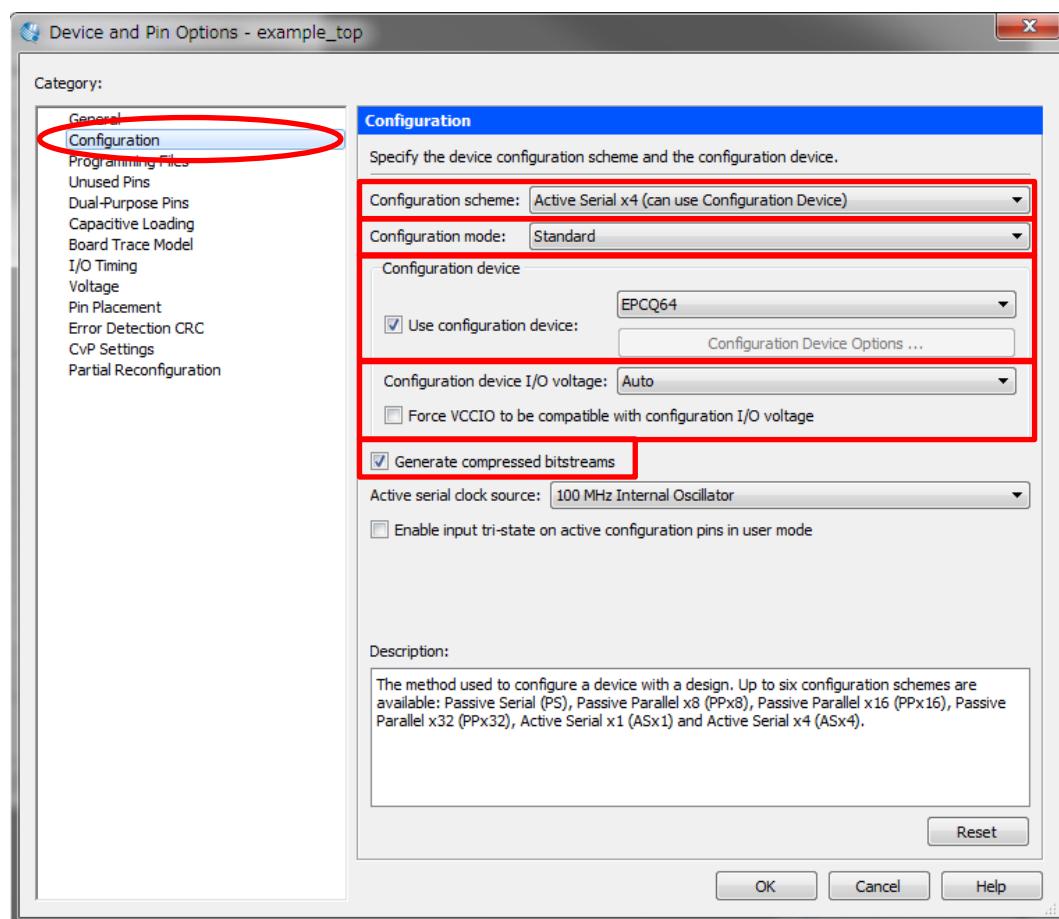
◆ Device initialization clock source

コンフィギュレーション終了後のイニシャライズを行う時のクロック・ソースを選択できるオプションです。

<対象デバイス : Stratix V、Arria V、Cyclone V>

3-2. Configuration ページ

コンフィギュレーションに関するオプションが設定できます。コンフィギュレーション・モードやコンフィギュレーション・デバイスなどが選択できます。(デバイス・ファミリによって、選択項目が異なります。)



◆ Configuration scheme

コンフィギュレーション方法を選択します。

◆ Configuration mode

コンフィギュレーション・データのアップロード方法を選択します。

◆ Configuration device

使用するコンフィギュレーション・デバイスを選択します。アルテラのコンフィギュレーション・デバイスを使用する Configuration Scheme を選択している場合は、Use configuration device にチェックを入れて、使用するコンフィギュレーション・デバイスをプルダウン・リストから選択します。コンパイル終了後、ここで設定したコンフィギュレーション・デバイス用のプログラミング・ファイル (*.pof) が生成されます。

◆ Configuration device I/O voltage

コンフィギュレーション方式に応じて、コンフィギュレーション用の I/O 電圧を指定します。(コンフィギュレーション・デバイスの電圧に委ねられます。)

◆ Force VCCIO to be compatible with configuration I/O voltage

FPGA デバイスのコンフィギュレーション・ピンの電源(VCCIO)を上記オプション(Configuration device I/O voltage)で指定した電位で使用する場合は有効、通常のユーザ I/O の VCCIO に委ねる場合は無効に設定します。

◆ Generate compressed bitstreams

コンフィギュレーション・データを圧縮するオプションです。圧縮されたデータは、コンフィギュレーション中に FPGA 内部で展開(解凍)されます。圧縮したデータを FPGA へ転送するので、コンフィギュレーション時間を見短縮することができます。

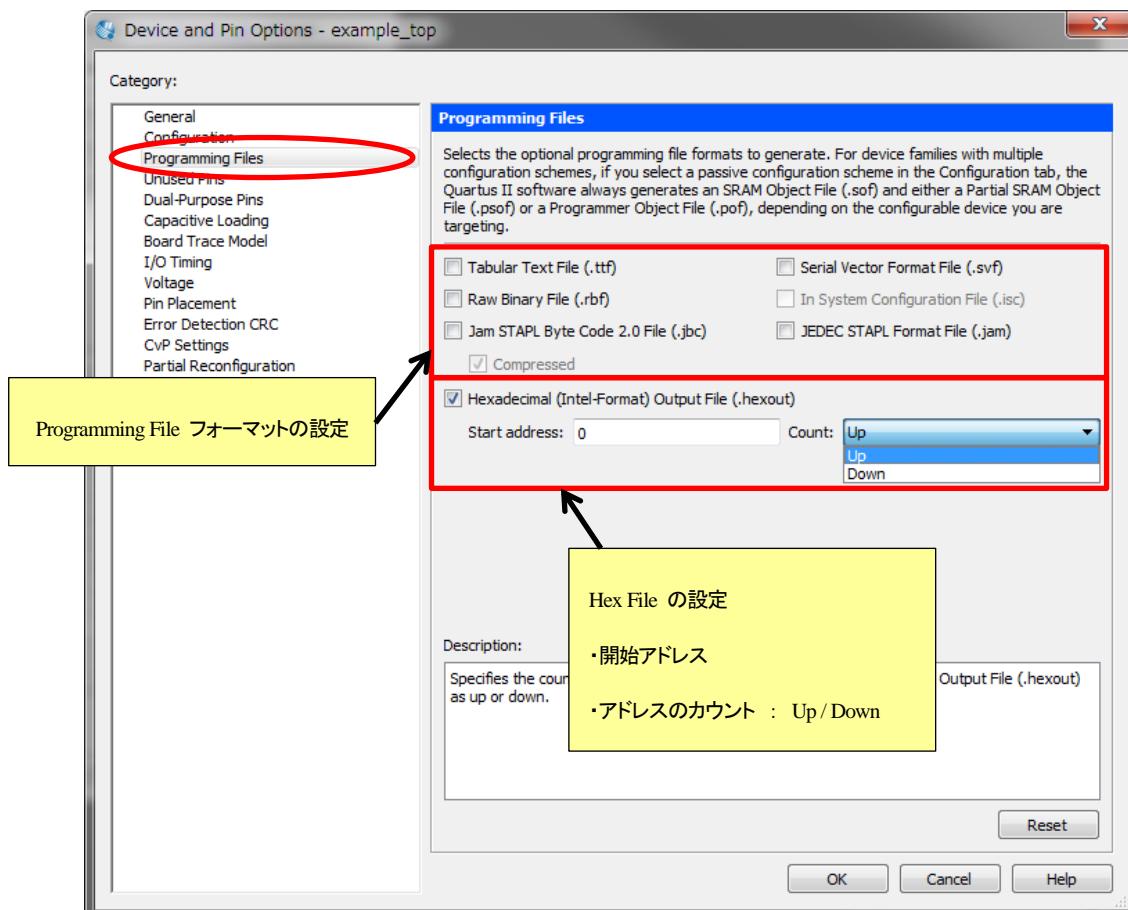
◆ Enable input tri-state on active configuration pins in user mode (when selected AS in configuration mode)

Active Serial コンフィギュレーション時、ユーザ・モード中にアクティブ・コンフィギュレーション・ピンの入力をトライ・ステートに制御します。

3-3. Programming File ページ

現在のプロジェクトにおけるプログラミング・ファイルのフォーマットを指定できます。

アルテラのコンフィギュレーション・デバイスをターゲットにしている場合は、この設定は不要です。(その場合には、Configuration ページで希望のコンフィギュレーション・デバイスや関連オプションを指定してください。)



3-4. Unused Pins ページ

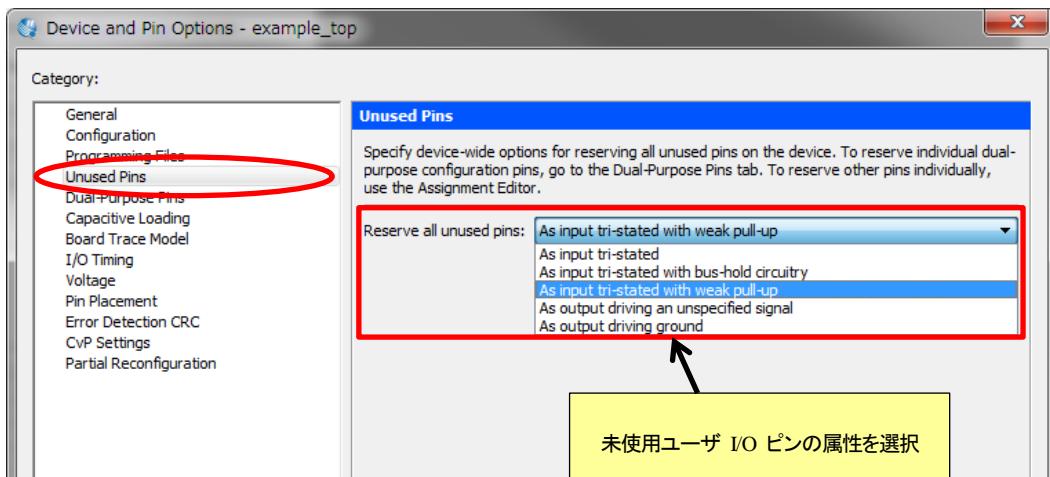
デバイス上のすべての未使用ユーザ I/O ピンを特定の目的ピンに予約することができます。(デバイスの全体設定)

“Reserve all unused pins” のプルダウン・リストから、設定したい属性を選択します。

設定のポイントとして、すべての未使用ユーザ I/O ピンに設定する項目のうち、一番多く設定する属性をこの Unused Pins ページで選択して、それ以外の属性にしたい未使用ユーザ I/O ピンには、Pin Planner を使用して個別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 未使用ユーザ I/O ピンの個別設定の方法は、本資料入手された販売代理店の技術情報サイトにて公開中の下記資料をご参照ください。

資料タイトル 『Quartus II はじめてガイド – ピン・アサインの方法』



属性

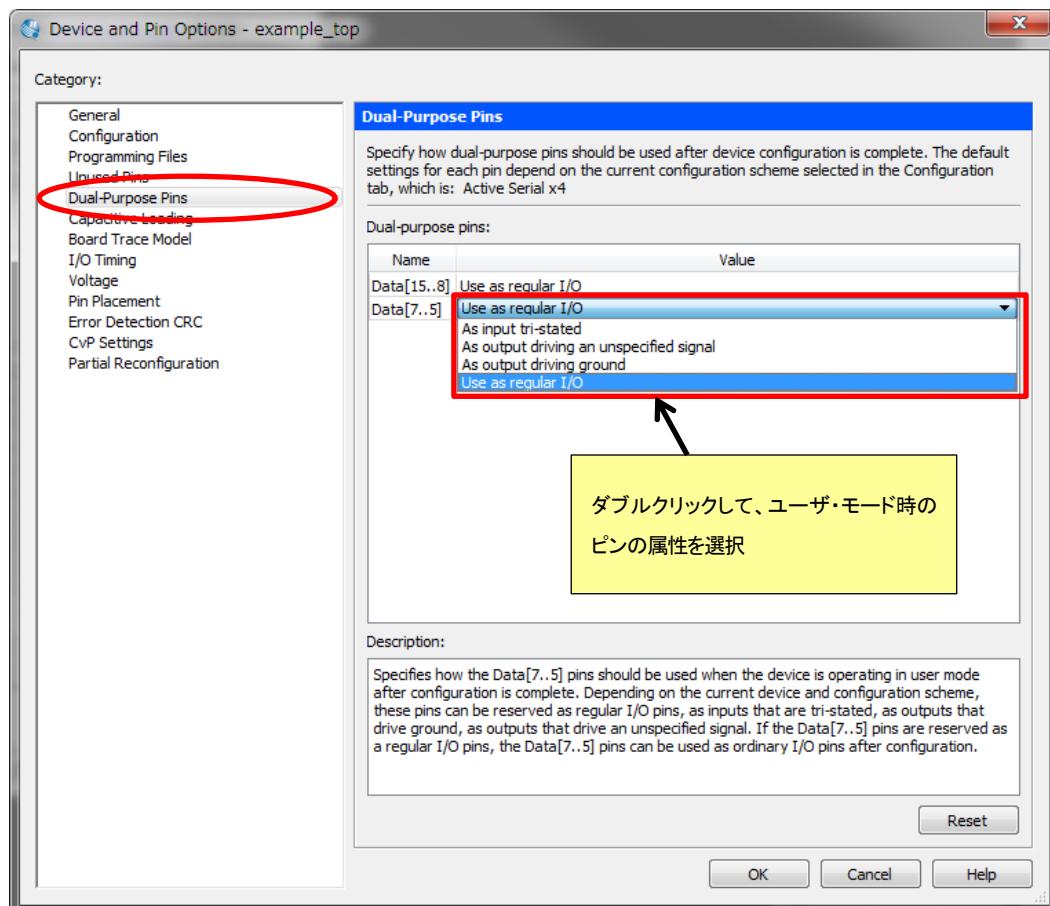
- As input tri-state : ピンは入力として予約されます。
- As input tri-state with bus-hold circuitry : ピンはバス・ホールド付きの入力として予約されます。
- As input tri-state with weak pull-up : ピンは内部ウイーク・プルアップ付きの入力として予約されます。
- As output driven an unspecified signal : ピンは出力として予約され、未定義の値を出力します。
- As output driven ground : ピンは出力として予約され、GND (Low) を出力します。

※ 応用活用法として、未使用のユーザ I/O ピンを As output driven ground に設定して、そのピンを基板上の GND に接続することで GND が強化され、基板のノイズ対策に利用できます。

3-5. Dual-Purpose Pins ページ

デバイスのコンフィギュレーションが完了した後に、コンフィギュレーション・ピンをどのように使用するかを指定できます。

Name 欄から設定したいコンフィギュレーション・ピンを選択して、Value 欄をダブルクリックしてプルダウン・リストから設定内容を選択します。ユーザ I/O ピンとして使用したい場合は、“Use as regular I/O” に設定してください。

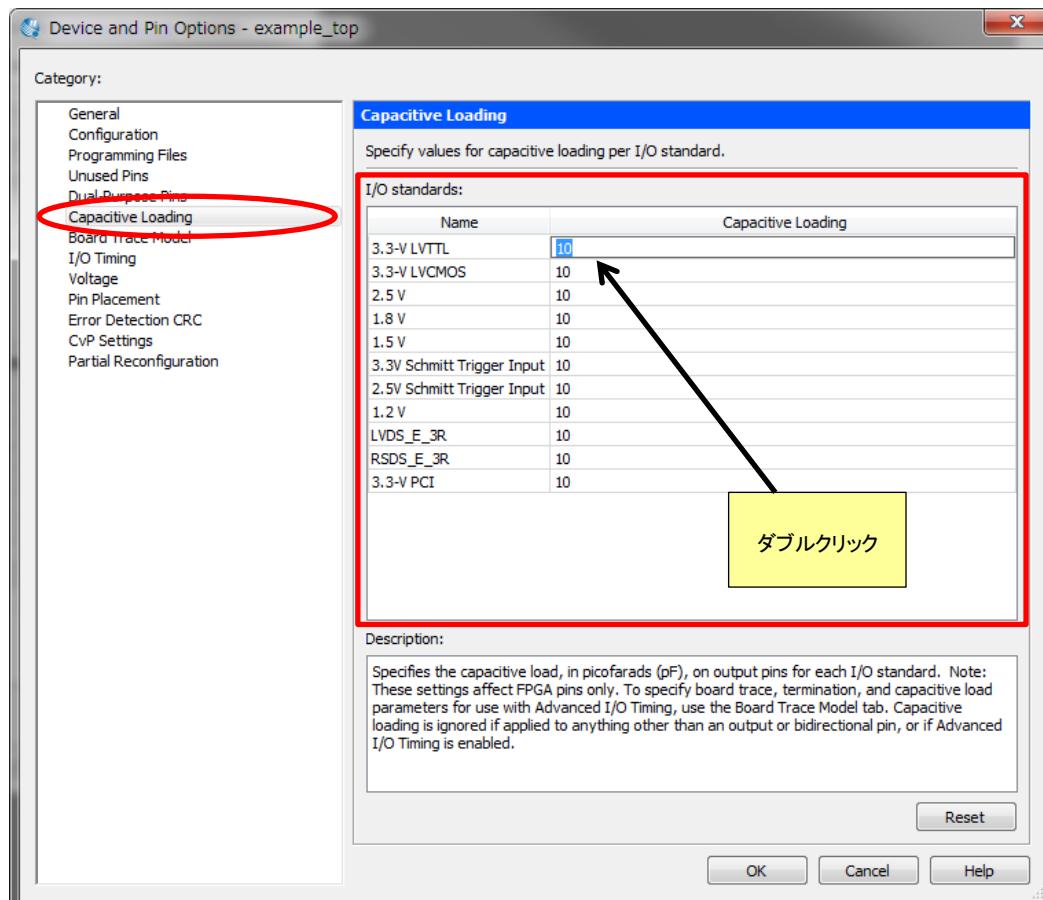


3-6. Capacitive Loading ページ

I/O 規格ごとに基板上のキャパシタンス値の情報を指定します。Capacitive Loading で設定した内容により、正確な T_{CO}(クロック to アウトプット)タイミング・モデルでタイミング検証が行うことができます。

設定したい I/O 規格を Name 欄から選択して、Capacitive Loading 欄をダブルクリックします。その後、設定値を入力してください。

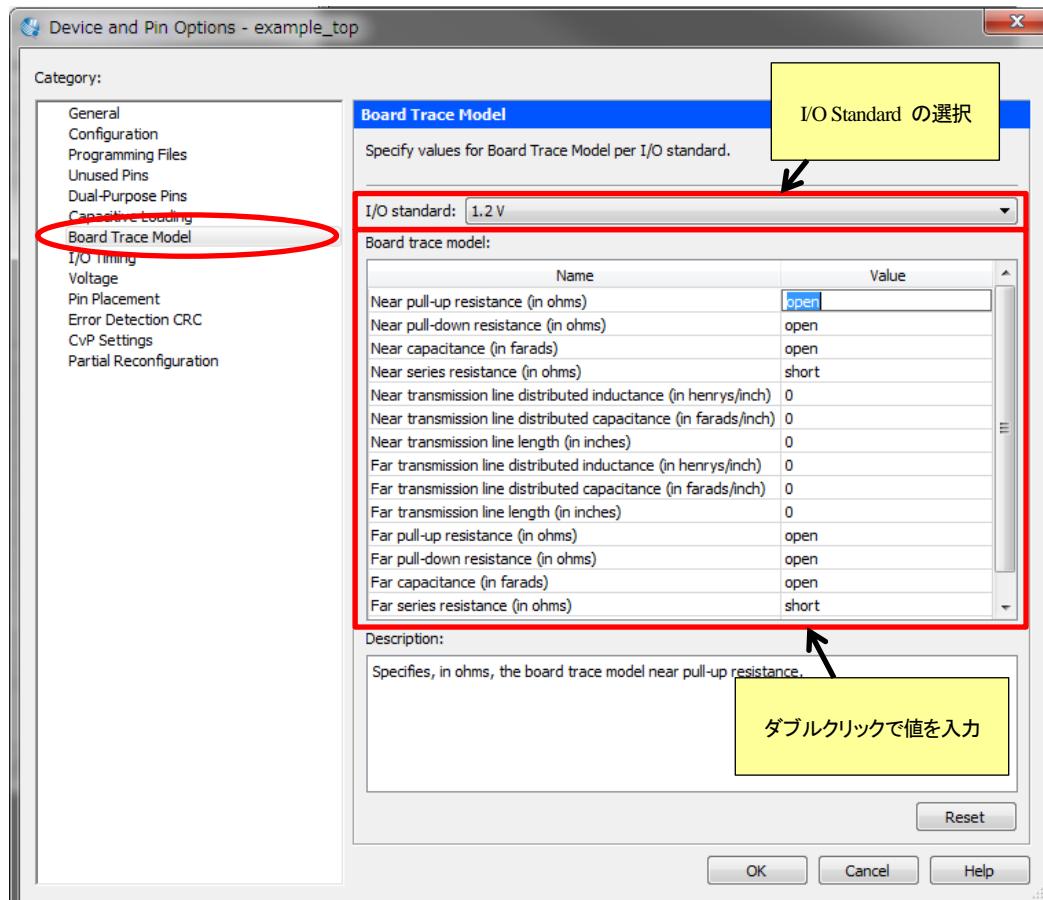
<対象デバイス : MAX V、MAX II>



3-7. Board Trace Model ページ

I/O 規格ごとの Board Trace Model の設定を行います。このオプションを設定すると、TimeQuest でのタイミング解析時にデバイス外部の接続状況を考慮した I/O タイミングで検証することができます。

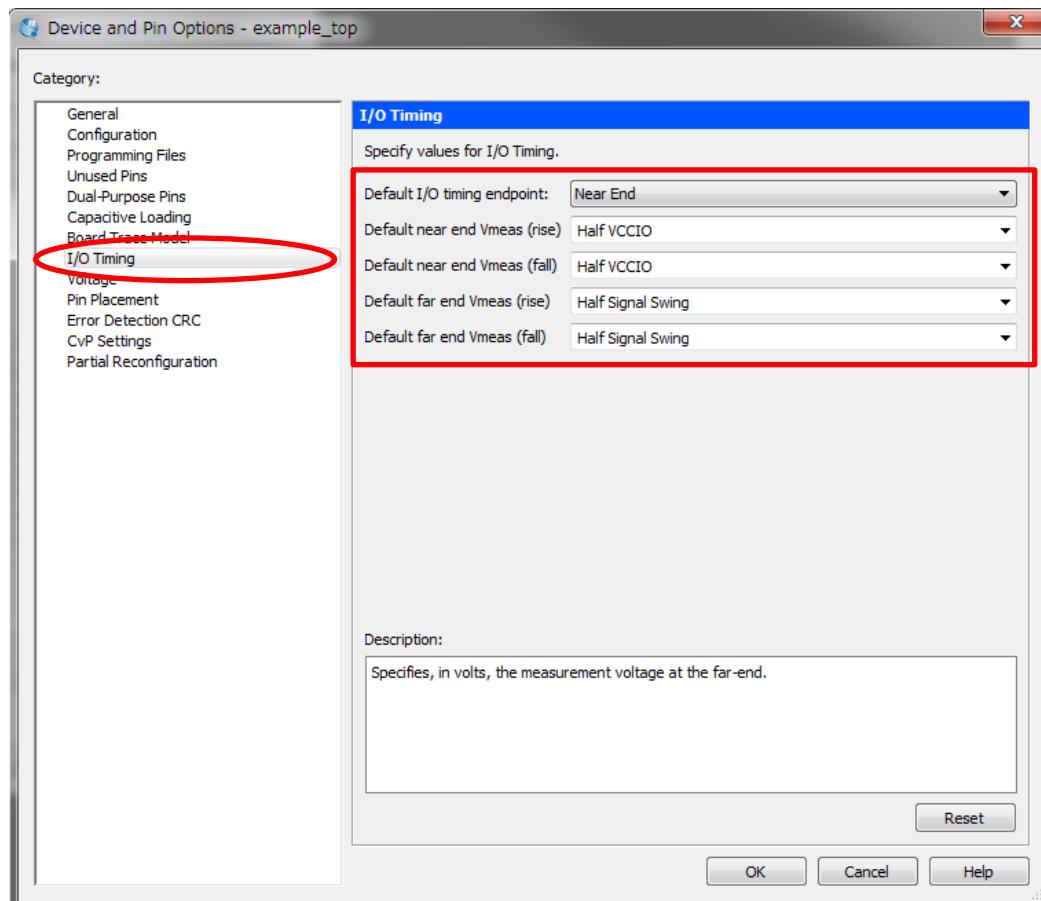
<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>



3-8. I/O Timing ページ

配置配線時にボード・トレースの近端もしくは遠端のどちらを I/O タイミングの計算に用いるかを指定します。また、近端や遠端の立ち上がりと立ち下がり時それぞれにおける Quartus II のタイミング解析をどの時点で終了するかを指定できます。このオプションを設定すると、TimeQuest でより詳細なタイミング制約・解析を行うことができます。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>



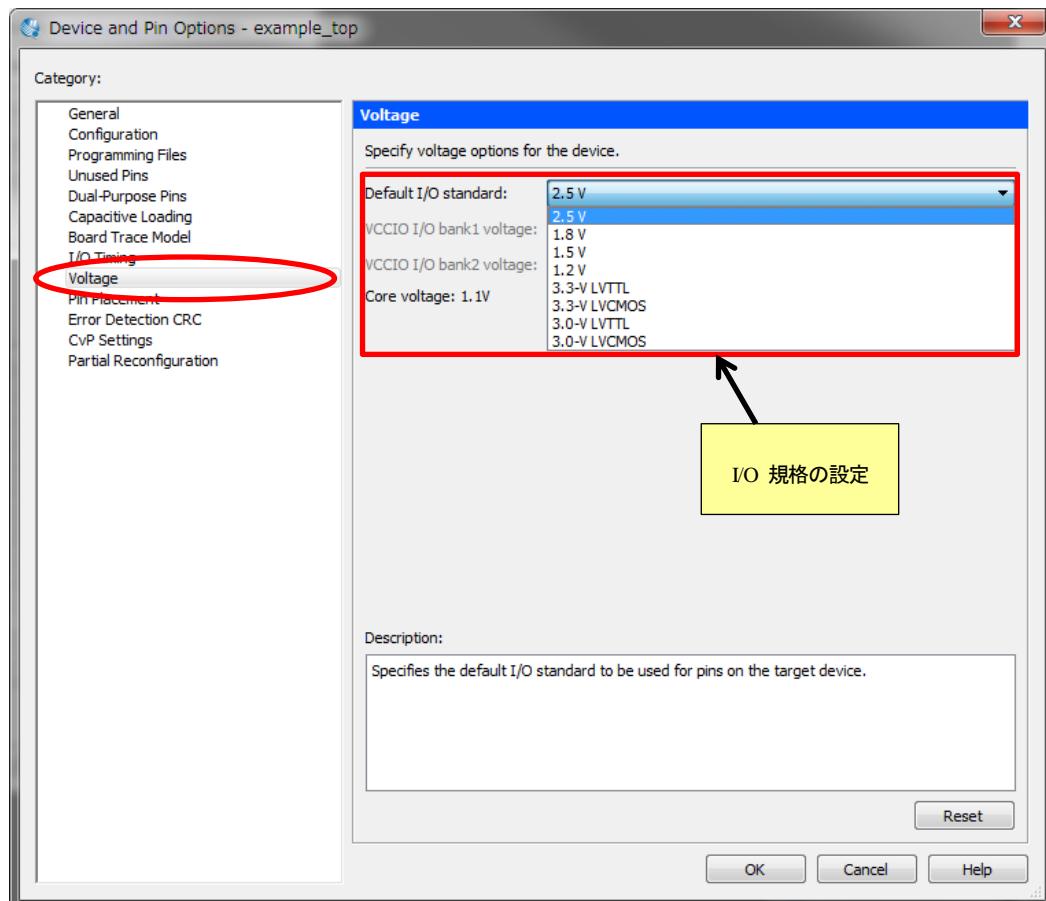
3-9. Voltage ページ

デバイス全体のユーザ I/O ピンにおける I/O 規格のデフォルト値を設定します。

設定のポイントとして、すべてのユーザ I/O ピンに設定する項目のうち、一番多く設定する I/O 規格を Voltage ページで設定して、それ以外の I/O 規格に設定したいユーザ I/O ピンには Pin Planner を使用して個別設定を行います。全体設定と個別設定では、個別設定がコンパイル時に優先されます。

※ 詳細は、本資料を入手された販売代理店の技術情報サイトにて公開中の下記資料を参照してください。

資料タイトル 『Quartus II はじめてガイド – ピン・アサインの方法』



3-10. Pin Placement ページ

LVTTL/LVC MOS 入力ピンの電圧調整の設定や I/O ピンの電力制約値を設定できます。このオプションを設定すると、コンパイル時のピン・アサインのルールが変更されます。

- ◆ Allow voltage overdrive for LVTTL/LVC MOS input pins

このオプションを有効にすると、3.3V LVTTL/LVC MOS の入力ピンを 3.3V よりも低い電圧値の I/O バンク（つまり、VCCIO が 1.8V や 1.5V など）に配置することができます。

<対象デバイス : MAX V、MAX II>

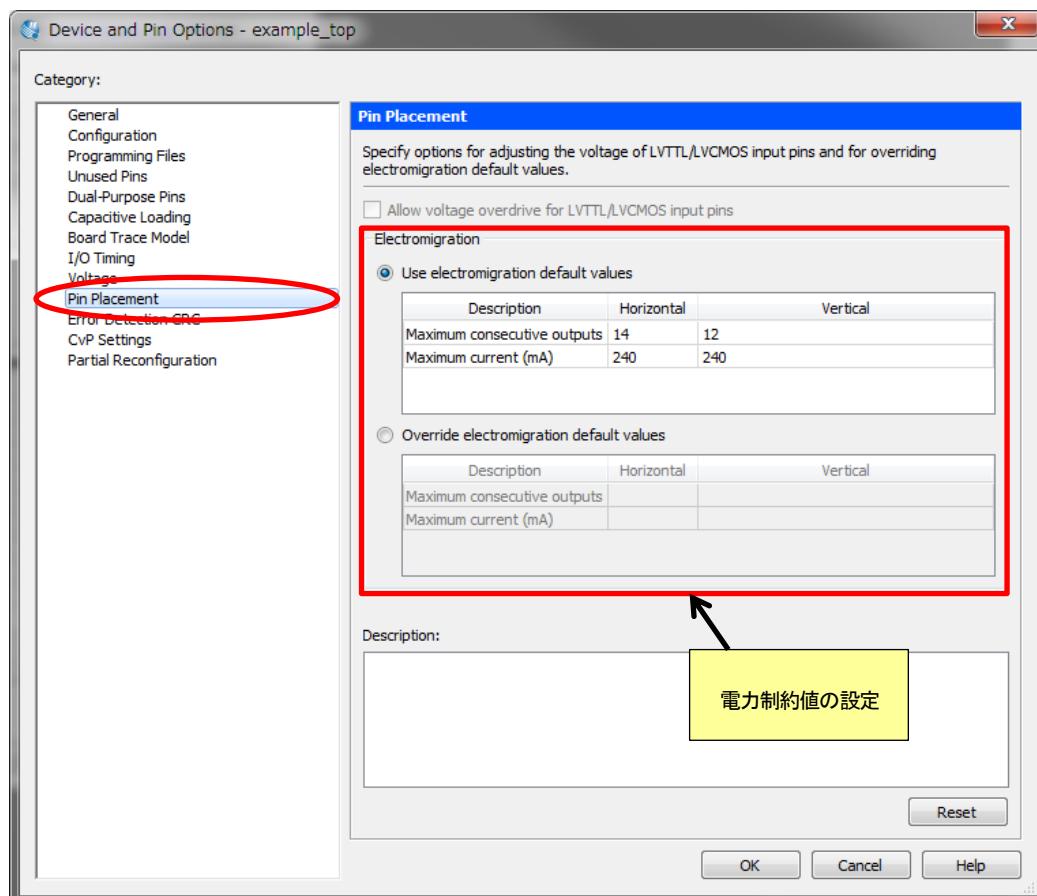
- ◆ Electromigration

電力制約について、デフォルト値を適用するか、ユーザが指定するかを選択できます。

“Maximum consecutive outputs” には、連続して配置可能な出力ピンと双方向ピン数の値を入力します。

“Maximum current (mA)” には、“Maximum consecutive outputs” で設定したピン数の合計の最大電流値を設定します。

<対象デバイス : Cyclone IV>



3-11. Error Detection CRC ページ

◆ Enable error detection CRC

ユーザ・モード中のエラー検知(CRC)回路の使用を有効にします。このオプションを有効にすると、CRC_ERROR ピン(デバイスの型番により、ピン番号が決まっています。)が有効になります。CRC エラー・オプションを使用していない場合、CRC_ERROR ピンはユーザ I/O として使用できます。

※ CRC 機能の詳細は、下記資料を参照してください。

資料タイトル 『AN357 : Error Detection and Recovery Using CRC in Altera FPGA Devices』

→ https://www.altera.com/en_US/pdfs/literature/an/an357.pdf

◆ Enable open drain on CRC Error pin

CRC_ERROR ピンをオープン・ドレインにします。このオプションを有効にすると、CRC_ERROR ピンをプルアップする必要があります。

<対象デバイス : Stratix V、Arria V、Cyclone V>

◆ Enable initial scrubbing

Initial Scrub 機能を有効にします。このオプションを有効にすると、デバイスの動作中にエラーを訂正します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス : Stratix V、Arria V>

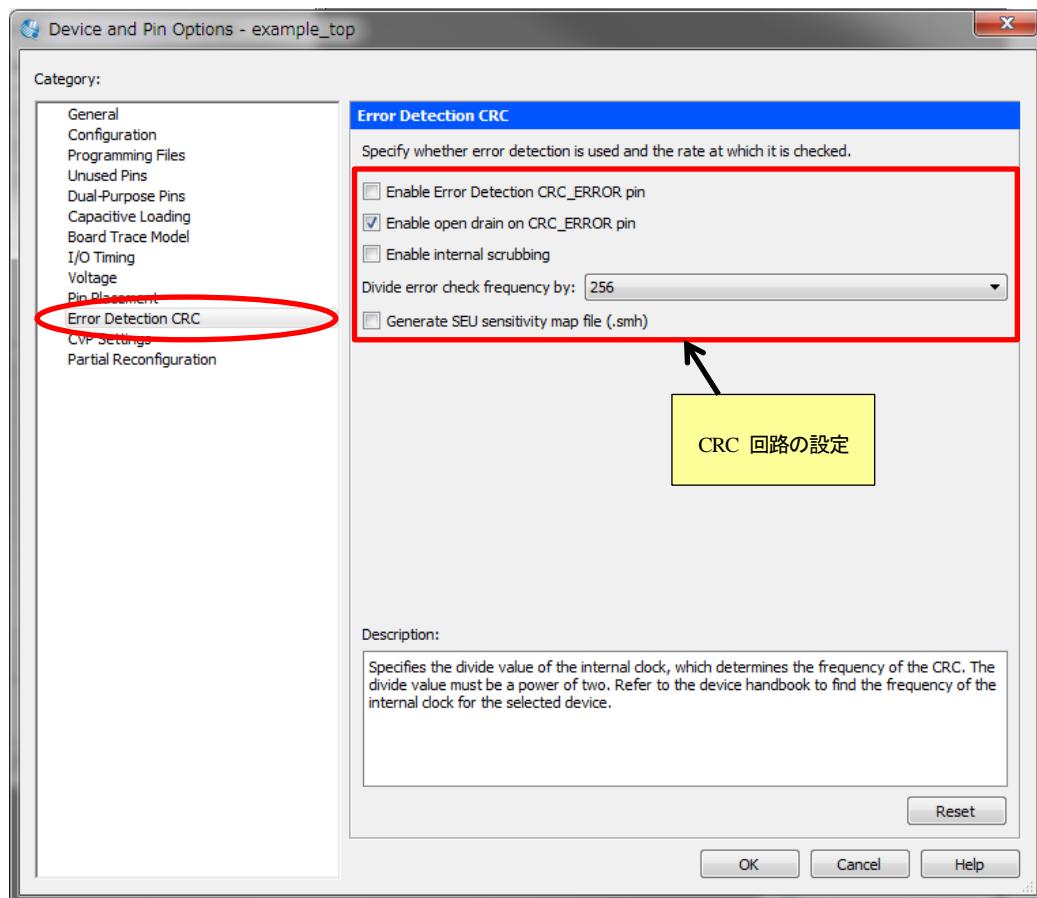
◆ Divide error check frequency by:

CRC 回路の内部周波数を設定します。詳細は、サポートするデバイスのドキュメントを参照してください。

<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV>

◆ Generate SEU sensitivity map file (.smh)

デザインのセンシティビティ・マップ・ファイルを生成するために SEU 検知コンパイラを有効にすることができます。このオプションを有効にすると、SMH ファイル (*.smh) が生成されます。



3-12. CvP Settings ページ

◆ Configuration via Protocol

Configuration via Protocol (CvP) のコンフィギュレーション・モードを指定します。

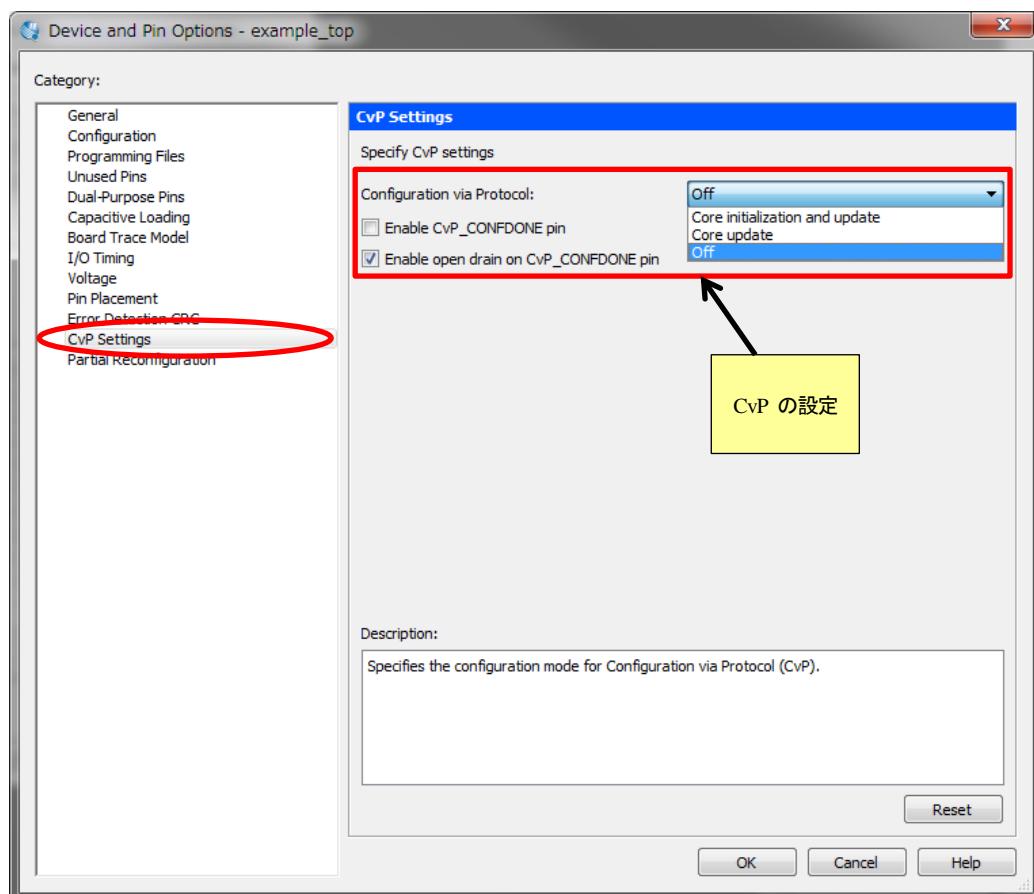
◆ Enable CvP_CONFDONE pin

このオプションを有効にすると、CvP_CONFDONE ピン(デバイスの型番により、ピン番号が決まっています。)が有効になります。CvP を使用していない場合、CvP_CONFDONE ピンはユーザ I/O として使用できます。

◆ Enable open drain on CvP_CONFDONE pin

CvP_CONFDONE ピンをオープン・ドレインにします。このオプションを有効にすると、CvP_CONFDONE ピンをプルアップする必要があります。

<対象デバイス : Stratix V、Arria V、Cyclone V>



3-13. Partial Reconfiguration ページ

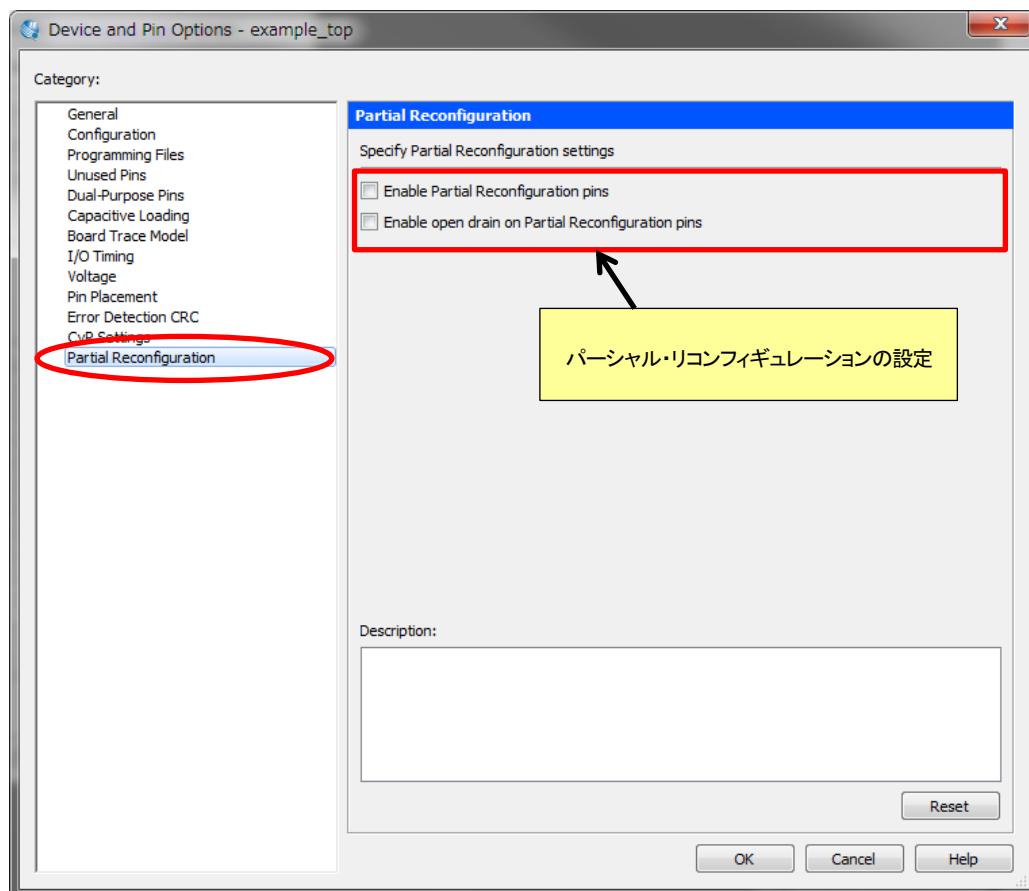
◆ Enable Partial Reconfiguration pins

このオプションを有効にすると、パーシャル・リコンフィギュレーション関連ピン(PR_REQUEST、PR_READY、PR_ERROR、PR_DONE、DCLK、DATA[15:0])が有効になります。このオプションを無効にすると、PR_REQUEST と PR_READY、PR_ERROR、PR_DONE ピンはユーザ I/O として使用できます。(DCLK と DATA[15:0] ピンはコンフィギュレーション専用ピンまたは Dual-Purpose Pins ページの設定に依存します。)

◆ Enable open drain on Partial Reconfiguration pins

パーシャル・リコンフィギュレーション関連ピンのうち、PR_READY と PR_ERROR、PR_DONE ピンをオープン・ドレインにします。このオプションを有効にすると、これらのピンをプルアップする必要があります。

<対象デバイス : Stratix V、Arria V、Cyclone V>



4. Migration compatibility の設定

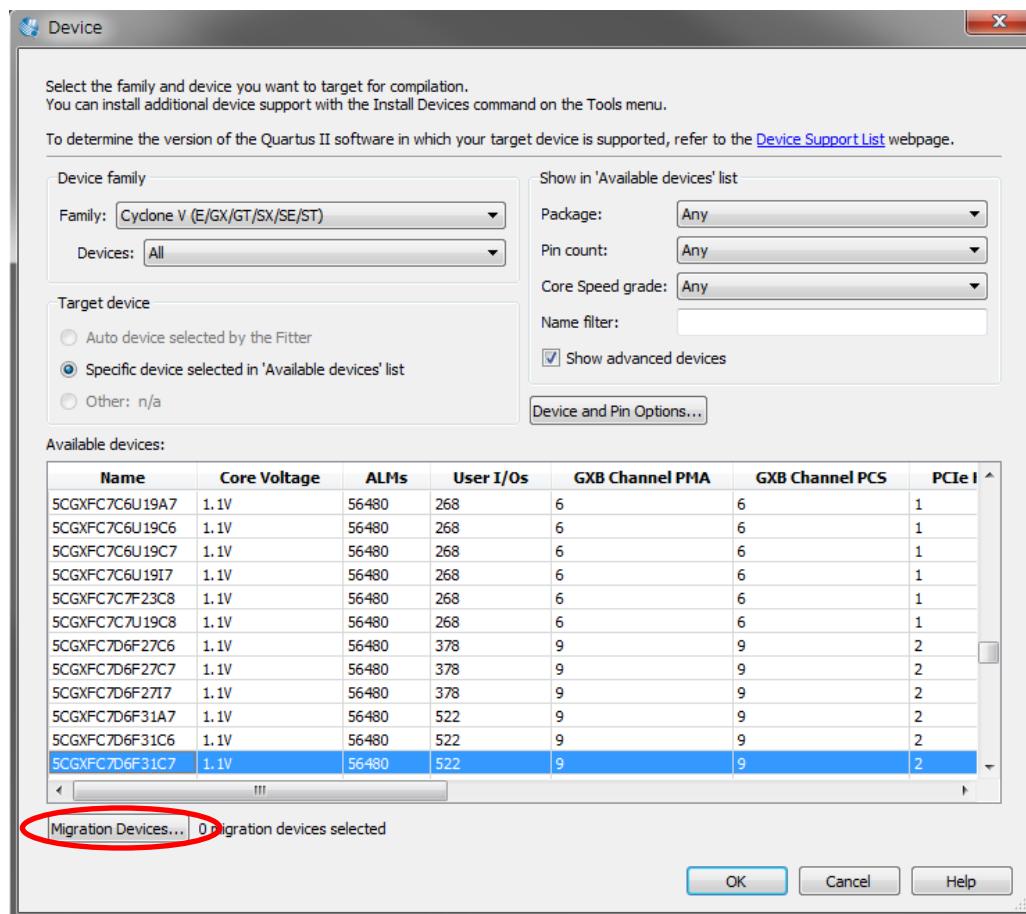
アルテラのデバイスは、パーティカル・マイグレーションをサポートしています。パーティカル・マイグレーションとは、同一ファミリ内の同一パッケージならば、専用ピンやコンフィギュレーション・ピン、電源ピンの基板上のレイアウトを変更することなく、異なるデバイス間でマイグレーション(移動)できることを言います。

例えば、集積度の高いデバイスへマイグレーションをする場合、そのデバイスは追加ロジックをサポートするためにより多くの VCC と GND が必要となります。そのことにより、ユーザ I/O ピンが少なる可能性があります。

共通に使用できるユーザ I/O ピンはどれか、また電源周りで増えるまたは減るピンはどれかなど、マイグレーションを検討するために使用中のデバイスとピン互換なデバイスをあらかじめ “Migration compatibility” に設定しておくと、設定したデバイス間で共通なピンにのみピン・アサインができるようになり、LE 数の小さいまたは大きいデバイスへデザインの移行がしやすくなります。

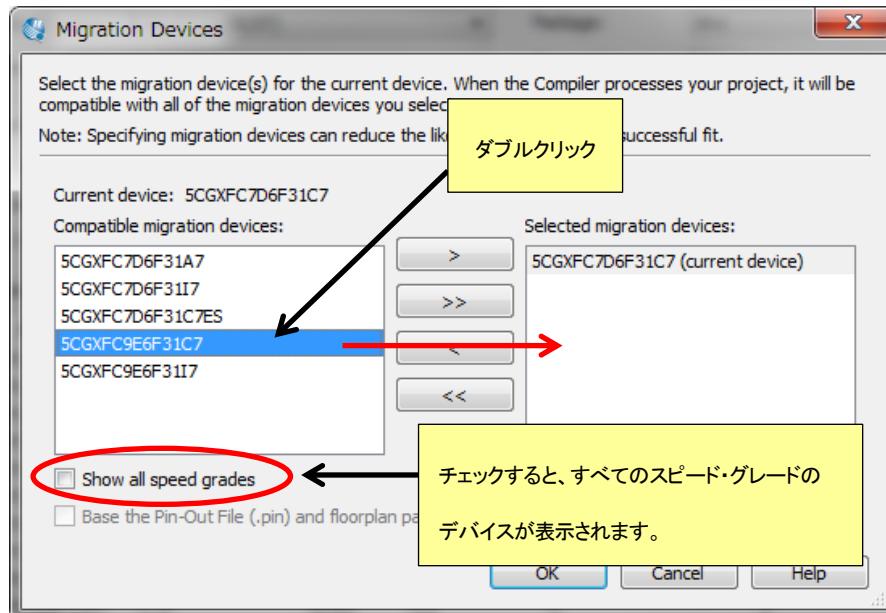
<対象デバイス : Stratix V、Stratix IV、Arria V、Arria II、Cyclone V、Cyclone IV、MAX V、MAX II>

- Assignments メニュー ⇒ Device ⇒ Migration Devices ボタンをクリックします。



* このとき、あらかじめ Device ダイアログ・ボックスにて、ターゲット・デバイスを選択してください。

- ② Migration Devices ダイアログ・ボックスの “Compatible migration devices” (左枠)から設定したいデバイスを選択して、ダブルクリックします。“Selected migration devices” (右枠)に登録されたことを確認後、OK ボタンをクリックします。



補足 : Migration Devices の設定を反映した Pin Planner

Migration Devices を設定しておくと、登録されたデバイスのピン情報が反映された状態で Pin Planner が使用できます。

Pin Planner の View メニュー ⇒ Pin Migration Window において、マイグレーション・デバイスに登録した各デバイスのピン情報一覧とそれらの情報を考慮したすべてのピンのマイグレーション結果が確認できます。また、Package View はその結果を反映した表示になります。

Pin Migration View									
Pin Number	Migration Result			Migration Devices					
	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group	Pin Function	I/O Bank	VREF Group
PIN_A2	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A3	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A4	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A5	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A6	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A7	VCCIO8A	8A		VCCIO8A	8A		VCCIO8A	8A	
PIN_A8	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A9	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A10	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A11	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0	Column I/O	8A	B8A_N0
PIN_A12	GND			GND			GND		
PIN_A13	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A14	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A15	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A16	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0	Column I/O	7A	B7A_N0
PIN_A17	GND			GND			GND		

改版履歴

Revision	年月	概要
1	2015 年 3 月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。