Quartus II はじめてガイド
ピン・アサインの方法

ver.14

2016 年 2 月 Rev.2

Quartus II はじめてガイド
ピン・アサインの方法

目次

1. はじめに 3
2. 事前作業 3
   2-1. デバイスの選択 3
   2-2. データベースの構築 4
3. ユーザ I/O ピンのアサイン方法 5
4. 未使用ユーザ I/O ピンの属性設定方法 11
5. コンパイル後の確認 12
6. Live I/O Checking 14
7. I/O Assignment Analysis 15
8. その他の機能 16
   8-1. Back-Annotate Assignments 16
   8-2. CSV ファイル 17
      8-2-1. CSV ファイルのエクスポート 17
      8-2-2. ピン制約情報の編集 17
      8-2-3. CSV ファイルのインポート 18
   8-3. Show Fitter Placement 19
   8-4. Pad View ウィンドウ 20

改版履歴 21

1. はじめに

この資料は、Quartus® II においてユーザ回路のピンを Pin Planner を用いて、ターゲット・デバイスのピン番号に割り当てる（アサインする）方法を紹介しています。また、I/O ピンの I/O Standard (I/O 規格) の設定方法や未使用ユーザ I/O ピンの属性を個々に設定する方法（個別設定方法）も案内します。

2. 事前作業

2-1. デバイスの選択

ピンをアサインするためには、ターゲット・デバイスを決定する必要があります。プロジェクトを作成する際にデバイスの型式をすでに選択している場合は、この作業は不要です。デバイスの型式を設定していない場合は、以下の作業を行ってください。

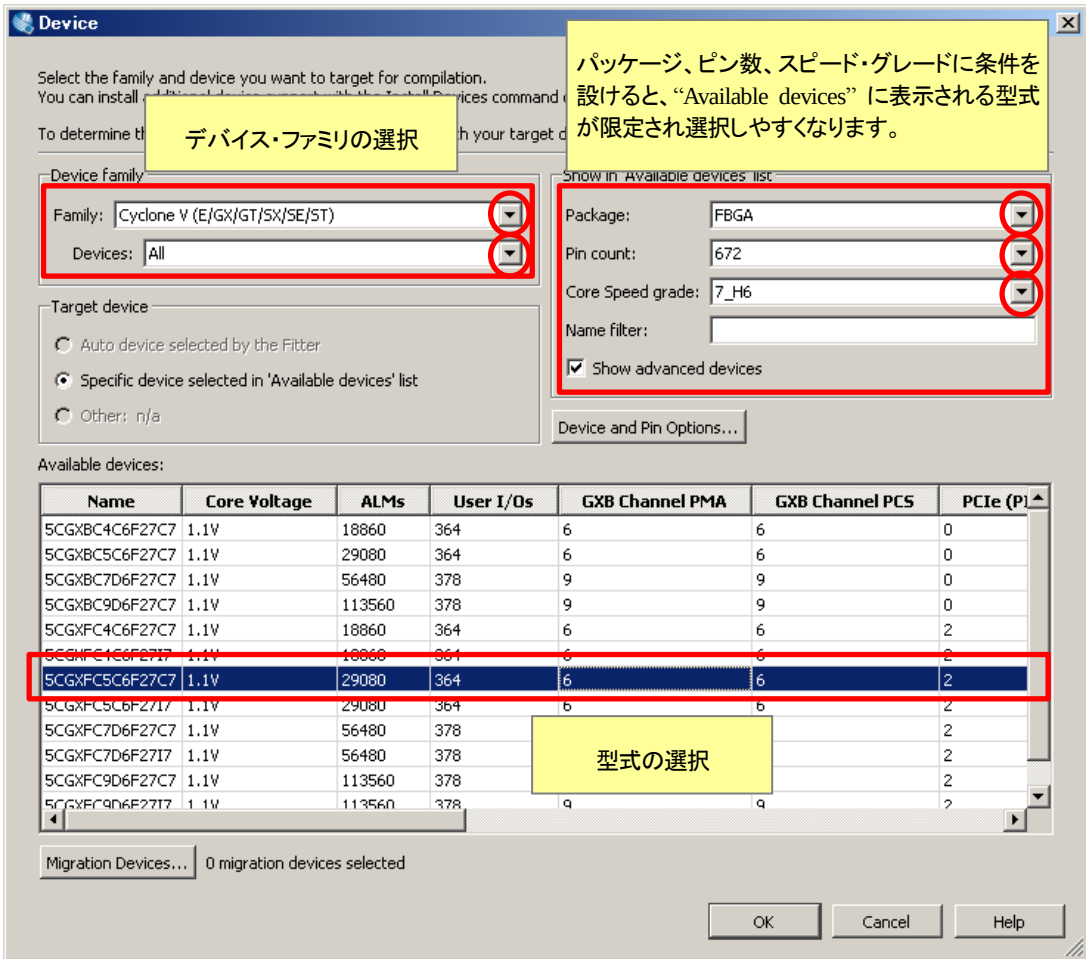
① Assignments メニュー ⇒ Device を選択します。

② Family リストより、指定するデバイス・ファミリ名を選択します。

③ Target device 内において、“Specific device selected in ‘Available devices’ list”を選択します。

④ Available devices の一覧から、型式を選択します。

⑤ OK ボタンをクリックします。

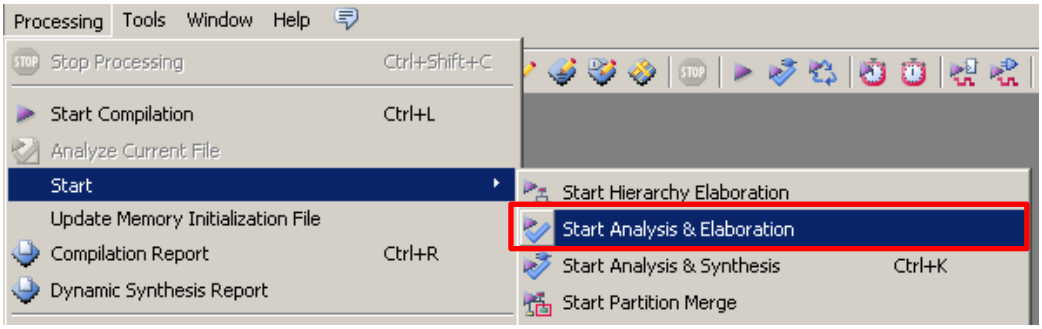


2-2. データベースの構築

ピンをアサインする前にデザイン情報を作成しておくと、Pin Planner の All Pins リスト上に自動的にピン名が表示されますので、とても便利です。

以下の何れかの操作を実行してください。(推奨は Start Analysis & Elaboration です。また、すでに実行済みの場合は、この作業は不要です。)

- Processing メニュー ⇒ Start ⇒ Start Analysis & Elaboration （お勧め度:高）
- Processing メニュー ⇒ Start ⇒ Start Analysis & Synthesis （お勧め度:中）
- Processing メニュー ⇒ Start Compilation （お勧め度:低）

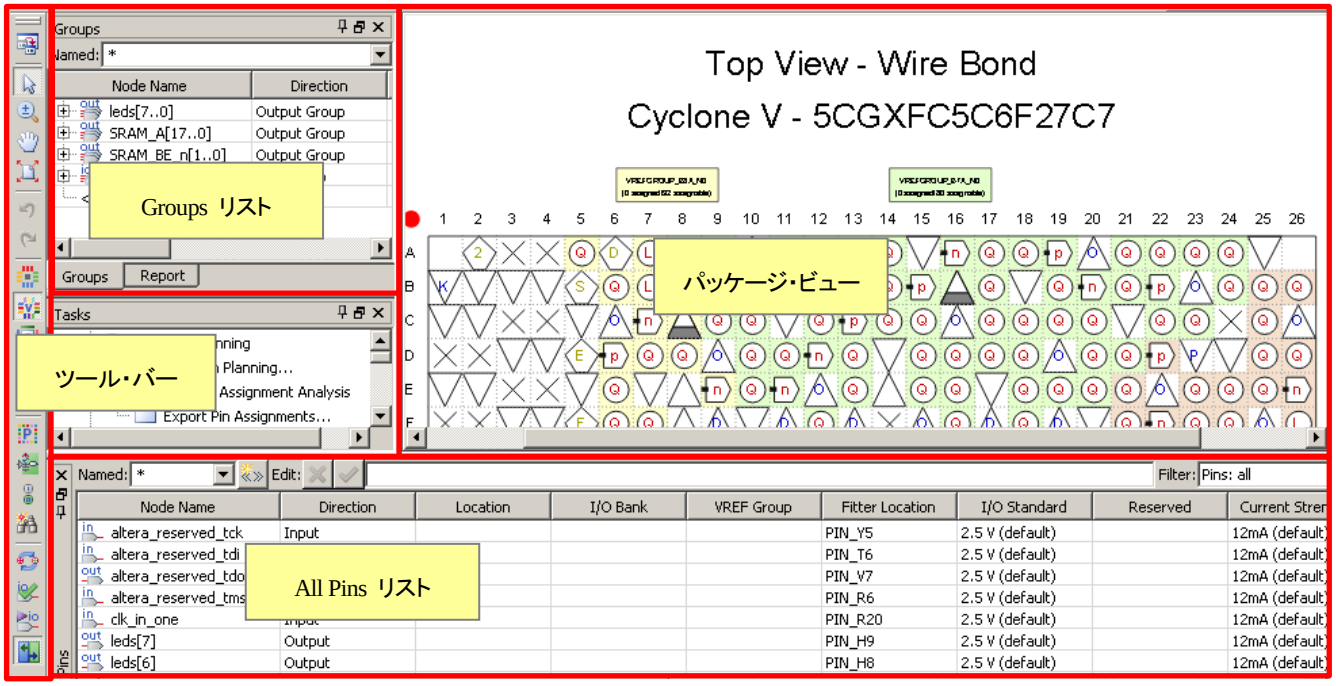


3. ユーザ I/O ピンのアサイン方法

Pin Planner を用いてデザイン内のピンを目的のピン番号へアサインする方法を紹介します。同時に、アサインしたピンの I/O Standard の設定方法も紹介します。なお、この操作は「第 2 章　事前作業」を実行していることを前提にしています。

① Pin Planner を起動します。以下の何れかの方法で起動してください。

- Assignments メニュー ⇒ Pin Planner を選択
- Task ウィンドウ ⇒ Assign Constraints ディレクトリ ⇒ Edit Pin Assignments (Open Pin Planner) をダブルクリック
- ボタンをクリック



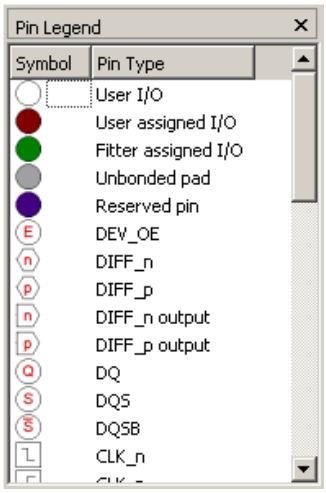
※ *Groups リストが表示されていない場合は、View メニュー ⇒ Groups List にチェックを入れると表示されます。*

【補足① ： パッケージ・ビューの表示設定】

◆ *シンボルの説明*

Pin Planner に表示されるシンボルは、Pin Legend Window の情報を参照してください。

- *View メニュー ⇒ Pin Legend Window*
- *または、ツール・バーの ボタンをクリック*



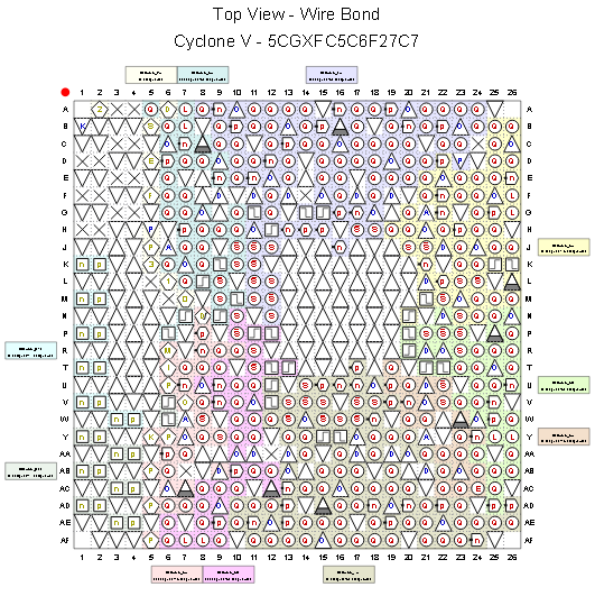
◆ *カラー表示*

・ *I/O バンク毎に表示させる場合*

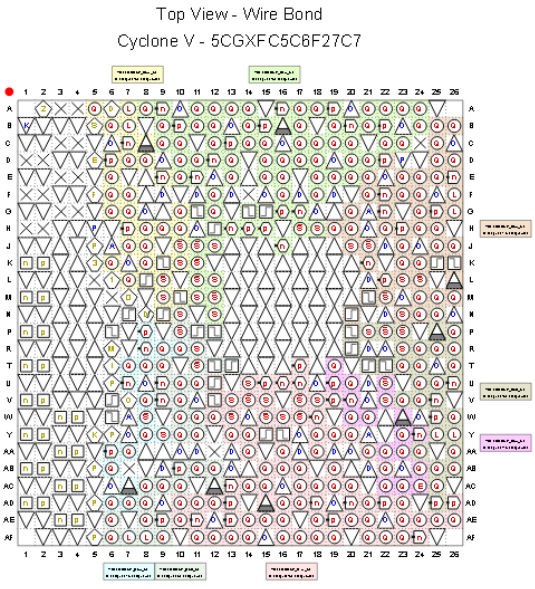
- *View メニュー ⇒ Show ⇒ Show I/O Banks*
- *または、ツール・バーの ボタンをクリック*

・ *VREFF グループ毎に表示させる場合*

- *View メニュー ⇒ Show ⇒ Show VREFF Groups*
- *または、ツール・バーの ボタンをクリック*



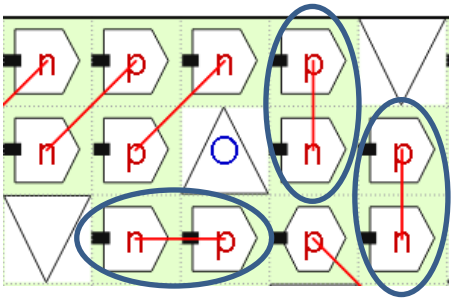
I/O バンクごとに分けた場合



VREFF グループごとに分けた場合

◆ *差動ピンのペア表示*

- *View メニュー ⇒ Show ⇒ Show Differential Pin Pair Connections*
- *または、ツール・バーの ボタンをクリック*

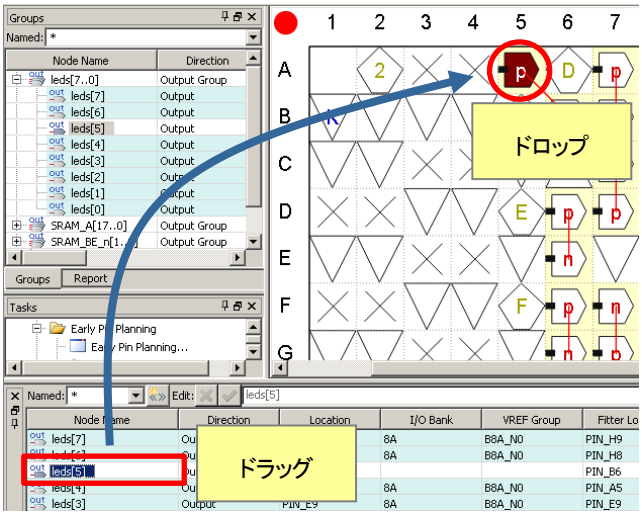


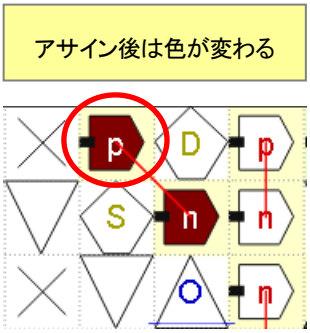
差動ペアが赤い線で繋がります

② ピンを目的の番号へアサインします。1 ピンずつ設定する方法とグループ単位で設定する方法があります。

◆ 1 ピンずつ設定する方法

All Pins リストからピン名を選択し、ドラッグ & ドロップでパッケージ・ビュー上の配置したい番号まで移動させます。

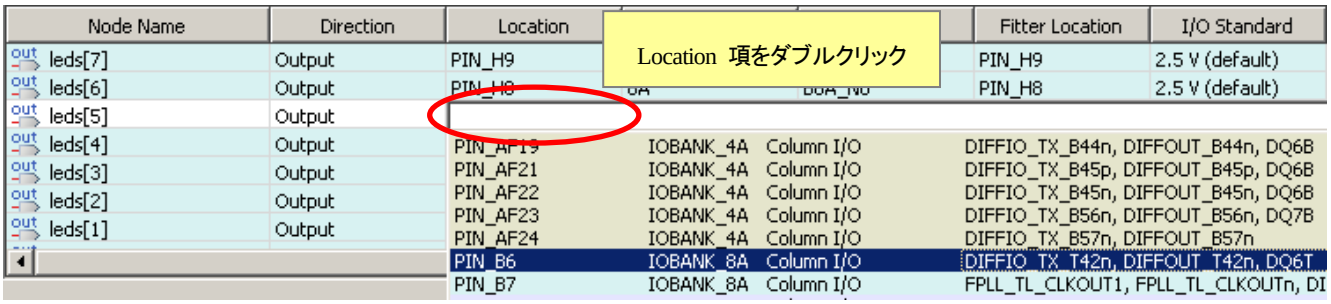




Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
leds[7]	Output	PIN_H9	8A	B8A_N0	PIN_H9	2.5 V (default)
leds[6]	Output	PIN_H8	8A	B8A_N0	PIN_H8	2.5 V (default)
leds[5]	Output	PIN_B6	8A	B8A_N0	PIN_B6	2.5 V (default)
leds[4]	Output	PIN_A5	8A	B8A_N0	PIN_A5	2.5 V (default)
leds[3]	Output	PIN_E9	8A	B8A_N0	PIN_E9	2.5 V (default)
leds[2]	Output	PIN_D8	8A	B8A_N0	PIN_D8	2.5 V (default)
leds[1]	Output	PIN_K6	8A	B8A_N0	PIN_K6	2.5 V (default)

アサインされた情報が All Pins リストに反映される

その他、All Pins リストのスプレッド・シートの Location 項をダブルクリックし、プルダウン・リストから選択する方法でも設定可能です。（番号を直接タイプすることでも設定可能です。）

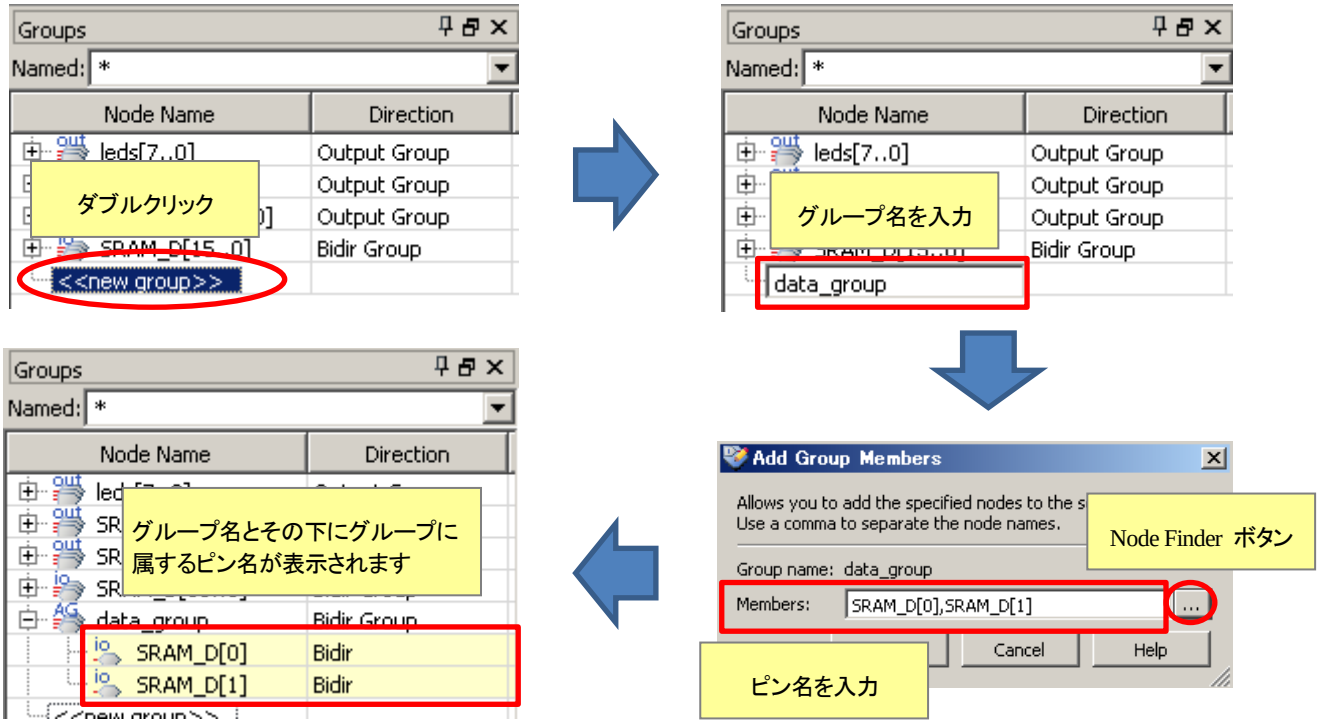


◆ グループ単位で設定する方法

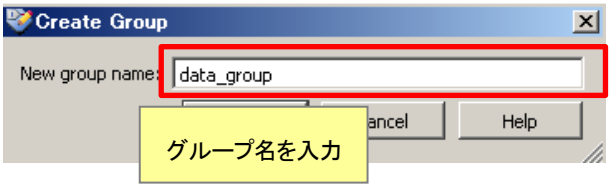
1） はじめにグループを作成します。

バス信号はデフォルトでグループ化されていますが、ここではユーザ・オリジナルでグループを作成する方法を紹介します。

グループ・リストの Node Name 欄の <<new group>> をダブルクリックし、グループ名を入力します。Add Group Members ウィンドウにてグループに追加するピン名を入力します。(Node Finder を使用して追加することもできます。)OK ボタンをクリックすると、グループ・リストにグループが作成されます。

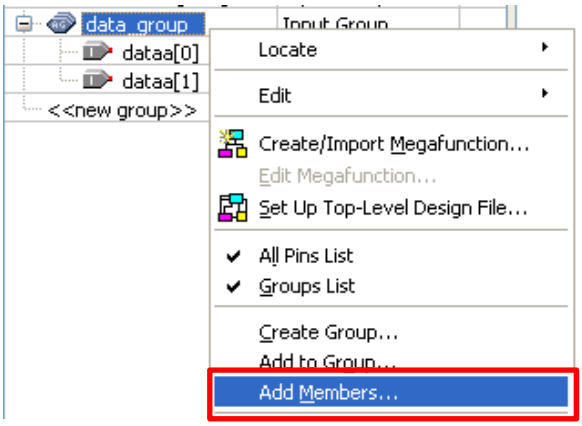


または、グループ・リスト上において、マウスで右クリック ⇒ Create Group にてグループを作成します。



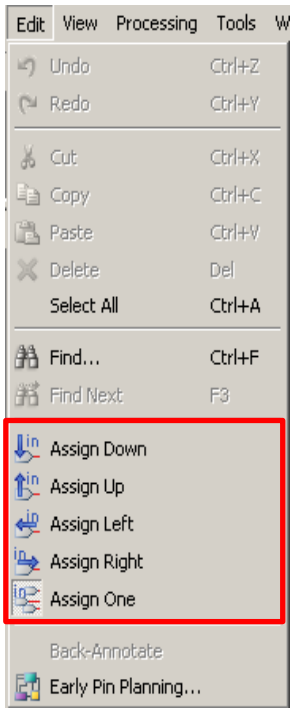
Create Group ウィンドウにてグループ名を記入し、OK ボタンをクリックすると Add Group Members ウィンドウが表示され、以降は上記と同様の作業で、グループ作成可能です。

グループにピンを追加したい場合は、グループ・リストのグループ名を選択し、マウスで右クリック ⇒ Add Group Members にて追加します。



2) グループ・リストからアサインしたいピンを複数選択し、ドラッグ & ドロップでパッケージ・ビュー上の配置したいピン番号まで移動させます。

複数ピンに対してピン・アサインを一括で行う場合、Edit メニュー内で以下の設定を行うことにより配置方向を変えることができます。



Assign Down ・・・・・・・ 指定したピンを上から順番に並べて配置

Assign Up ・・・・・・・・・・ 指定したピンを下から順番に並べて配置

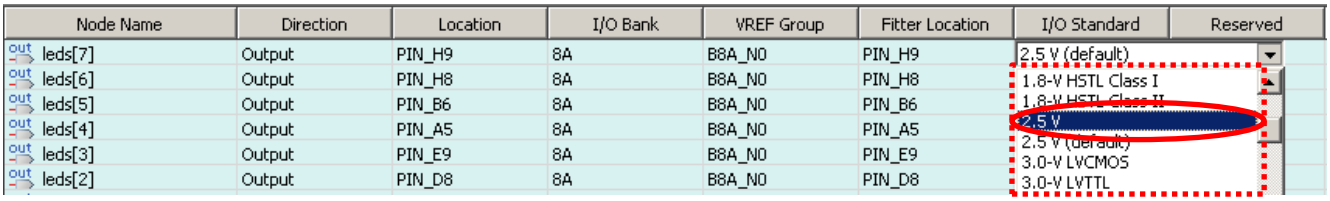
Assign Left ・・・・・・・・・ 指定したピンを左から順番に並べて配置

Assign Right ・・・・・・・・ 指定したピンを右から順番に並べて配置

Assign One※ ・・・・・・・・ 指定したピンを 1 つずつ配置

※ *メンバーに登録された順番（上から）で、アサインされます。そのピンのアサインが完了すると、次のメンバーのピン名がカーソルに表示されます。メンバーの一番下のピン名のアサインが完了するまで、連続でアサインすることができます。*

③ I/O Standard を設定します。デフォルトでデバイスのすべてのユーザ I/O に設定した I/O Standard（I/O Standard の全体設定）が表示されています。変更がある場合は、グループ・リスト、または All Pins リストの I/O Standard 欄をダブルクリックし、プルダウン・リストより選択します。



上記②～③の操作を繰り返してピン・アサインを行います。

※ *I/O Standard の全体設定は、Device & Pin Options ダイアログ・ボックス内 Voltage タブで行います。操作方法に関しては、資料『Quartus II はじめてガイド – Device & Pin Options 設定方法』をご参照ください。*

④ コンパイルを実行します。何れかの操作で実行してください。

- Processing メニュー ⇒ Start Compilation を選択
- Task ウィンドウ ⇒ Compile Design をダブルクリック
- ボタンをクリック

※ *コンパイル実行することなくピンの適合性を確認する場合は、『第 6 章 Live I/O Checking』や『第 7 章 I/O Assignment Analysis』をご覧ください。*

【補足② ： ピンのロジック・オプション】

デザイン内のピンに対するロジック・オプションを設定する場合は、Pin Planner の All Pins リスト上で設定することができます。以前は Assignment Editor から設定を行っていましたが、現在では Pin Planner で設定することを推奨しています。

※ ロジック・オプション設定や Assignment Editor に関しては、資料『Quartus II はじめてガイド – よく使用するロジック・オプション設定方法（個別設定）』や資料『Quartus II はじめてガイド – Assignment Editor の使い方』をご参照ください。

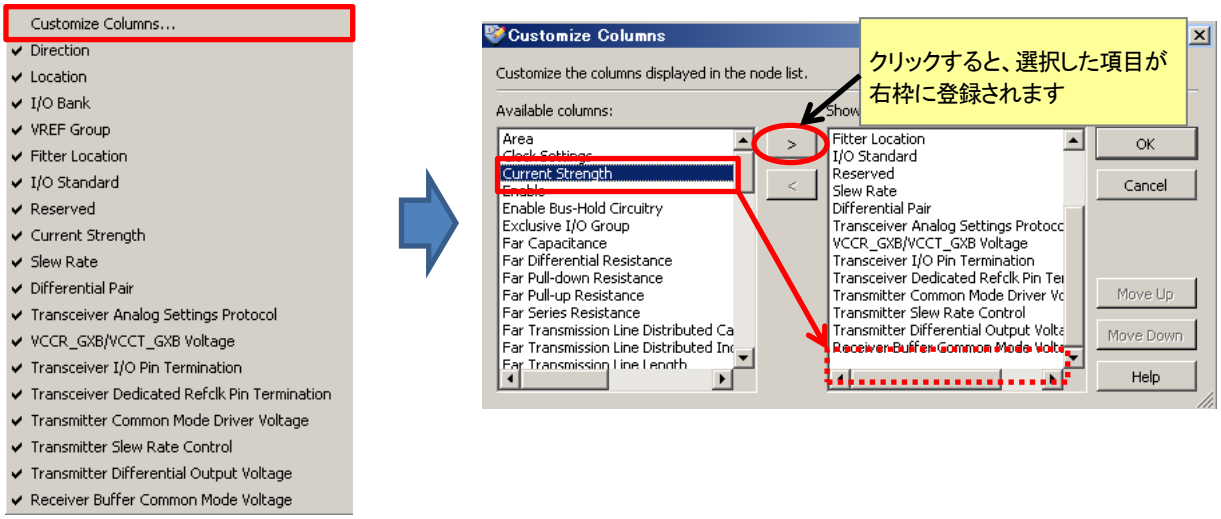
例） Current Strength （出力電流値）を Pin Planner で設定する場合

All Pins リスト内において、オプションを設定するピンの Current Strength 項をダブルクリックします。以下のように、表示されたプルダウン・リストから出力電流値を選択します。（この設定は、Assignment Editor に反映されます。）

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength
leds[7]	Output	PIN_H9	8A	B8A_N0	PIN_H9	2.5 V (default)		12mA (default)
leds[6]	Output	PIN_H8	8A	B8A_N0	PIN_H8	2.5 V (default)		4mA
leds[5]	Output	PIN_B6	8A	B8A_N0	PIN_B6	2.5 V (default)		8mA
leds[4]	Output	PIN_A5	8A	B8A_N0	PIN_A5	2.5 V (default)		12mA
leds[3]	Output	PIN_E9	8A	B8A_N0	PIN_E9	2.5 V (default)		12mA (default)
leds[2]	Output	PIN_D8	8A	B8A_N0	PIN_D8	2.5 V (default)		16mA
leds[1]	Output	PIN_K6	8A	B8A_N0	PIN_K6	2.5 V (default)		Maximum Current
								Minimum Current

なお、カラムを追加したい場合は、All Pins リスト内において、マウスで右クリックして、表示させたいカラムにチェックを入れます。

または、All Pins リスト内において、マウスで右クリック ⇒ Customize Columns を選択し、Customize Columns ダイアログ・ボックスの "Available columns"（左枠）から設定したいカラムを選択し、 > をクリックします。"Show these columns in this order"（右枠）に登録されたことを確認後、OK をクリックします。



4. 未使用ユーザ I/O ピンの属性設定方法

基板上で周辺のデバイスと FPGA や CPLD のピンを接続する場合、未使用のユーザ I/O ピンに対して基板の環境に応じた属性を設定（リザーブ・ピン設定）しなければなりません。そのような場合、デザイン上にリザーブ・ピンを作らずに、Quartus II のオプション設定だけで未使用 I/O ピンの属性を設定することが可能です。

操作は、デバイスの該当するピン全てに設定する“全体設定”と、特定のピンに対して個々に設定する“個別設定”があります。まず全体設定を行った後、それとは異なる属性を希望するいくつかのピンに対し個別設定で変更することをお勧めします。なお、全体設定と個別設定では、個別設定が優先されます。

※ リザーブ・ピン（未使用ユーザ I/O ピンの属性指定）の全体設定に関しては、資料『Quartus II はじめてガイド – Device and Pin Options 設定方法』をご参照ください。

① Assignments メニュー ⇒ Pin Planner を選択します。

② All Pins リスト内の Node Name 欄の <<new node>> をダブルクリックし、リザーブ・ピン用に任意の名前を付けます。（デザイン上に存在しない名前にしてください。）

③ ドラッグ & ドロップでパッケージ・ビュー上の目的のピン番号まで移動、または Location 欄のプルダウン・リストにてピン番号を選択します。

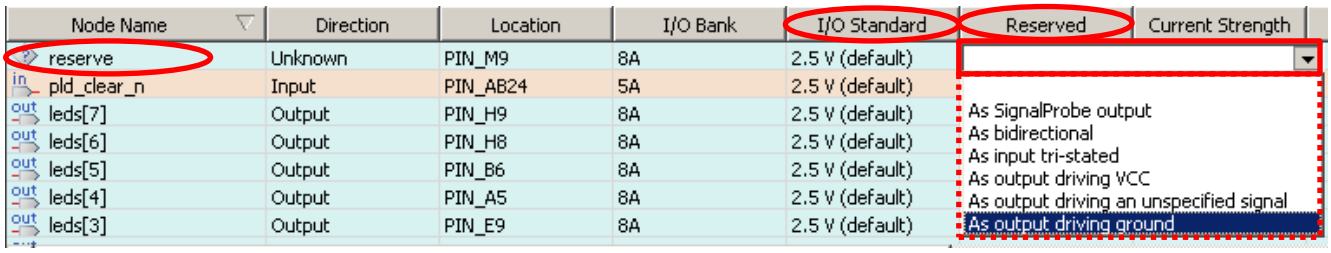
④ I/O 規格に変更がある場合は、I/O Standard 欄をダブルクリックし、プルダウン・リストより選択します。（アサインするバンクの VCCIO により、変更が必要な場合があります。）

⑤ Reserved 欄をダブルクリックし、プルダウン・リストより、属性を選択します。（デバイスにより設定項目が変わります。）

- As SignalProbe output : SignalProbe 用の出力ピンとして予約されます。
- As bidirectional : ピンは双方向ピンとして予約されます。
- As input tri-stated : ピンは入力ピンとして予約され、トライ・ステート処理されます。
- As output driving ground : ピンは出力ピンとして予約され、GND（Low）を出力します。
- As output driving an unspecified signal : ピンは出力ピンとして予約され、未定義の値を出力します。
- As output driving VCC : ピンは出力ピンとして予約され、VCC（High）を出力します。

個別設定を行うリザーブ・ピンが複数ある場合には、上記の操作を繰り返してリザーブ・ピンの個別設定を行います。

⑥ 設定終了後、コンパイルを実行します。



5. コンパイル後の確認

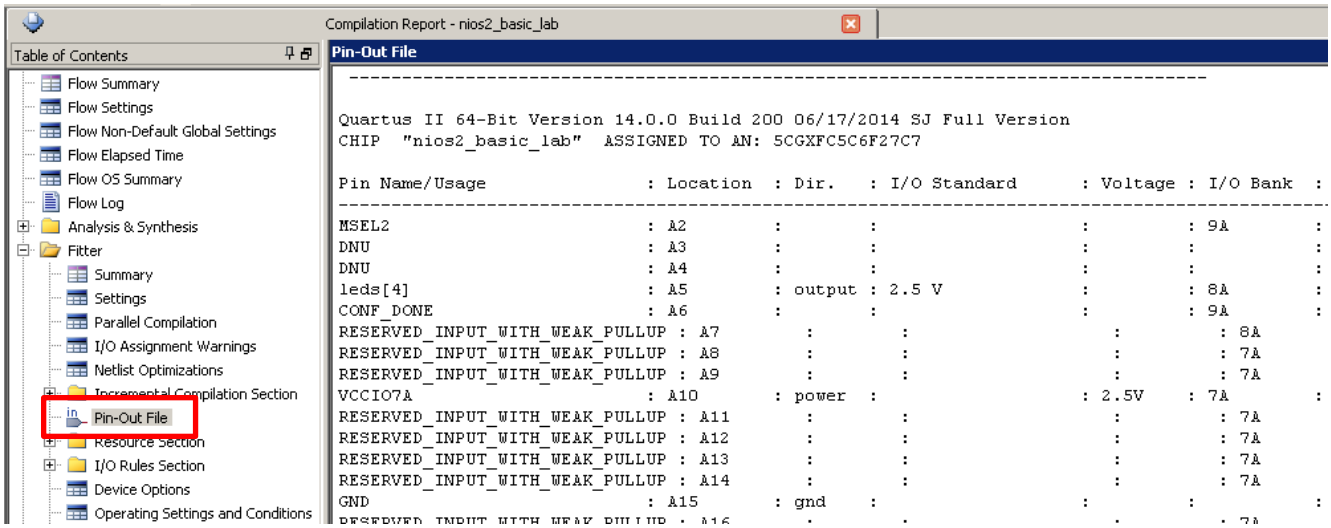
コンパイル（配置配線）後のピン・アサインの確認は、コンパイル・レポートで確認できます。確認方法は、すべてのピン情報を確認する方法とデザイン上に存在するピンだけを確認する方法の 2 通りがあります。

◆ すべてのピン情報を確認する方法

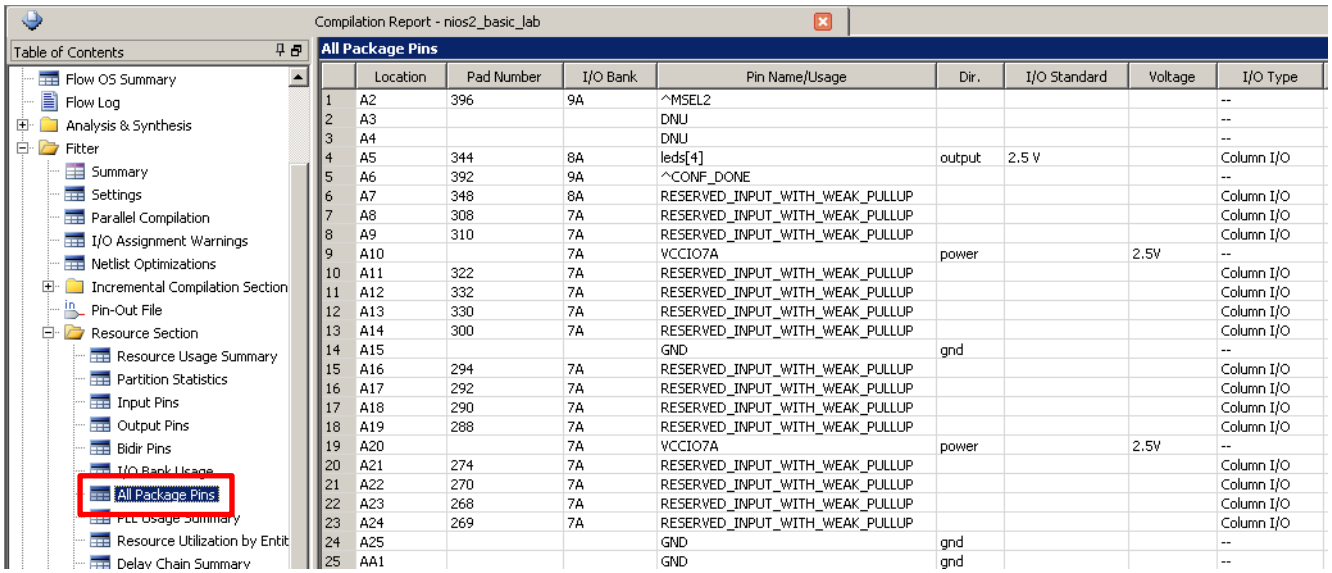
① コンパイルを完了させます。

② Processing メニュー ⇒ Compilation Report を起動します。

③ Fitter レポート・ディレクトリ ⇒ Pin-Out Fie より確認します。（テキスト・ベースで表示）



または、Fitter レポート・ディレクトリ ⇒ Resource Section ⇒ All Package Pins より確認します。（スプレッド・シートで表示）



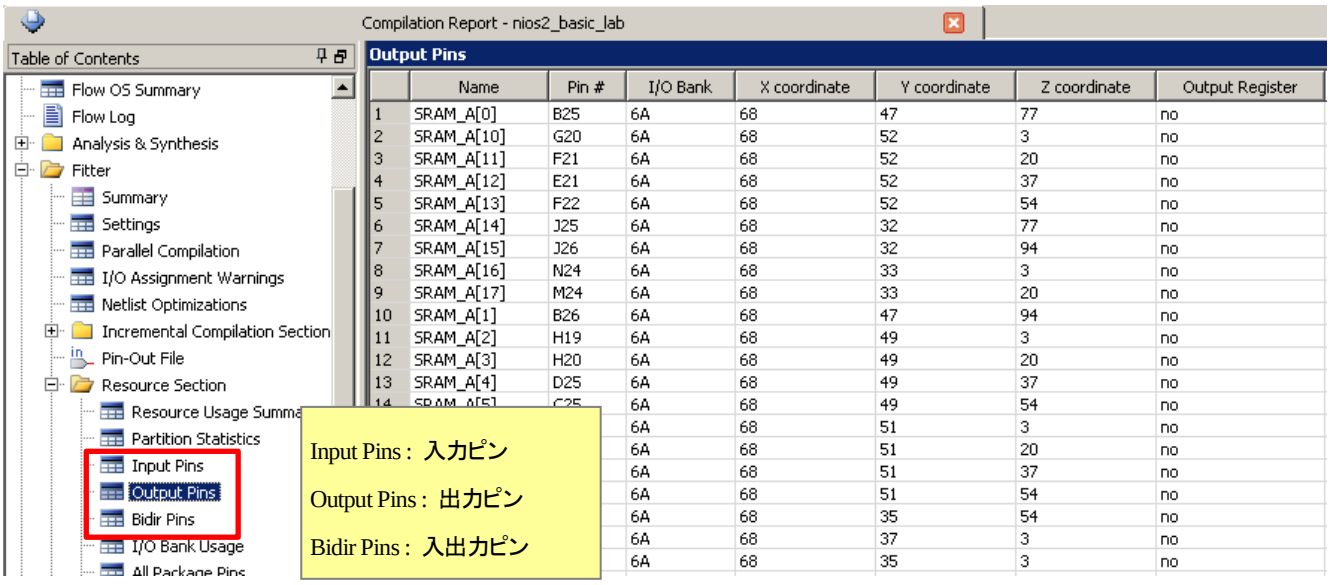
	Location	Pad Number	I/O Bank	Pin Name/Usage	Dir.	I/O Standard	Voltage	I/O Type
1	A2	396	9A	^MSEL2				--
2	A3			DNU				--
3	A4			DNU				--
4	A5	344	8A	leds[4]	output	2.5 V		Column I/O
5	A6	392	9A	^CONF_DONE				--
6	A7	348	8A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
7	A8	308	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
8	A9	310	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
9	A10		7A	VCCIO7A	power		2.5V	--
10	A11	322	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
11	A12	332	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
12	A13	330	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
13	A14	300	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
14	A15			GND	gnd			--
15	A16	294	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
16	A17	292	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
17	A18	290	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
18	A19	288	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
19	A20		7A	VCCIO7A	power		2.5V	--
20	A21	274	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
21	A22	270	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
22	A23	268	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
23	A24	269	7A	RESERVED_INPUT_WITH_WEAK_PULLUP				Column I/O
24	A25			GND	gnd			--
25	AA1			GND	gnd			--

◆ デザイン上に存在するピンだけを確認する方法

① コンパイルを完了させます。

② Processing メニュー ⇒ Compilation Report を起動します。

③ Fitter レポート・ディレクトリ ⇒ Resource Section ⇒ Input Pins / Output Pins / Bidir Pins から確認できます。



Output Pins

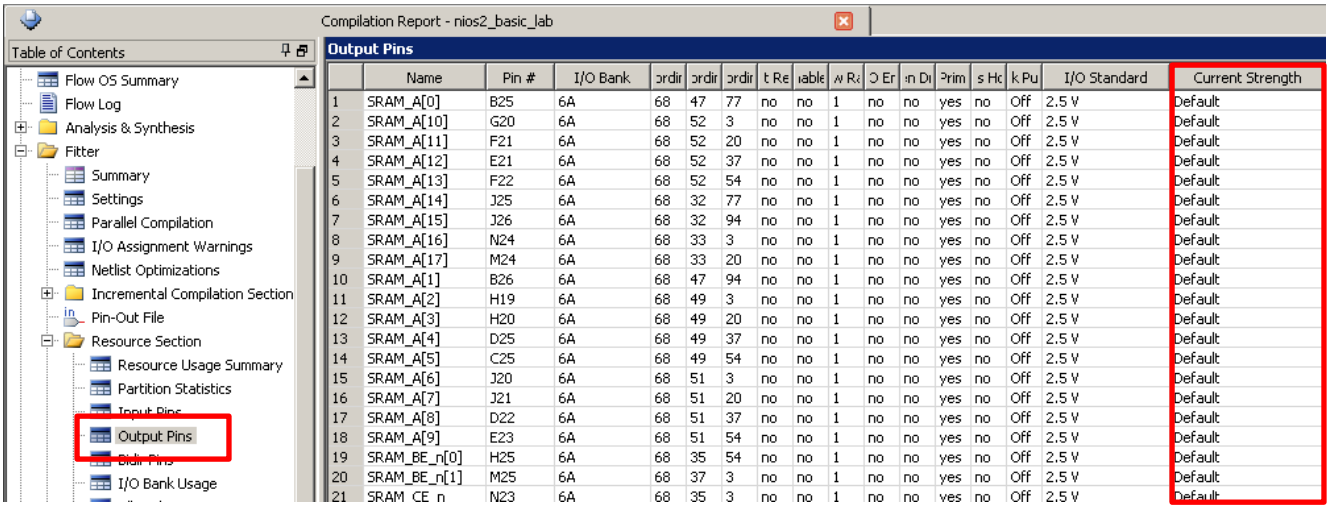
	Name	Pin #	I/O Bank	X coordinate	Y coordinate	Z coordinate	Output Register
1	SRAM_A[0]	B25	6A	68	47	77	no
2	SRAM_A[10]	G20	6A	68	52	3	no
3	SRAM_A[11]	F21	6A	68	52	20	no
4	SRAM_A[12]	E21	6A	68	52	37	no
5	SRAM_A[13]	F22	6A	68	52	54	no
6	SRAM_A[14]	J25	6A	68	32	77	no
7	SRAM_A[15]	J26	6A	68	32	94	no
8	SRAM_A[16]	N24	6A	68	33	3	no
9	SRAM_A[17]	M24	6A	68	33	20	no
10	SRAM_A[1]	B26	6A	68	47	94	no
11	SRAM_A[2]	H19	6A	68	49	3	no
12	SRAM_A[3]	H20	6A	68	49	20	no
13	SRAM_A[4]	D25	6A	68	49	37	no
14	SRAM_A[5]	C25	6A	68	49	54	no
15	SRAM_A[6]	J20	6A	68	51	3	no
16	SRAM_A[7]	J21	6A	68	51	20	no
17	SRAM_A[8]	D22	6A	68	51	37	no
18	SRAM_A[9]	E23	6A	68	51	54	no
19	SRAM_BE_n[0]	H25	6A	68	35	54	no
20	SRAM_BE_n[1]	M25	6A	68	37	3	no
21	SRAM_CE_n	N23	6A	68	35	3	no

【補足③: ピンのロジック・オプションの確認方法】

ピンのロジック・オプション(補足②参照)の適用結果は、コンパイル・レポートより確認することができます。Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Input Pins / Output Pins / Bidir Pins のレポート内の各項をご覧ください。

例) Current Strength (出力電流値)の適用性を確認する

Compilation Report ⇒ Fitter ⇒ Resource Section ⇒ Output Pins または Bidir Pins を選択し、レポート内の各ピンに対する Current Strength 項より確認できます。



Output Pins

	Name	Pin #	I/O Bank	ordir	ordir	ordir	t Re	able	w R	O Er	n Di	Prim	s Ho	k Pu	I/O Standard	Current Strength
1	SRAM_A[0]	B25	6A	68	47	77	no	no	1	no	no	yes	no	Off	2.5 V	Default
2	SRAM_A[10]	G20	6A	68	52	3	no	no	1	no	no	yes	no	Off	2.5 V	Default
3	SRAM_A[11]	F21	6A	68	52	20	no	no	1	no	no	yes	no	Off	2.5 V	Default
4	SRAM_A[12]	E21	6A	68	52	37	no	no	1	no	no	yes	no	Off	2.5 V	Default
5	SRAM_A[13]	F22	6A	68	52	54	no	no	1	no	no	yes	no	Off	2.5 V	Default
6	SRAM_A[14]	J25	6A	68	32	77	no	no	1	no	no	yes	no	Off	2.5 V	Default
7	SRAM_A[15]	J26	6A	68	32	94	no	no	1	no	no	yes	no	Off	2.5 V	Default
8	SRAM_A[16]	N24	6A	68	33	3	no	no	1	no	no	yes	no	Off	2.5 V	Default
9	SRAM_A[17]	M24	6A	68	33	20	no	no	1	no	no	yes	no	Off	2.5 V	Default
10	SRAM_A[1]	B26	6A	68	47	94	no	no	1	no	no	yes	no	Off	2.5 V	Default
11	SRAM_A[2]	H19	6A	68	49	3	no	no	1	no	no	yes	no	Off	2.5 V	Default
12	SRAM_A[3]	H20	6A	68	49	20	no	no	1	no	no	yes	no	Off	2.5 V	Default
13	SRAM_A[4]	D25	6A	68	49	37	no	no	1	no	no	yes	no	Off	2.5 V	Default
14	SRAM_A[5]	C25	6A	68	49	54	no	no	1	no	no	yes	no	Off	2.5 V	Default
15	SRAM_A[6]	J20	6A	68	51	3	no	no	1	no	no	yes	no	Off	2.5 V	Default
16	SRAM_A[7]	J21	6A	68	51	20	no	no	1	no	no	yes	no	Off	2.5 V	Default
17	SRAM_A[8]	D22	6A	68	51	37	no	no	1	no	no	yes	no	Off	2.5 V	Default
18	SRAM_A[9]	E23	6A	68	51	54	no	no	1	no	no	yes	no	Off	2.5 V	Default
19	SRAM_BE_n[0]	H25	6A	68	35	54	no	no	1	no	no	yes	no	Off	2.5 V	Default
20	SRAM_BE_n[1]	M25	6A	68	37	3	no	no	1	no	no	yes	no	Off	2.5 V	Default
21	SRAM_CE_n	N23	6A	68	35	3	no	no	1	no	no	yes	no	Off	2.5 V	Default

6. Live I/O Checking

※ *Live I/O Checking 機能は、Stratix IV と Arria II、Cyclone IV、MAX V、MAX II デバイスでサポートしています。*

この機能は、ユーザがアサインした I/O ピンの配置がアルテラ FPGA のピン・ガイドライン・ルールに適合であるかどうかを、ピン制約を設定したと同時に Pin Planner 上で簡易チェックします。例えば電圧の異なるピンが同一バンクに混在していた場合や、差動信号とシングル信号の位置関係（パッドの間隔）など、I/O ルールに則ってアサインされているかをフル・コンパイルすることなく（最低でも Analysis & Synthesis の実行は必須）確認できるため、I/O 規格を多く使用するユーザには有効的な機能です。もし、適さないアサインがあった場合には、リアルタイムにエラー・メッセージやワーニング・メッセージを表示します。メッセージは Pin Planner の Message ウィンドウ、Quartus II の Message ウィンドウにそれぞれ表示されます。

なお、Live I/O Checking 実行後は、最終的な I/O 適合検証機能である I/O Assignment Analysis を実行する必要があります。操作は『第 7 章 I/O Assignment Analysis』をご参照ください。

Live I/O Checking の操作は以下のとおりです。

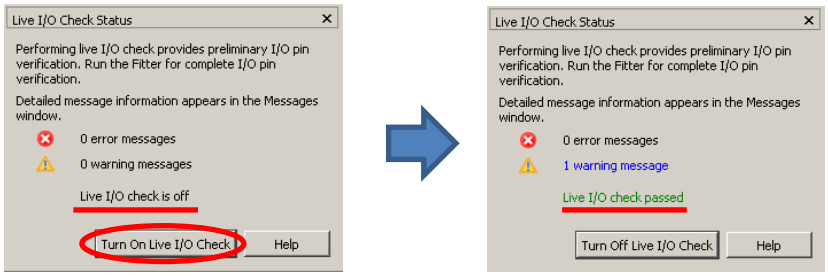
① Processing メニュー ⇒ Start ⇒ Start Analysis & Synthesis を実行します。

※ *すでに実行している場合には、この操作は不要です。*

② Assignments メニュー ⇒ Pins より Pin Planner を起動します。

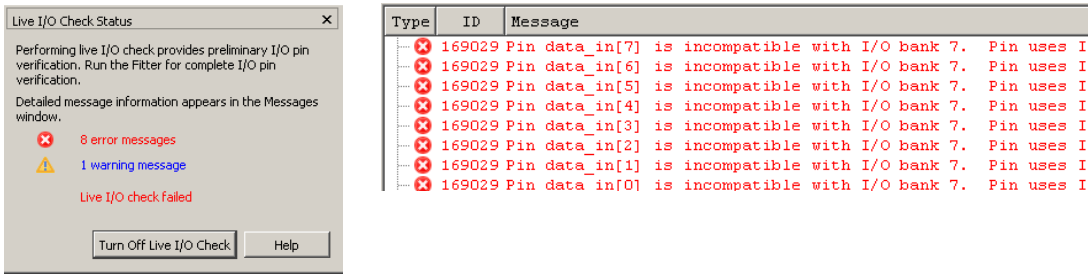
③ View メニュー ⇒ Live I/O Check Status Window を表示させます。

④ ウィンドウ内の Turn On Live I/O Check ボタン、または Pin Planner 内ツール・バーの Enable Live I/O Check ボタン をクリックし、ピン・アサインのチェックを実行します。



⑤ ユーザ I/O ピンのアサイン（番号の割り当て、I/O 規格の設定）や未使用ユーザ I/O ピンの属性などの設定を行います。I/O ルールに違反していなければ、上右図のように“Live I/O check passed”と表示されます。

⑥ I/O ルールに違反していた場合には、Live I/O Check Status ウィンドウにエラーまたはワーニング・メッセージ数が表示され、Pin Planner（または Quartus II）の Message ウィンドウに内容が表示されます。（問題を回避するためにメッセージを確認し、ピンのレイアウトや I/O 規格などを変更する必要があります。）



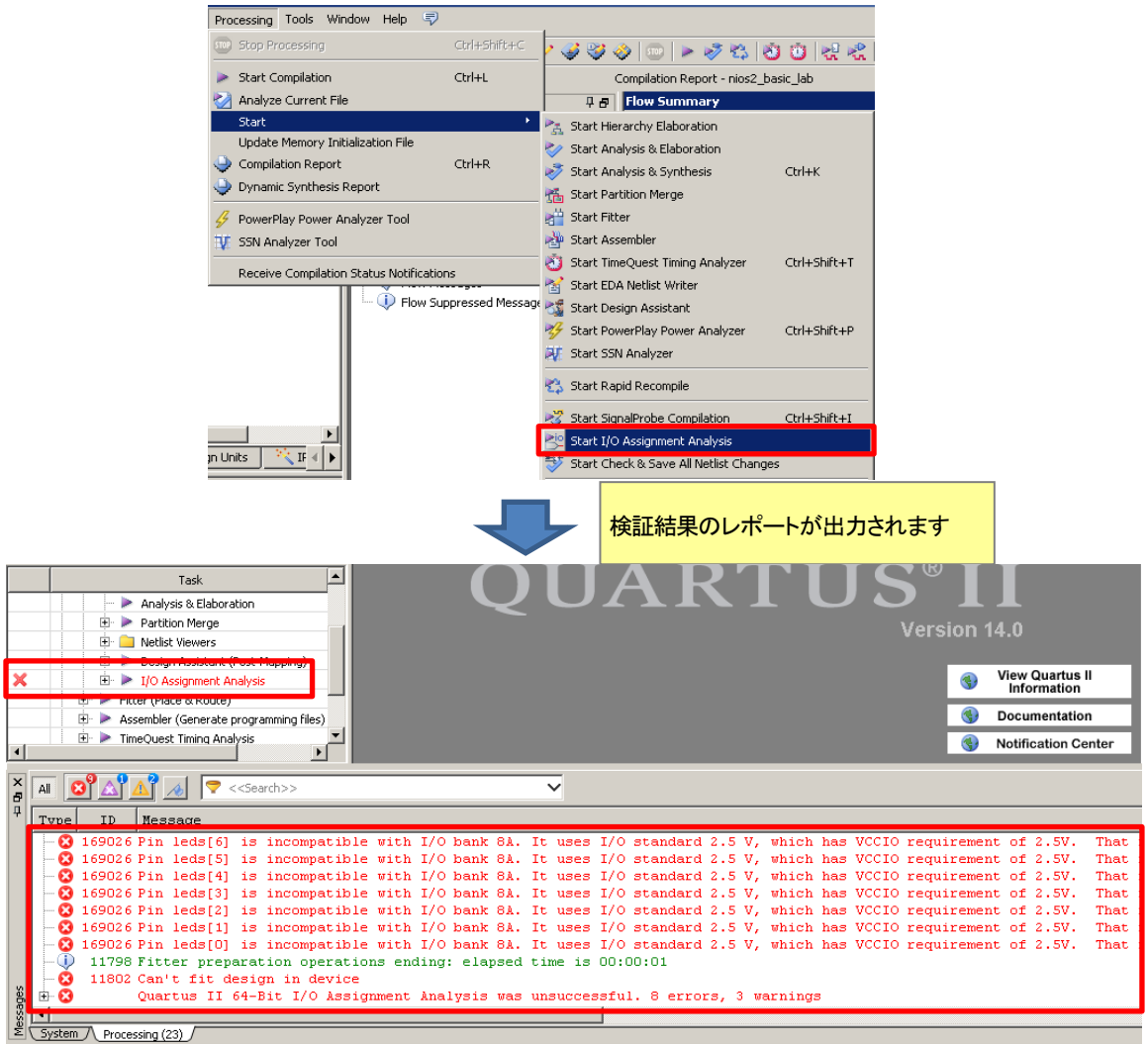
7. I/O Assignment Analysis

Live I/O Checking でエラーが回避できたら、最終的な I/O の検証を行います。この機能は、フル・コンパイルを実行することなく、全ユーザ I/O ピンの制約に対する適合性をチェックします。I/O Assignment Analysis は Live I/O Checking よりも多くの内容をチェックするため、Live I/O Checking の検証後に実行することを推奨します。また、最終的にはコンパイルを実行してください。

基本使用フローは以下のとおりです。

① 事前に Live I/O Checking において、ピン・アサインの適合性を確認しておきます。

② Processing メニュー ⇒ Start ⇒ Start I/O Assignment Analysis を実行します。



エラーやクリティカル・ワーニングがなければ、ピン制約は適合しています。もしエラーが発生した場合は、メッセージを確認し、ピンのレイアウトや I/O 規格などを変更する必要があります。メッセージは Pin Planner（または Quartus II）のメッセージ・ウィンドウに表示されます。エラー・メッセージのみを確認したいときは、メッセージ・ウィンドウ内の Error ボタン をクリックしてください。

8. その他の機能

8-1. Back-Annotate Assignments

ユーザが最初からピン・アサインせずコンパイルを実行した場合、Quartus II のコンパイラは自動的にピンの配置を決定します。そのピン配置結果をユーザのピン制約に反映させることが可能です。その場合は Back-Annotate Assignments 機能を活用します。これは、コンパイル後のセルやピンの配置結果を Quartus II 設定ファイル(.qsf ファイル)へ反映させる機能です。

操作方法は以下のとおりです。

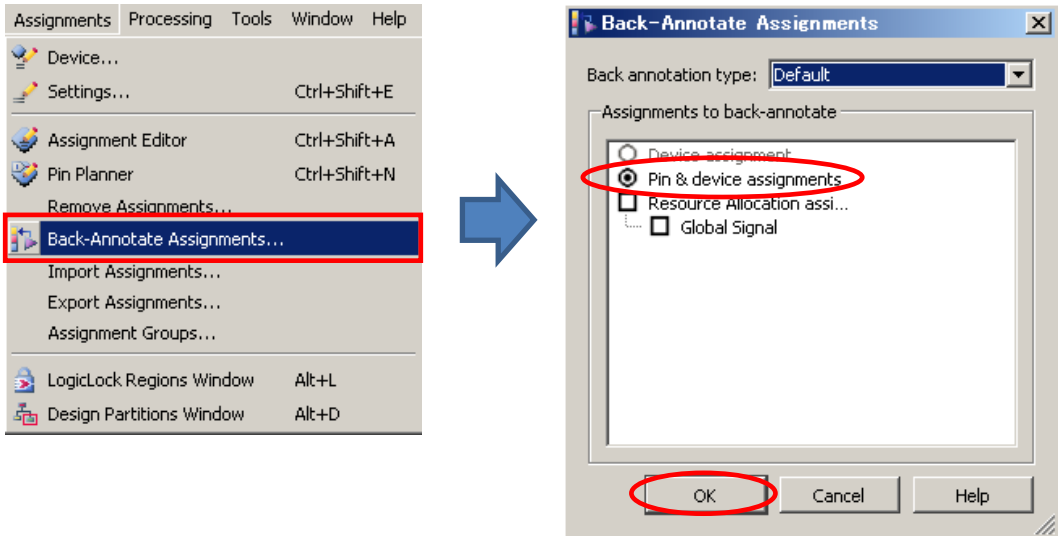
① コンパイルを実行し、ピンを自動で配置させます。

- Processing メニュー ⇒ Start Compilation または ボタンをクリック

② コンパイル後のピン配置情報を Quartus II 設定ファイル(.qsf ファイル)へ反映させます。

- Assignments メニュー ⇒ Back-Annotate Assignments

③ Pin & device assignments にラジオ・ボタンを設定し、OK ボタンをクリックします。



④ Pin Planner (Assignments メニュー) を起動します。デザイン内のピンが Quartus II のコンパイラにより自動的に配置されていることが確認できます。

⑤ ピン番号または I/O 規格において、変更したい内容の修正を行います。

⑥ 修正した内容を適応させるため、Live I/O Checking、I/O Assignment Analysis、コンパイルを実行します。

8-2. CSV ファイル

Quartus II のピン制約は、CSV（カンマ区切り）ファイルに対応しています。Pin Planner の情報をエクスポートしたり、あらかじめ作成しておいた CSV ファイルをインポートしたりできます。CSV ファイルをインポートする場合は、カラム見出しのロウは決められた表記でなければならないため、Pin Planner 上から一度 CSV ファイルをエクスポートし雛形を作成し、それにアサイン情報を入力（編集）し、再びインポートすることを推奨しています。（表記ルールに反すると、Quartus II が内容を認識しません。）

ここでは、ピン・アサインにおいて CSV ファイルを活用するときの推奨の手順を紹介します。

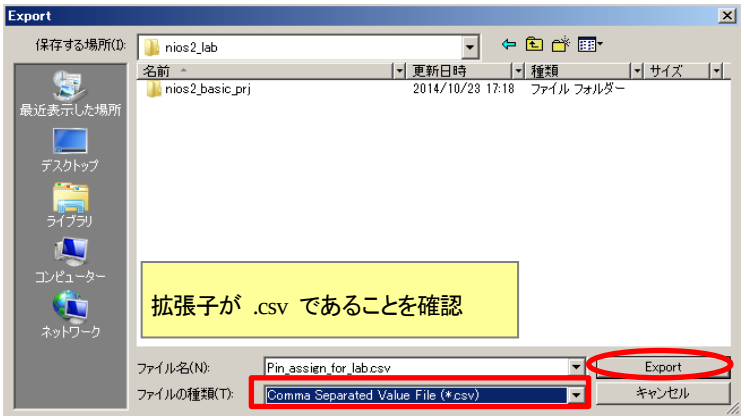
※ この操作でピンをアサインする場合には、「第 2 章 事前作業」を行う必要があります。

8-2-1. CSV ファイルのエクスポート

Pin Planner から CSV ファイルを出力します。

① Assignments メニュー ⇒ Pin Planner を起動します。

② File メニュー ⇒ Export より、出力するディレクトリ先と保存するファイル名を指定し、Export ボタンをクリックします。



8-2-2. ピン制約情報の編集

Pin Planner から CSV ファイルを出力します。

① Microsoft® 社の Excel を活用し、保存した CSV ファイルを開きます。

To	Direction	Location	I/O Bank	I/O Standard	Reserved	Current Strength
altera_reserved_tck	Input					
altera_reserved_tdi	Input					
altera_reserved_tdo	Output					
altera_reserved_tms	Input					
clk_in_one	Input	PIN_R20	5B	1.2-V HSUL		
leds[7]	Output	PIN_H9	8A	2.5 V		
leds[6]	Output	PIN_H8	8A			
leds[5]	Output	PIN_B6	8A			
leds[4]	Output	PIN_A5	8A			
leds[3]	Output	PIN_E9	8A			
leds[2]	Output	PIN_D8	8A			
leds[1]	Output	PIN_K6	8A			
leds[0]	Output	PIN_L7	8A			
pld_clear_n	Input	PIN_AB24	5A			
SRAM_A[17]	Output	PIN_M24	6A			

カラム見出し

デザイン上のピン

② CSV ファイルにおいて、必要な箇所にのみ情報を編集します。それ以外は空欄にします

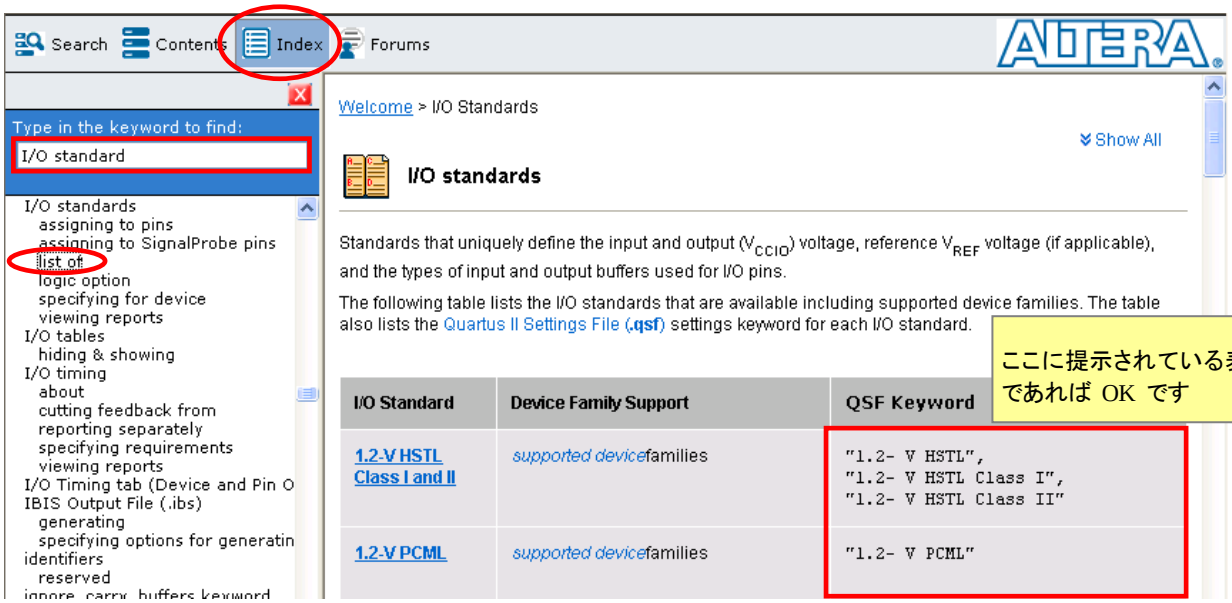
◆ ピン番号を変更する場合は、Location 欄のピン番号を編集します。記述は以下のとおりです。

記述 ： PIN_ 番号　　記述例 ： PIN_E2

◆ I/O Standard を変更する場合は、I/O Standard 欄の規格名を編集します。記述は以下の通りです

記述例 ： SSTL-2 Class II

※ *各規格の記述名は、Assignment Editor または Pin Planner の I/O Standard に表示される表記を参考にするか、Help メニュー ⇒ Search ⇒ Index よりキーワード "I/O standards, list of" をご参照ください。*



③ アサイン情報を入力し終えたら、CSV ファイルを保存します。(ファイル・メニュー ⇒ 上書き保存)

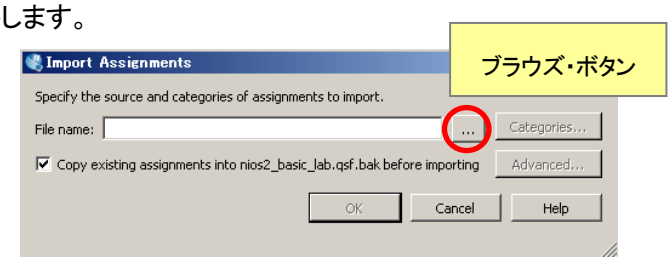
8-2-3. CSV ファイルのインポート

Quartus II にて、編集した CSV ファイルをインポートします。

① Assignments メニュー ⇒ Import Assignment を選択します。

② Select File よりピン・アサイン情報を反映したい CSV ファイルを選択します。

③ OK ボタンをクリックします。



④ Pin Planner または Assignment Editor において設定が反映されていることを確認してください。

- Assignments メニュー ⇒ Pin Planner

⑤ 設定内容を適応させるため、コンパイルを実行します。

- Processing メニュー ⇒ Start Compilation

8-3. Show Fitter Placement

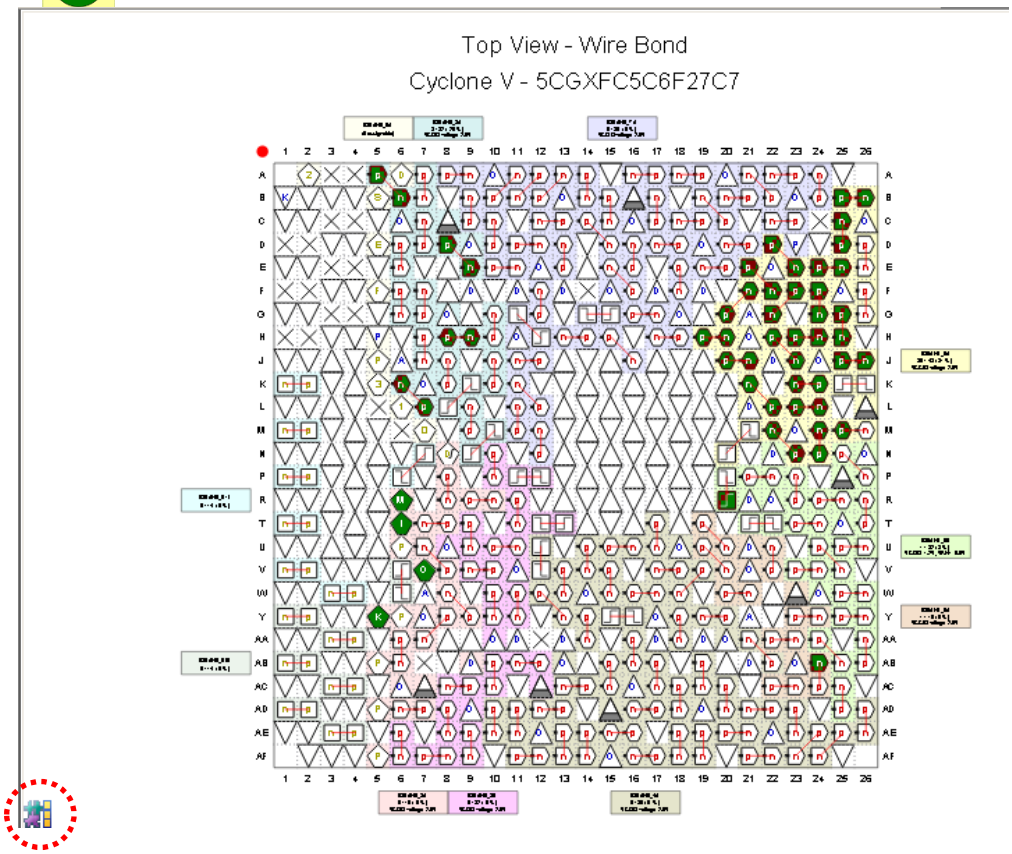
Show Fitter Placements では、Quartus II の Fitter が決めたピン配置を Pin Planner 上で確認することができます。

① Show Fitter Placements を起動します。Pin Planner 上の View メニュー ⇒ Show ⇒ Show Fitter Placements、または、ツール・バーにある をクリックします。Show Fitter Placements を起動するためには、Live I/O Checking を解除しなければなりません。

※ *Live I/O Checking の詳細は、『第 6 章 Live I/O Checking』をご参照ください。*

② パッケージ・ビューのピン表示が下記のように変化します。また左下に が表示され、Fitter が配置したピンが緑色で表示されます。

- ・・・・・ ユーザが配置したピン（赤）
- ・・・・・ Fitter & ユーザが配置したピン（緑と赤の網目）
- ・・・・・ Fitter が配置したピン（緑）



8-4. Pad View ウィンドウ

Quartus II では、デバイスのシグナル・インテグリティの問題をあらかじめ防止するために、ピン配置ルールにもとづき、ピン・アサインの妥当性を検証しています。(第 6 章 Live I/O Checking、第 7 章 I/O Assignment Analysis) 例えば、シングル・エンド信号(入力 / 出力)ピンと差動信号ピンのパッド・ロケーション(間隔)には、"何パッド間隔を空けてアサインしなくてはならない" など制約があります。(パッドとは、デバイスのパッケージ・ピンが接続されているシリコン・ダイの接続部分のことです。)ユーザはピン番号を決める際、どのピン番号がどのパッド・ロケーションに割り当てられているのか把握することが重要です。

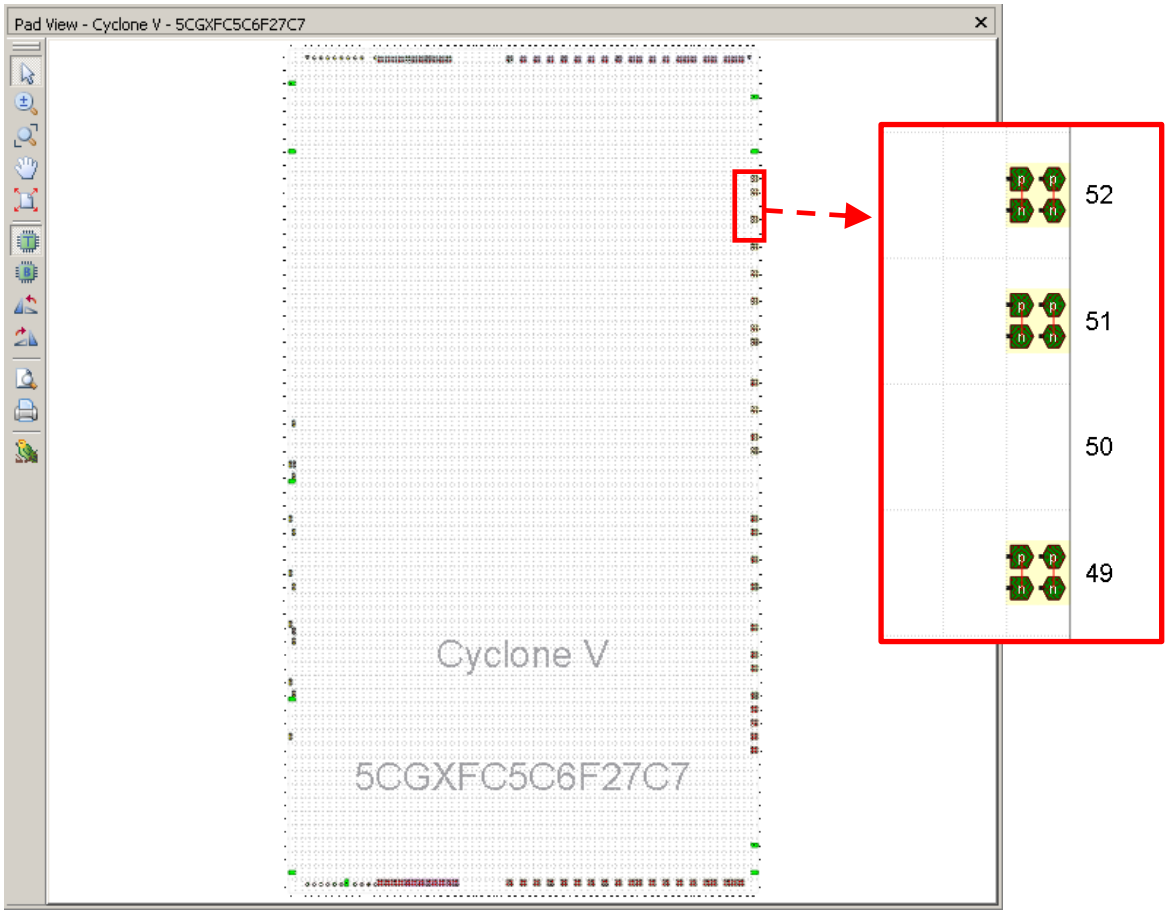
Pin Planner には、パッド・ロケーション用のビューワがあります。ピン配置ルールに沿ってピン番号を決めるときや I/O Assignment Analysis 機能などにより、レイアウトのエラーが発生したときなどにご利用ください。

※ ピン配置ルールについては、各デバイスや Quartus II のハンドブックをご参照ください。

操作方法は、以下のとおりです。

① Pin Planner を起動

② Pin Planner 上の View メニュー ⇒ Pad View



改版履歴

Revision	年月	概要
1	2014 年 11 月	初版
2	2016 年 2 月	誤記訂正 ・ 「3. ユーザ I/O ピンのアサイン方法」の【補足②:ピンのロジック・オプション】の説明修正。 ・ 「4. 未使用ユーザ I/O ピンの属性設定方法」の As SignalProbe output の説明を追加。 ・ 「5. コンパイル後の確認」の「◆ デザイン上に存在するピンだけを確認する方法」の③の説明修正。

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。

   株式会社アルティマ　ホームページ: http://www.altima.co.jp　技術情報サイト EDISON: https://www.altima.jp/members/index.cfm

   株式会社エルセナ　ホームページ: http://www.elsena.co.jp　技術情報サイト ETS : https://www.elsena.co.jp/elspear/members/index.cfm
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカ発行の英語版の資料もあわせてご利用ください。