

Quartus II TimeQuest Timing Analyzer レポートの見方と解析の仕方 クイックガイド

ver.13

Quartus II

TimeQuest Timing Analyzer レポートの見方と解析の仕方

クイックガイド

目次

| | |
|------------------------------------------|----|
| 1. はじめに | 3 |
| 2. TimeQuest Timing Analyzer レポート | 3 |
| 2-1. 各フォルダの概要 | 3 |
| 2-2. サマリ・レポートの概要 | 5 |
| 2-3. 詳細レポート(パス・スラック・レポート)の生成 | 7 |
| 3. 詳細レポート | 8 |
| 3-1. 詳細レポートの概要 | 8 |
| 3-2. パス・サマリ | 9 |
| 3-3. パス・スラック・レポート | 9 |
| 3-3-1. Path Summary タブ | 10 |
| 3-3-2. Statistics タブ | 10 |
| 3-3-3. Data Path タブ | 11 |
| 3-3-4. Waveform タブ | 12 |
| 3-3-5. Extra Fitter Information タブ | 12 |
| 4. グラフィカル・ビューワの活用 | 13 |
| 4-1. Chip Planner | 14 |
| 4-2. Technology Map Viewer | 15 |
| 4-3. Resource Property Editor | 16 |
| 5. タイミング・エラーの解析例 | 18 |
| 改版履歴 | 24 |

1. はじめに

Quartus® II のコンパイル後、ユーザは生成されたコンパイル・レポート内の TimeQuest Timing Analyzer フォルダを確認し、スタティック・タイミング解析を行います。コンパイル・レポートの TimeQuest Timing Analyzer フォルダは、主に解析結果のサマリが掲載されています。例えば、SDC で指定したクロック・ドメインに対するスラック値や End Point TNS (Total Negative Slack) などがわかります。ですが、そこからさらに踏み込んだ解析ができません。そこで TimeQuest タイミング・アナライザ・ツールを起動しタイミングがミートできなかったパスの詳細レポートを生成させ、その要因を追及し、改善のための対策を試案します。

この資料では、TimeQuest タイミング・アナライザによって生成したパス・スラック・レポートの見方を大まかに解説します。また、パス・スラック・レポートの情報を Quartus II に内蔵されたグラフィカル・ビューワ・ツールへ反映させるクロスプローブ方法もご紹介します。

TimeQuest タイミング・アナライザにおけるタイミングの考え方や操作フローについては、担当する各代理店の技術情報サイトにおいて以下のタイトル資料をご確認ください。

『Quartus II におけるタイミング解析の概要 ~ TimeQuest ~』

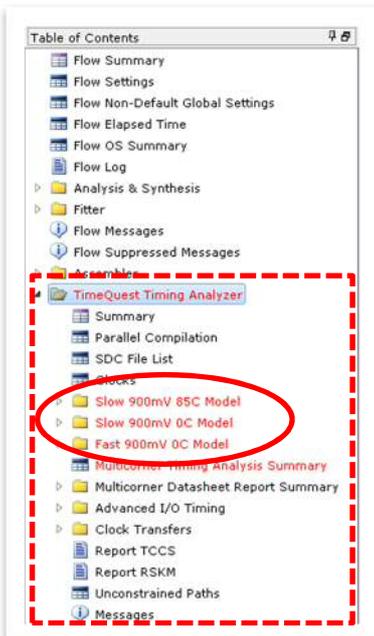
なお、TimeQuest タイミング・アナライザは、MAX® 3000 および MAX 7000 シリーズを除いた Quartus II でサポートされているデバイス・ファミリをすべてサポートしています。また、ご利用になる Quartus II のバージョンによりサポートされているデバイス・ファミリのラインナップが異なりますので、詳しくは各バージョンの Help メニュー ⇒ Devices and Adapters をご確認ください。

2. TimeQuest Timing Analyzer レポート

コンパイル実行が終了すると、レポート内に TimeQuest Timing Analyzer フォルダが生成されます。ここには、配置配線結果から見積もった遅延情報を素に、あらかじめユーザが設定した SDC ファイルのタイミング制約との比較解析結果のサマリが記録されています。

この章では、TimeQuest Timing Analyzer の各フォルダの概要と、詳細レポートの生成方法を解説します。

2-1. 各フォルダの概要



コンパイル・レポートの TimeQuest Timing Analyzer フォルダは、左図のようにカテゴリごとにフォルダ分けされています。タイミング・モデルごとに解析結果が格納されていますが、そのモデル数はターゲット・デバイスの半導体プロセスにより以下のように異なります。

■ 65nm/60nm/40nm プロセス・デバイス ⇒ 3 つのタイミング・モデルを所有

主に、Stratix® IV、Statix III、Arria® II、Cyclone® IV、Cyclone III

■ 28nm/20nm/14nm プロセス・デバイス ⇒ 4 つのタイミング・モデルを所有

主に、Stratix V、Arria 10*, Arria V、Cyclone V

(※ Arria 10 のタイミング・モデルは、現在 Slow モデルのみ公開されています。)

■ それ以外 (90nm 以上) のプロセス・デバイス ⇒ 2 つのタイミング・モデルを所有

赤文字で表示されている項目は、タイミング制約に対して満足していない(タイミング・エラー)パスが含まれていることを示しています。

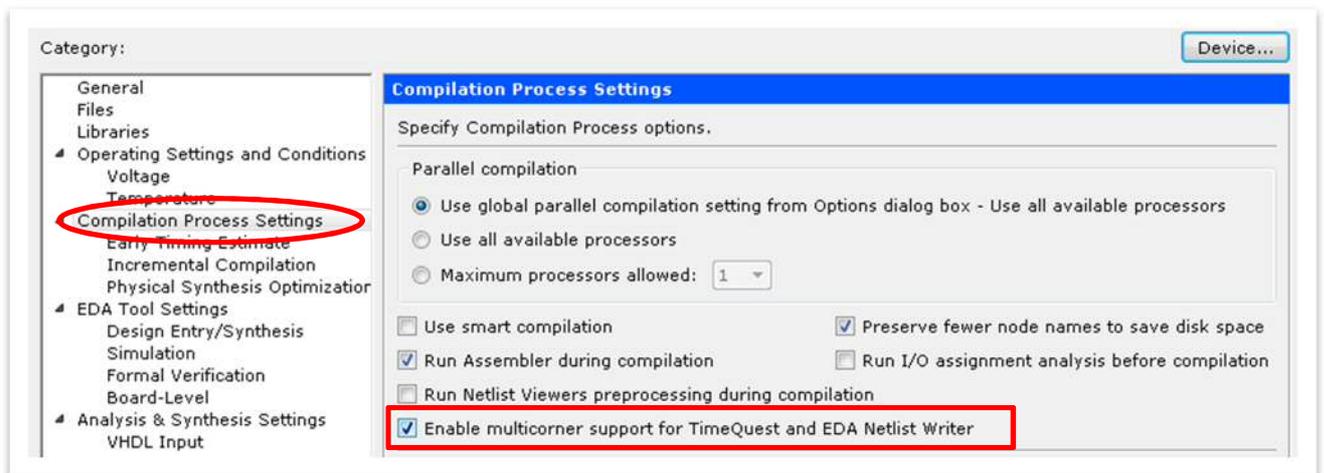
コンパイル・レポートの TimeQuest Timing Analyzer フォルダに複数のタイミング・モデルによるサマリ・レポートを生成させるには、コンパイル実行の前に TimeQuest Timing Analyzer のマルチコーナー・タイミング解析オプションを有効にしてください。

◆ マルチコーナー・タイミング解析オプション

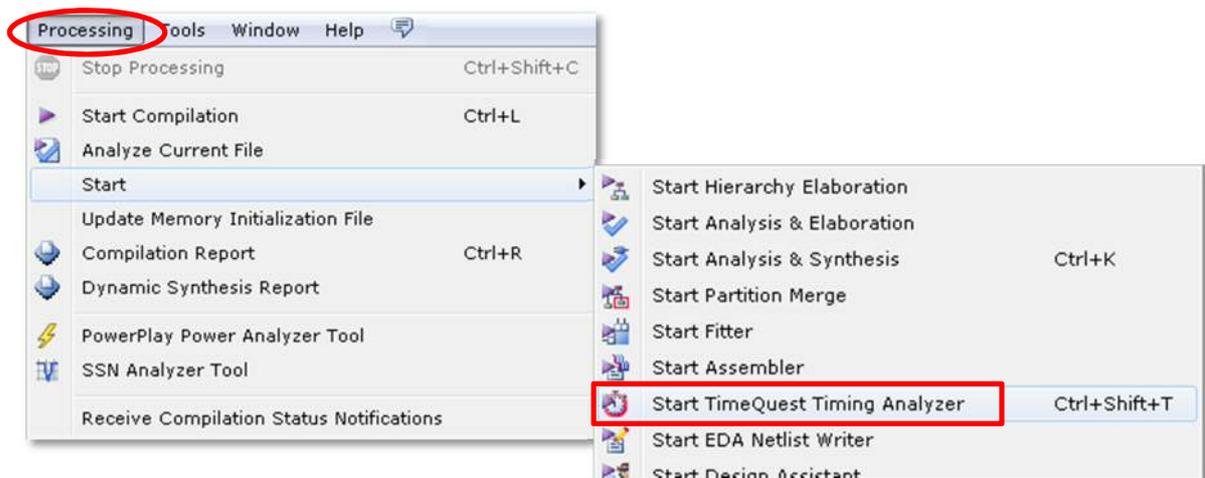
1. Assignments メニュー ⇒ Settings を選択します。
2. Compilation Process Settings カテゴリを選択し、以下のオプションを有効(ON)にします。

“Enable multicorner support for TimeQuest and EDA Netlist Writer”

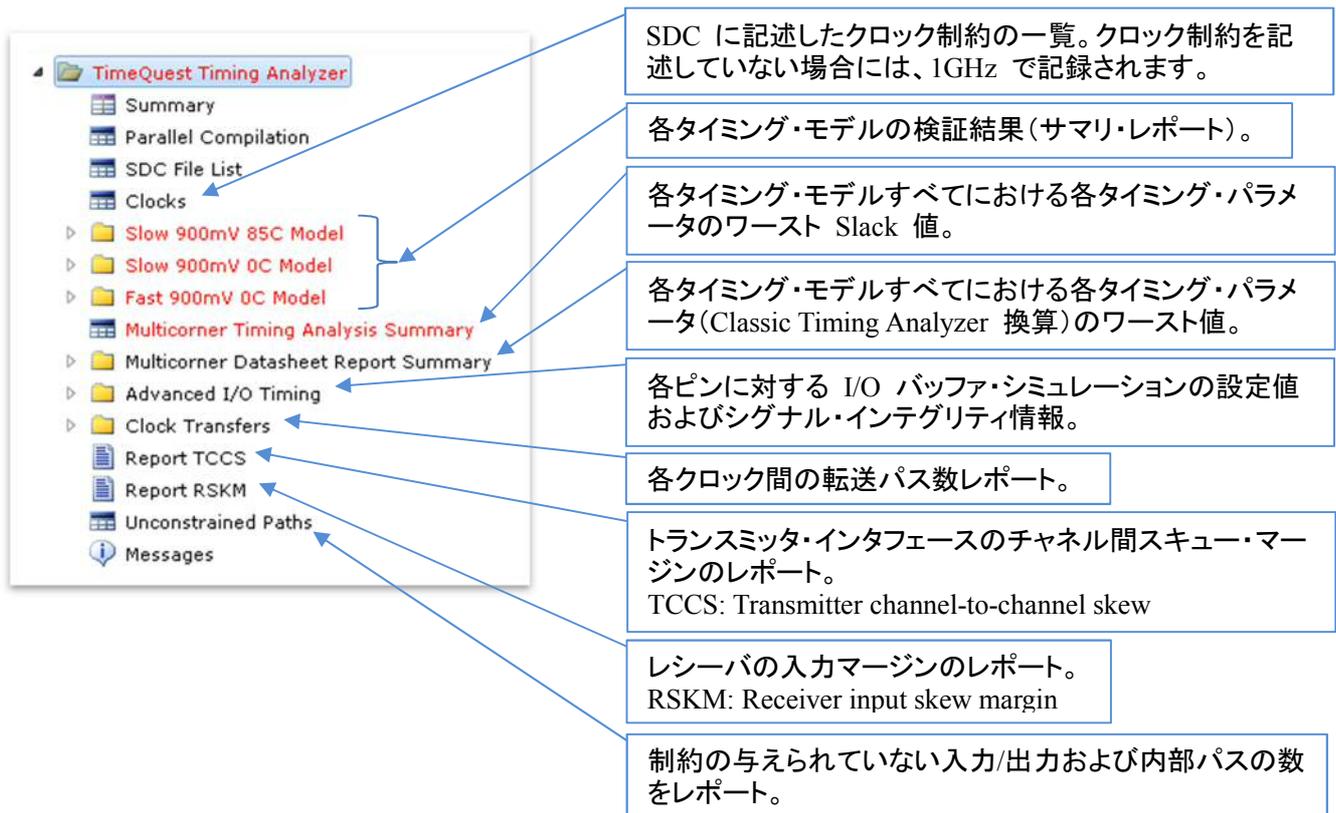
3. [Apply]、[OK] ボタンを押します。



もしもコンパイル実行後にこのオプションを適応させてレポートを生成させる場合には、オプション設定後に TimeQuest Timing Analyzer プロセスを単独で実行してください。フルコンパイルすることなく最終の配置配線結果からタイミングを解析しレポートを生成します。



TimeQuest Timing Analyzer フォルダの各カテゴリの概要は以下のとおりです。

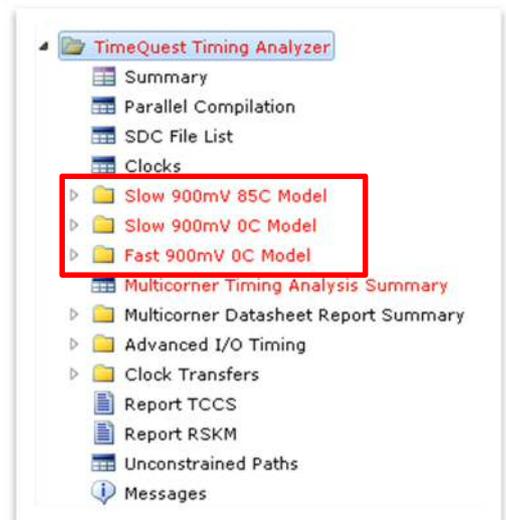


2-2. サマリ・レポートの概要

SDC に制約漏れが無いことを前提とし、主にユーザはコンパイル・レポートの TimeQuest Timing Analyzer フォルダに生成された各タイミング・モデルの検証結果(サマリ・レポート)においてタイミング・エラーが発生していないかを確認します。

前項 2-1 でも述べましたが、タイミング・モデルは複数存在するため、サマリ・レポートも複数フォルダ生成されます。それは、半導体デバイスがプロセス[P](製造のばらつき)、電圧[V]、温度[T]によって、回路の遅延が変動するためです。この 3 つの組み合わせ[PVT]を「デバイスの動作条件」と呼びます。電圧が高く温度が低いほど遅延は小さくなり、高速で動作します。最も高速の動作条件を「Fast コーナー」、最も低速の動作条件を「Slow コーナー」と言います。タイミングの解析は、少なくともこの 2 つの動作条件で行います。

“少なくとも 2 つの動作条件”と書いたのは、デバイス(FPGA)ベンダにより考え方が異なるためです。例えば、アルテラ社の FPGA の場合、90nm までの FPGA は 2 つの動作条件ですが、65nm 以降の FPGA は 3 つ、28nm 以降の FPGA は 4 つの動作条件でタイミングを解析します。一般的には、Fast/Slow の 2 つで、すべての条件をカバーできるように、タイミング・モデルに余裕(ガードバンド)を持たせます。動作条件を追加すれば、より正確な解析ができるため、2 つ以上の動作条件を使う場合もあります。つまり、ユーザはすべてのタイミング・モデルに対して要求したタイミングを満足したかどうかを確認する必要があります。



ここから、Slow コーナーのサマリ・レポート・フォルダを例に各項目を解説します。

The screenshot shows a folder named "Slow 900mV 85C Model" containing several reports. Blue arrows point from text boxes to specific reports in the folder:

- Slow コーナー (0.9V/85°Cの環境条件)のタイミング・モデルで解析したレポートであることを示しています。** (Points to the folder name)
- 同一クロック・ドメインでドライブされるレジスタ間の最大動作周波数(Fmax)。** (Points to Fmax Summary)
- SDC の要求を満足できていないパスのワースト 5 をピックアップし、詳細レポートを表示させる Report Timing Closure Recommendations コマンドがショートカットでリンクされています。(Slow モデルにのみ掲載)** (Points to Timing Closure Recommendations)
- SDC で制約した各クロック・ドメインのセットアップ・スラック/ホールド・スラック/リカバリ・スラック/リムーバル・スラックのサマリ・レポート。** (Points to Setup Summary)
- 最小パルス幅と最小周期の検証結果のサマリ。** (Points to Hold Summary)
- Classic Timing Analyzer の換算方式で検証した各パラメータのレポート。** (Points to Recovery Summary)
- メタステーブル解析レポート。** (Points to Removal Summary)
- メタステーブル解析レポート。** (Points to Minimum Pulse Width Summary)
- メタステーブル解析レポート。** (Points to Datasheet Report)
- メタステーブル解析レポート。** (Points to Metastability Report)

ここで、タイミング・エラーになっている項目に着目します。

Setup Summary をクリックすると、下図のように Slow コーナー (0.9V/85°Cの環境条件)におけるクロックごとのセットアップ解析のサマリ・レポートが表示されます。それぞれの列のラベルは、「Clock」、「Slack」、「End Point TNS」となっています。

| Slow 900mV 85C Model Setup Summary | | | |
|------------------------------------|-------------|--------|---------------|
| | Clock | Slack | End Point TNS |
| 1 | vir_clk250m | -2.824 | -62.790 |
| 2 | clk250m | 0.430 | 0.000 |
| 3 | clk100m | 0.565 | 0.000 |
| 4 | clk50m | 14.158 | 0.000 |

「Clock」列にはクロック・ドメインの名前が表示されます。

「Slack」列にはクロック・ドメインの最小スラックが表示されます。この値がマイナスのときは赤で表示され、タイミングを満たしていないパスがあることを示します。

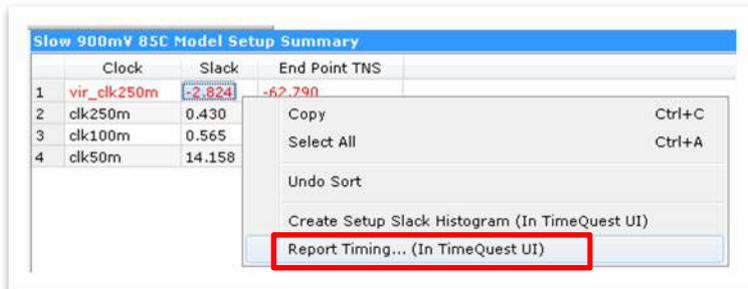
「End Point TNS」の TNS は “Total Negative Slack” の略で、クロック・ドメイン内のマイナスのスラック値を合計した値です。この値が大きいほど、そのクロック・ドメインにはタイミングを満たさないパスが数多く残っていて、タイミング収束が難しいと考えられます

さらに詳しい解析をするには、“タイミングを満たさなかったパスがどのように構成されているのか”を確認するため、詳細レポート(パス・スラック・レポート)を生成します。(次項 2-3)

2-3. 詳細レポート(パス・スラック・レポート)の生成

サマリ・レポートからさらに詳しい解析をするために、詳細レポート(パス・スラック・レポート)を生成します。

メーカーの資料には、別途 TimeQuest Timing Analyzer を起動して目的のタイミング・モデルを選択し、再度サマリ・レポートを生成させ詳細レポートを生成させる作業フローが掲載されているものが多くありますが、この資料では手軽に詳細レポートを生成させる方法をご紹介します。



コンパイル・レポート内の TimeQuest Timing Analyzer フォルダから詳細の解析をしたいタイミング・モデル (Slow/Fast) のフォルダを展開し、目的のパラメータのサマリ・レポートを選択します。

Setup Summary レポートで詳細を確認したいクロック・ドメインを選択して、右クリックします。表示されたプルダウン・メニューから [Report Timing... (In TimeQuest UI)] を選択します。

自動的に TimeQuest が起動し、バックグラウンドで指定したタイミング・モデルのネットリスト (Post-fit) が生成され、登録した SDC ファイルが読み込まれ、指定した内容が入力された状態で Report Timing ダイアログ・ボックスが表示されます。このまま [Report Timing] ボタンをクリックしても詳細なレポートが作成されますが、下の項目を追加することで、表示するパスを絞り込むことができます。

- Ⓐ パスの送信 (From) と受信 (To) のクロックを指定します。

コンパイル・レポートからのリンクでこのダイアログ・ボックスを開いた場合は、受信クロック (To clock) だけが入力された状態になっています。

- Ⓑ パスの始点 (From)、終点 (To)、通過点 (Trough) を指定します。

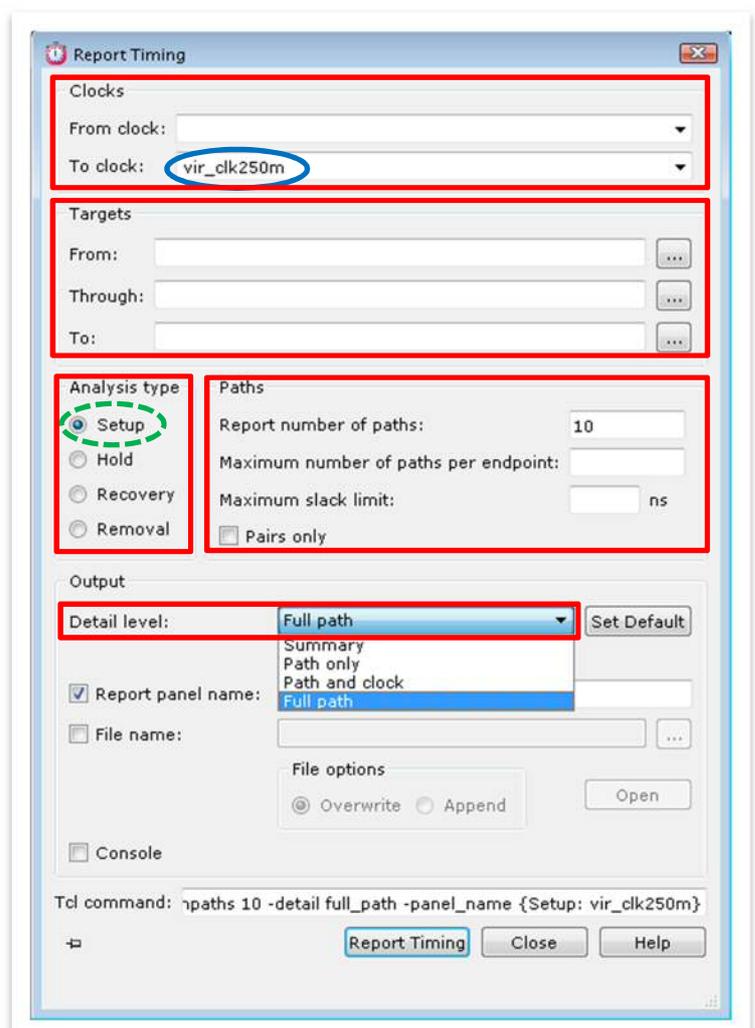
- Ⓒ セットアップ、ホールド、リカバリ、リムーバルのいずれかを選択します。

コンパイル・レポートからのリンクで開いたので、セットアップが選択された状態になっています。

- Ⓓ レポートに表示するパスの数を指定します。デフォルトは 10 パスです。スラックがある値より小さいパスだけ、という指定もできます。

- Ⓔ 表示するレポートの詳細レベルを指定します。

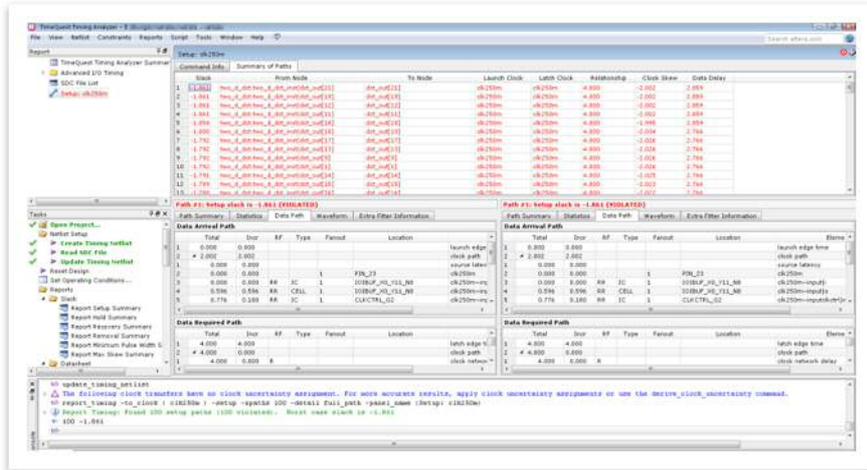
[Report Timing] ボタンをクリックすると、詳細レポート (パス・スラック・レポート) が表示されます。



3. 詳細レポート

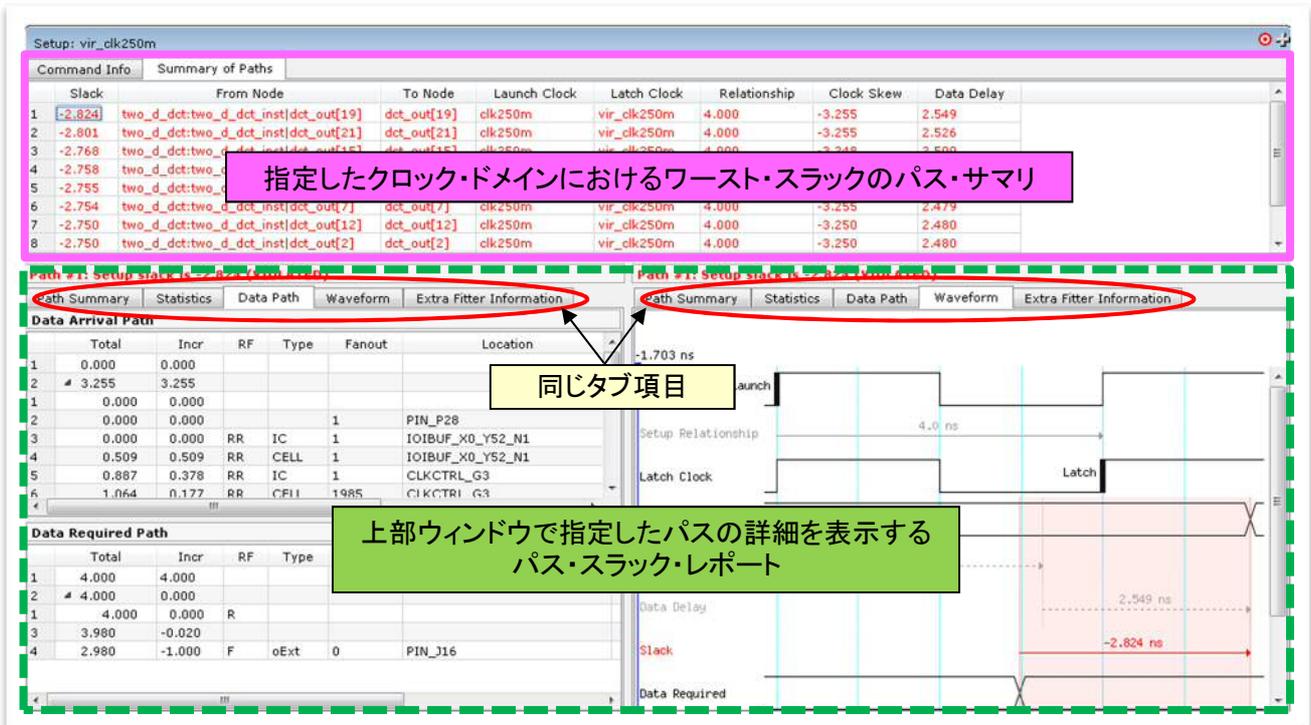
TimeQuest Timing Analyzer レポートの各モデルのサマリから Report Timing ボタンのリンク実行により詳細レポートを生成したら、そのパス・スラック・レポートを解析します。この詳細レポートで、タイミングを満たさなかったパスがどのように構成されているのかを確認し、要因を明確化させます。

この章では、詳細レポート(パス・スラック・レポート)の各ウィンドウの概要と見方を解説します。



3-1. 詳細レポートの概要

Report Timing により生成したレポートは、下図のとおり大きく2画面で構成されています。



上部ウィンドウでパスをクリック(指定)すると、下位ウィンドウが連動して指定パスの詳細を表示する仕組みになっています。下部ウィンドウは左右に分割され同じタブが用意されているので、同時に別タブの情報を見ることができます。

3-2. パス・サマリ

クロック・ドメインにおけるワースト・スラックのパス・サマリのウィンドウ（詳細レポートの上部）では、以下の情報が確認できます。

| Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship | Clock Skew | Data Delay |
|--------|--------------------------------------|-------------|--------------|-------------|--------------|------------|------------|
| -2.824 | two_d_dct:two_d_dct_inst dct_out[19] | dct_out[19] | clk250m | vir_clk250m | 4.000 | -3.255 | 2.549 |
| -2.801 | two_d_dct:two_d_dct_inst dct_out[21] | dct_out[21] | clk250m | vir_clk250m | 4.000 | -3.255 | 2.526 |
| -2.768 | two_d_dct:two_d_dct_inst dct_out[15] | dct_out[15] | clk250m | vir_clk250m | 4.000 | -3.248 | 2.500 |
| -2.758 | two_d_dct:two_d_dct_inst dct_out[6] | dct_out[6] | clk250m | vir_clk250m | 4.000 | -3.248 | 2.490 |
| -2.755 | two_d_dct:two_d_dct_inst dct_out[20] | dct_out[20] | clk250m | vir_clk250m | 4.000 | -3.255 | 2.480 |
| -2.754 | two_d_dct:two_d_dct_inst dct_out[7] | dct_out[7] | clk250m | vir_clk250m | 4.000 | -3.255 | 2.479 |
| -2.750 | two_d_dct:two_d_dct_inst dct_out[12] | dct_out[12] | clk250m | vir_clk250m | 4.000 | -3.250 | 2.480 |
| -2.750 | two_d_dct:two_d_dct_inst dct_out[2] | dct_out[2] | clk250m | vir_clk250m | 4.000 | -3.250 | 2.480 |

スラック値(単位は ns)は、SDC 制約に対してのマージンです。マイナス値の場合には、期待値に対してどのくらい不足しているかを示します。

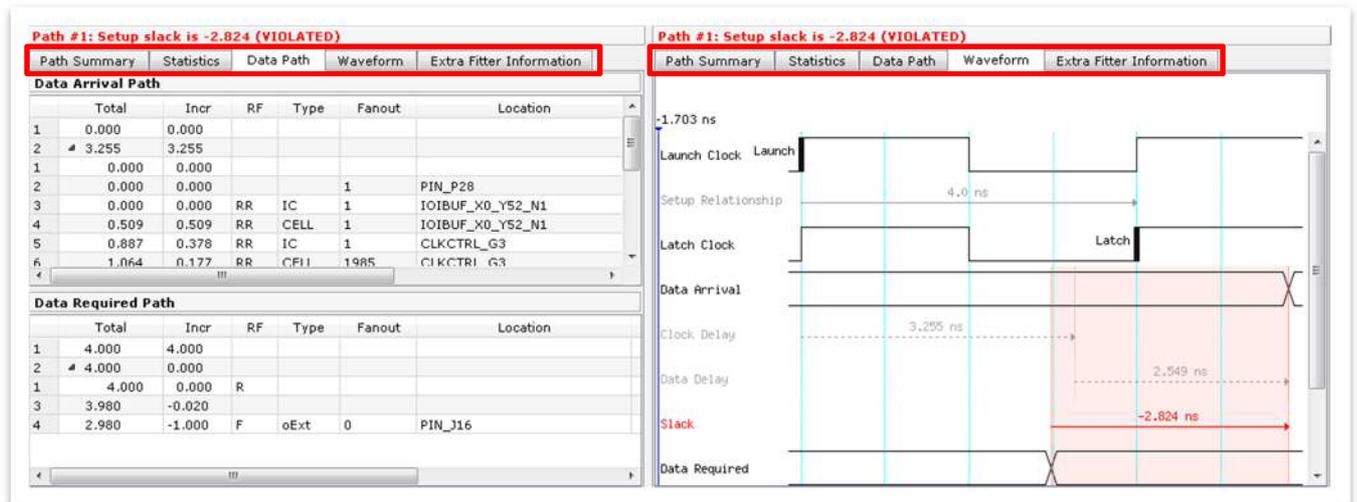
例えば 1 行目は、以下のように読み取ります。

送信ノード “two_d_dct:two_d_dct_inst|dct_out[19](レジスタ)” から受信ノード “dct_out[19](出力ピン)” に接続している対向デバイスの入力レジスタ” はそれぞれ SDC で定義されたクロック clk250m、vir_clk250m でドライブされており、そのノード間の遅延は SDC で制約した期待値に対して 2.824ns 不足している。

では、このノード間はどのような経路により期待値を満足できないのでしょうか。そのさらに詳細を検証するためには、パス・スラック・レポートを解析します。

3-3. パス・スラック・レポート

詳細サポートの下部に位置するパス・スラック・レポートは、左右に分割され同じタブが用意されており、同時に別タブの情報を見ることができます。



タイミング・エラーを起こしているパスを改善するため、ユーザはこれらの情報から現状(要因)を把握する必要があります。

各タブの概要を紹介します。

3-3-1. Path Summary タブ

パス・サマリで選択した行(ノード間)におけるスラック値とパスのサマリを表示しています。

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information |
|----------------------|--------------------------------------|------------|-----------|----------|--------------------------|
| Property | Value | | | | |
| 1 From Node | two_d_dct:two_d_dct_inst dct_out[19] | | | | |
| 2 To Node | dct_out[19] | | | | |
| 3 Launch Clock | clk250m | | | | |
| 4 Latch Clock | vir_clk250m | | | | |
| 5 Data Arrival Time | 5.804 | | | | |
| 6 Data Required Time | 2.980 | | | | |
| 7 Slack | -2.824 (VIOLATED) | | | | |

Data Arrival Time(データ到着時間)とは、共通のクロック・ソースの送信エッジから送信レジスタを通過して、受信レジスタにデータが到着するまでの時間のことです。これは、送信レジスタまでのクロック遅延、送信レジスタの遅延、受信レジスタまでのデータ遅延の合計です。

Data Required Time(データ所要時間)とは、受信レジスタが正しくデータを受け取るために信号が到達しておくべき時間のことです。

Slack は SDC 制約に対して、実際の回路が持つタイミングのゆとり(マージン)のことです。以下の式により算出され、回路内のすべてのパスに対してスラックがプラスの値になればその回路はタイミング条件を満たし、正しく動作することを表します。

- ・ セットアップ・スラック = セットアップ・データ所要時間 - データ到着時間
- ・ ホールド・スラック = データ到着時間 - ホールド・データ所要時間

3-3-2. Statistics タブ

パス・サマリで選択した行(ノード間)におけるパス遅延の統計を表示しています。

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | |
|--------------------------|--------|------------|-------------|------------|--------------------------|-------|--|
| Property | Value | Count | Total Delay | % of Total | Min | Max | |
| 1 Setup Relationship | 4.000 | | | | | | |
| 2 Clock Skew | -3.255 | | | | | | |
| 3 Data Delay | 2.549 | | | | | | |
| 4 Number of Logic Levels | 0 | | | | | | |
| 5 Physical Delays | | | | | | | |
| Arrival Path | | | | | | | |
| Clock | | | | | | | |
| IC | 3 | 1.986 | 61 | 0.000 | 1.608 | | |
| Cell | 3 | 1.269 | 38 | 0.177 | 0.583 | | |
| Data | | | | | | | |
| IC | 1 | 0.000 | 0 | 0.000 | 0.000 | | |
| Cell | 3 | 2.455 | 96 | 0.000 | 2.120 | | |
| uTco | 1 | 0.094 | 3 | 0.094 | 0.094 | | |
| Required Path | | | | | | | |
| Clock | | | | | | | |
| Clock Network (Lumped) | 1 | 0.000 | | | 0.000 | 0.000 | |

Arrival Path および **Required Path** は、Data Arrival Path、Data Required Path のクロックとデータの内訳を表しています。

IC (Inter Connect)は、内部配線の遅延の合計を表示しています。**Cell** は、内部セル(ピン、ロジック・エレメントなど配線以外の部分)の遅延の合計を表しています。**uTco** は、内部レジスタの出力遅延(Tco) です。

3-3-3. Data Path タブ

パス・サマリで選択した行(ノード間)におけるパス遅延の詳細(経路)を表示しています。この Data Path タブをメインに検証します。

画面は Data Arrival Path と Data Required Path に分かれていて、“データ到着時間”と“データ所要時間”のパスを表示しています。(“データ到着時間”と“データ所要時間”の意味については、本資料 10 ページ “3-1-1. Path Summary タブ”を参照してください。)

以下は、Report Timing の詳細レベル(Detail Level)に Full path を選択した場合のパス・スラック・レポートです。

| Data Arrival Path | | | | | | | | |
|-------------------|-------|-------|----|------|--------|-------------------------|-------|--------------------------------------|
| | Total | Incr | RF | Type | Fanout | Location | HS/LP | Element |
| 1 | 0.000 | 0.000 | | | | | | launch edge time |
| 2 | 3.255 | 3.255 | | | | | | clock path |
| 1 | 0.000 | 0.000 | | | | | | source latency |
| 2 | 0.000 | 0.000 | | | | | | clk250m |
| 3 | 0.000 | 0.000 | RR | IC | 1 | IOIBUF_X0_Y52_N1 | | clk250m~input i |
| 4 | 0.509 | 0.509 | RR | CELL | 1 | IOIBUF_X0_Y52_N1 | | clk250m~input o |
| 5 | 0.887 | 0.378 | RR | IC | 1 | CLKCTRL_G3 | | clk250m~inputclkctrl inclk |
| 6 | 1.064 | 0.177 | RR | CELL | 1985 | CLKCTRL_G3 | | clk250m~inputclkctrl outclk |
| 7 | 2.672 | 1.608 | RR | IC | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct_inst dct_out[19] clk |
| 8 | 3.255 | 0.583 | RR | CELL | | | | two_d_dct:two_d_dct_inst dct_out[19] |
| 3 | 5.804 | 2.549 | | | | | | data path |
| 1 | 3.349 | 0.094 | | uTco | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct:two_d_dct_inst dct_out[19] |
| 2 | 3.684 | 0.335 | FF | CELL | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct_inst dct_out[19] q |
| 3 | 3.684 | 0.000 | FF | IC | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output i |
| 4 | 5.804 | 2.120 | FF | CELL | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output o |
| 4 | 8.804 | 0.000 | FF | CELL | 0 | PIN_J16 | | dct_out[19] |

| Data Required Path | | | | | | | |
|--------------------|-------|--------|----------|-------|---------------------|---------|-------------|
| | Total | Incr | Location | HS/LP | Element | | |
| 1 | 4.000 | 4.000 | | | latch edge time | | |
| 2 | 4.000 | 0.000 | | | clock path | | |
| 1 | 4.000 | 0.000 | R | | clock network delay | | |
| 3 | 3.980 | -0.020 | | | clock uncertainty | | |
| 4 | 2.980 | -1.000 | F | oExt | 0 | PIN_J16 | dct_out[19] |

その他、各列では以下の内容が確認できます。

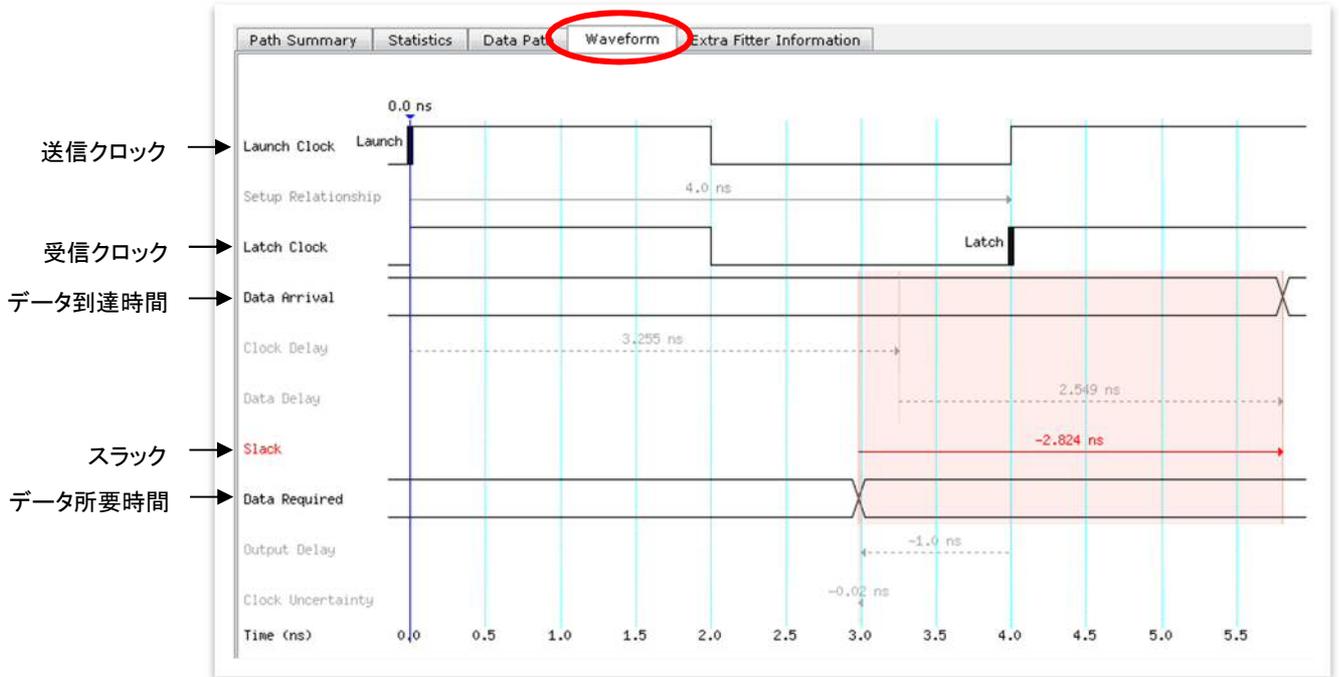
| | | |
|----------|---------------------------------------------|---------------------------|
| Total | ノードまでの遅延時間の合計 | |
| Incr | ノードの遅延時間 | |
| RF | 信号の立ち上がり(Rise)、立ち下がり(Fall)のどちらを解析したパスかを示します | |
| Type | ノードのタイプを示します | |
| | CELL | 論理セル |
| | IC | 配線 (Inter Connect) |
| | COMP | PLL の位相補正值 |
| | uTco/uTsu/uTh | レジスタの出力遅延、セットアップ時間、ホールド時間 |
| | iExt/oExt | 入出力の制約設定値 |
| Fanout | ノードのファンアウト数 | |
| Location | ノードの配置された位置 | |
| Element | ノードの名前 | |

3-3-4. Waveform タブ

パス・サマリで選択した行(ノード間)における Data Path タブの情報をグラフィカルに波形表示しています。

この画面には、データ到達時間、データ所要時間、スラックの関係が波形で表示されるので、直感的、視覚的にもわかりやすく検証ができます。

特に入出カタイミングの解析では、設計者が与えた制約と、解析した結果から得られるスラックなどの関係が、Data Path タブなどの数値のみではわかりにくいことがあるので、Data Path タブと同時に Waveform タブを見ることでより解析しやすくなります。



3-3-5. Extra Fitter Information タブ

パス・サマリで選択した行(ノード間)におけるフィッタ情報(配置情報)を視覚的に表示しています。このタブは、65nm 以下のプロセス・デバイスにのみ表示されます。

| Type | Location | Element | Partition | Bounding Box | Location Constraint Sources | Routing to Node is Constrained | Constrained Placement |
|------|------------------------------|-----------------------------|-----------|--------------|-----------------------------|--------------------------------|-----------------------|
| 1 | CELL DDIOOUTCELL_X50_Y96_N36 | two_d_dct_inst dct_out[19]q | Top | n/a | n/a | n/a | no |
| 2 | CELL IOOBUF_X50_Y96_N33 | dct_out[19]~output o | Top | n/a | n/a | n/a | no |
| 3 | CELL PIN_J16 | dct_out[19] | Top | n/a | n/a | n/a | no |

Graphical Data Path

The thumbnail view shows a quick visual representation of the extra fitter information related to this path.

The **path connections** appear as heavy black lines. **Netlist nodes** along the path and **routing drivers** along the routing path appear as black dots. The **routing connections** appear as thin black lines. No directional information is drawn for path or routing connections.

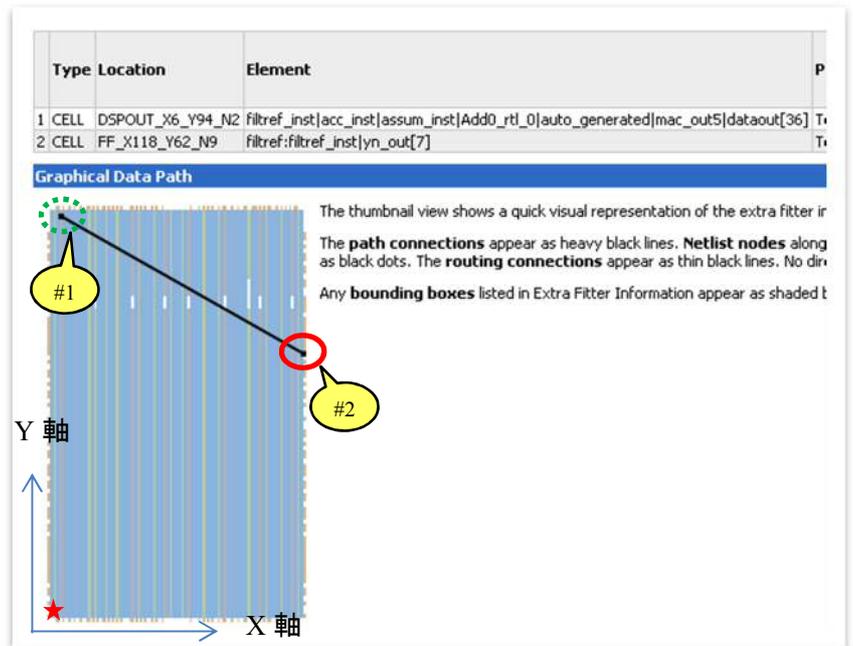
Any **bounding boxes** listed in Extra Fitter Information appear as shaded blue rectangles.

Data Path タブの Data Arrival Path における、データ・パスの CELL 情報をピックアップ。

CELL の配置情報をグラフィカルビューでいち早く確認できる。

例えば右図の場合、タブの上部に示された表の #1 がデータ・パスの始点、最末尾(右図では #2)がデータ・パスの終点で、共に黒ドットで表示されます。その間のルーティングは黒線で表示されます。ただしこのルーティング表示は、実際の配線経路を表しているわけではありません。CELL の位置を直線的に結んだものです。

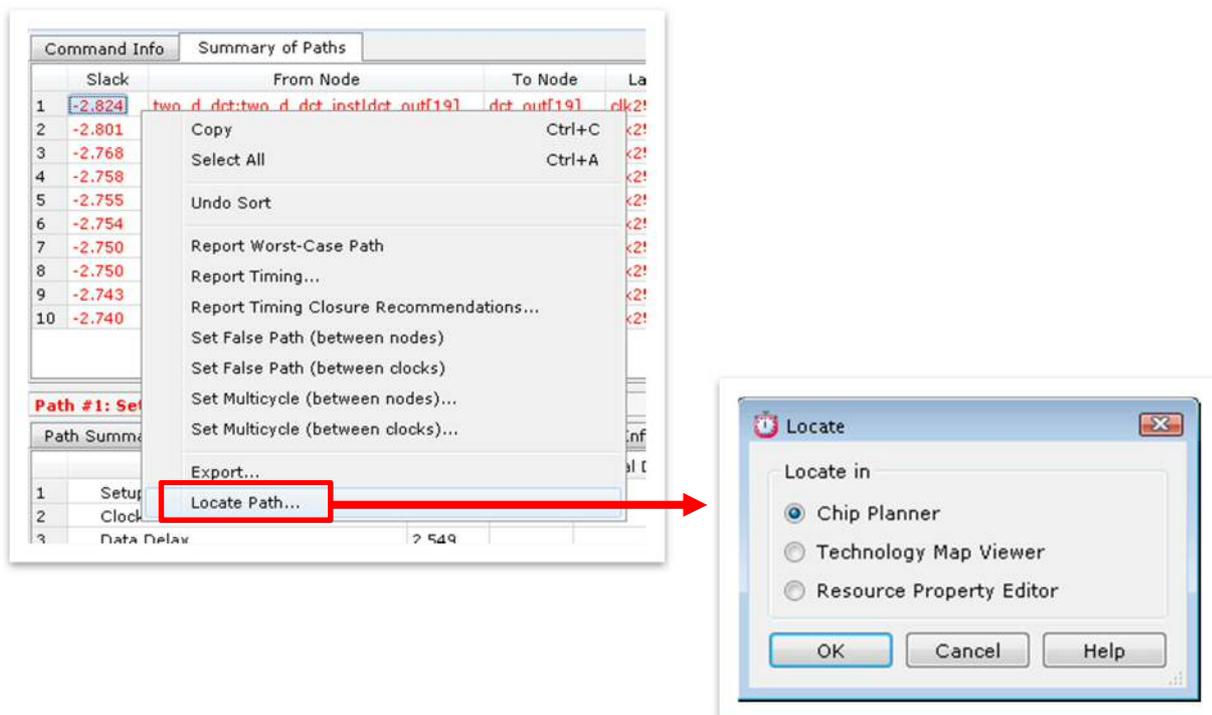
なお、Location 項は座標表示(X, Y)で示され、デバイスの左下(右図の★マーク)が原点(X1, Y1)です。



4. グラフィカル・ビューワの活用

TimeQuest のパス・スラック・レポートの情報を、Quartus II 内蔵のグラフィカル・ビューワ・ツールと関連付けて閲覧することができます。数値のみのタイミング解析情報に加え視覚的な情報がプラスされることで、ユーザはより現状を把握することが可能です。

詳細レポートのパス・サマリの適当な行を指定し、右クリックで現れるプルダウン・メニューから Locate Path を選択します。Locate ダイアログ・ボックスに表示された Locate in の項目内から、希望するビューワを選択してください。

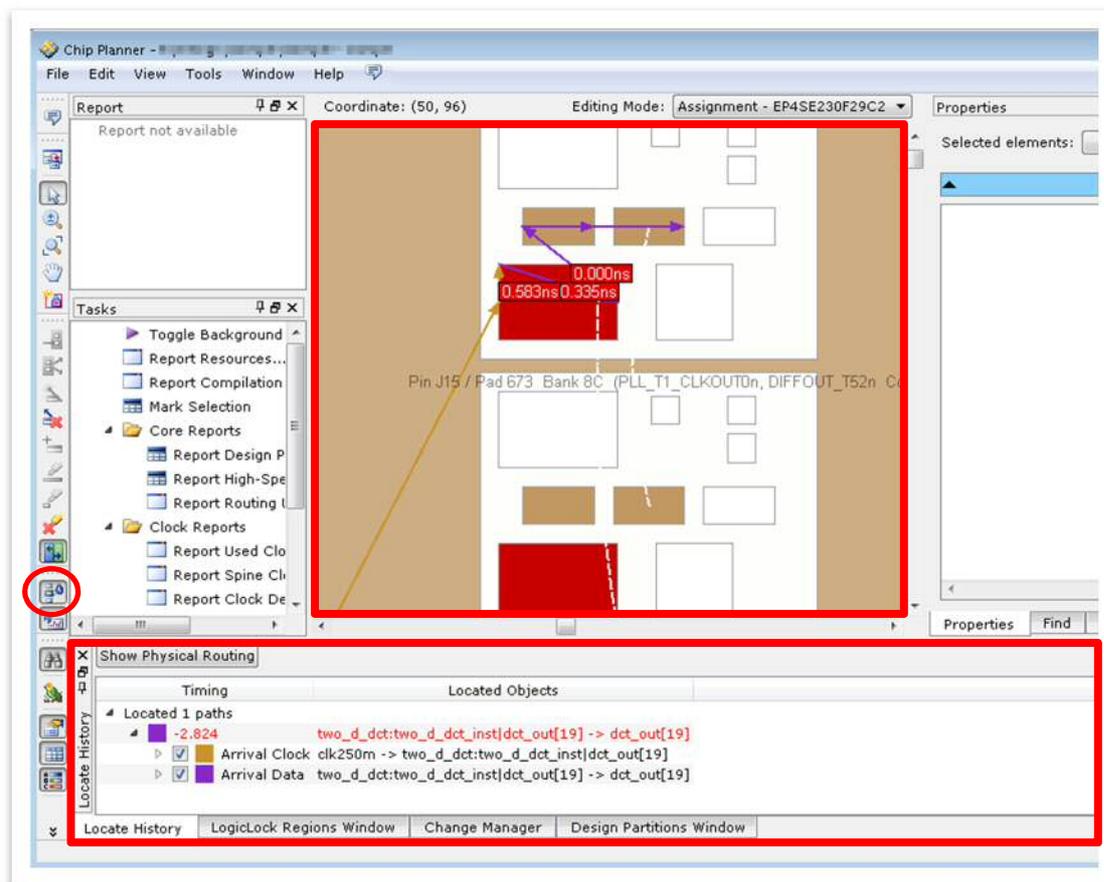


4-1. Chip Planner

タイミングを満たさない原因はさまざまですが、その一つに“配置の問題”があります。それを検証する際に便利なツールが Chip Planner です。

Chip Planner は、デバイスのリソース(ロジック・エレメント、メモリ・ブロック、DSP ブロック、I/O ピンなど)の使用状況やデバイス内部のどこに配置しているかをグラフィカルに表示するビューワです。その機能を活用し、TimeQuest Timing Analyzer により得られたタイミングの詳細レポートで指定したデータ・パス間のセル配置関係を確認します。

Locate ダイアログ・ボックスに表示された Locate in の項目内から、Chip Planner を選択します。



Chip Planner 画面の下部に位置する Locate History ウィンドウには、パス・スラック・レポート(Data Path タブの Arrival 情報)が表示されます。ツリー表示を展開し各項目の左ボックスにチェック ON/OFF をすると、グラフィカル・ビューに線が表示/非表示されます。グラフィカル・ビューに表示されたラインの色は Locate History ウィンドウに表示されている色と同じなので、区別しながら確認することができます。さらにツリーを展開すると、各 IC と CELL 間の遅延情報が表示され、それらをマウスで選択するとグラフィカル・ビューの線がハイライトし、ステップごとに連動して見ることができます。また、Chip Planner の画面横に位置するツールバーの Show Delays ボタン  をクリックする(凹ませる)と、グラフィカル・ビューに Locate History ウィンドウの遅延値が表示されます。

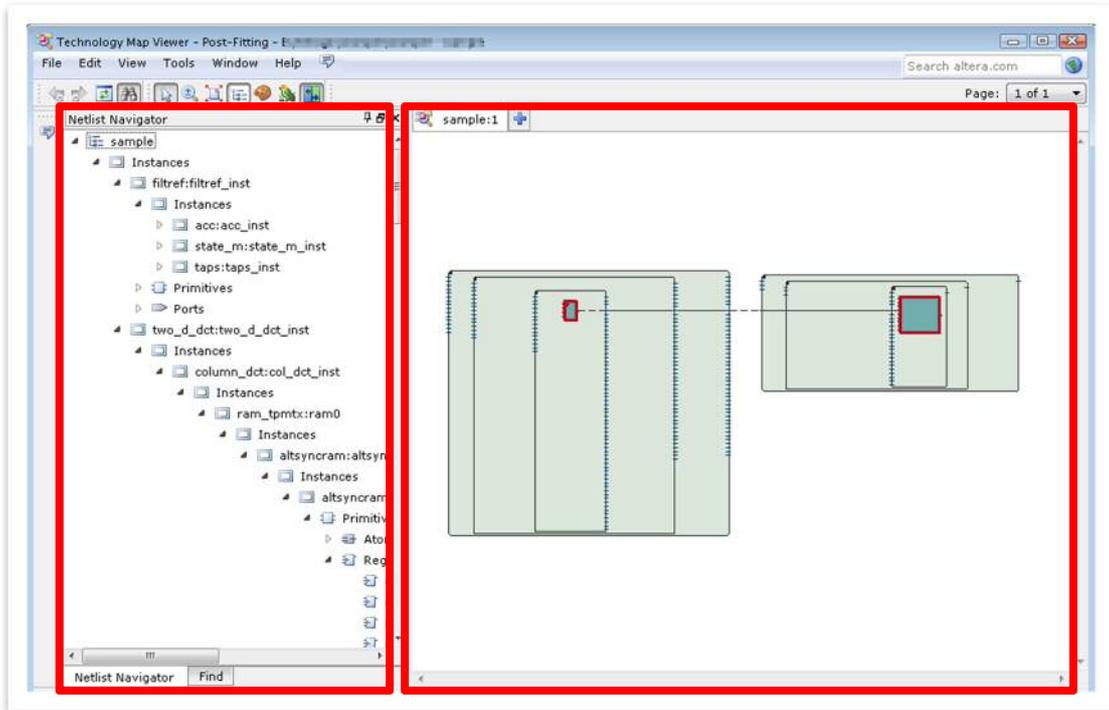
このように、TimeQuest Timing Analyzer の詳細レポートで文字や数値で表示されていた情報が、Chip Planner を活用することで視覚的に確認しやすくなります。

4-2. Technology Map Viewer

タイミングを満たさない原因として、他に「回路の実現方法の問題」があります。それを検証する際に便利なツールが Technology Map Viewer です。

Technology Map Viewer は、作成した論理回路がどのような論理ブロックで構成され接続されているのかを視覚的に確認できるビューワです。その機能を活用し、TimeQuest Timing Analyzer により得られたタイミングの詳細レポートで指定したデータ・パス間のセル構成を確認します。

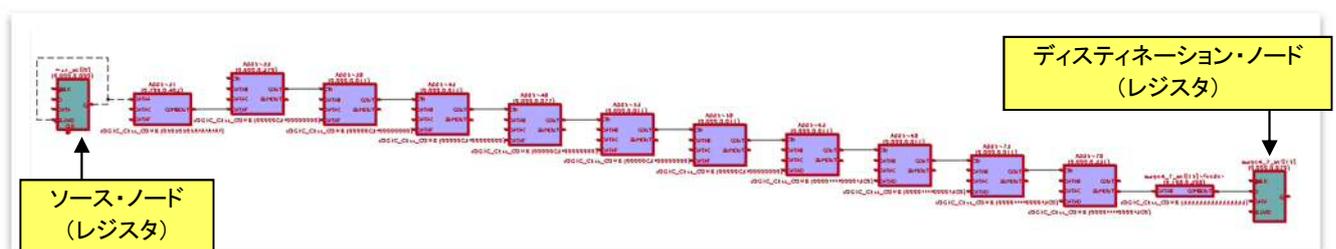
Locate ダイアログ・ボックスに表示された Locate in の項目内から、Technology Map Viewer を選択します。このフローで起動した Technology Map Viewer は、Post-Fitting のビューワです。



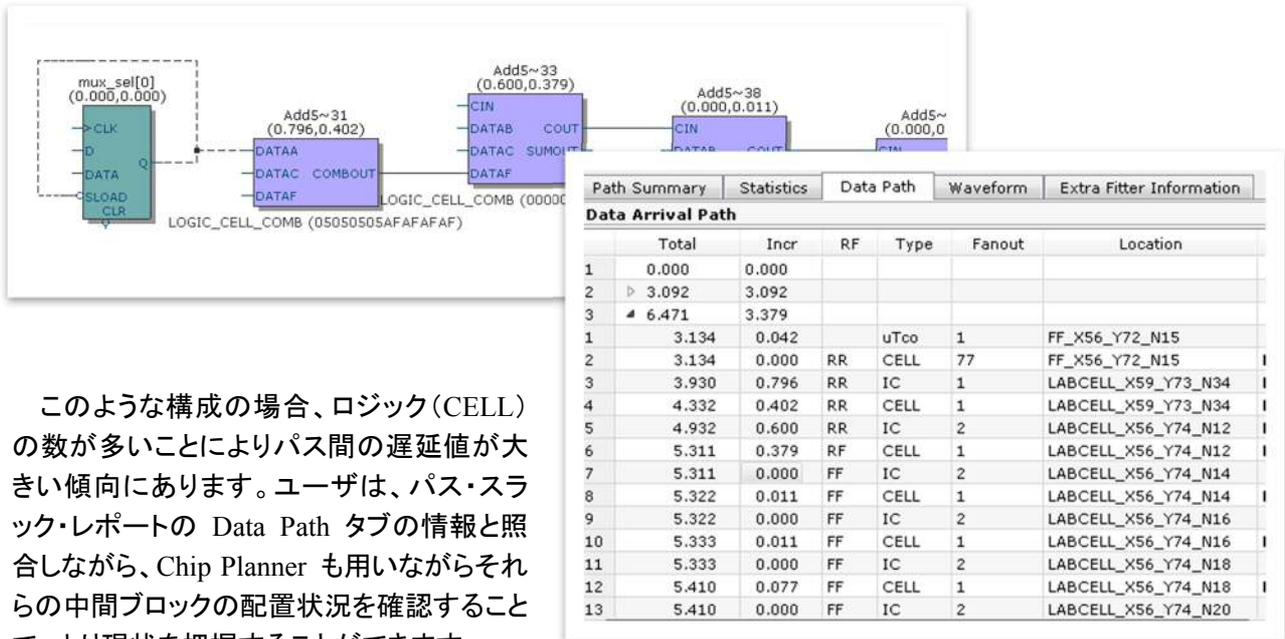
Technology Map Viewer の画面は大きく左右に分割されます。左ウィンドウは、デザインの階層構造でネットリストに分類しツリー表示した Netlist Navigator、右ウィンドウは、選択したネットリストをグラフィカルに表示するウィンドウです。左右のウィンドウは連動していて、右ウィンドウのネットリスト・ブロックをクリックし赤くハイライトさせる、あるいは左ウィンドウのネットリスト名をダブルクリックすることで、もう一方のウィンドウの相対するネットリストがハイライトする仕様です。

詳細レポートのパス・サマリからクロスプローブで起動した Technology Map Viewer には、上図のようにいくつかの枠で囲まれた論理ブロックと赤くハイライトされたブロック（これが選択したパス）が表示されます。枠の数が多ほど、深い論理回路の構成をしていることがわかります。このような構成の場合、内部配線(IC)の遅延値が大きい傾向にあります。ユーザは、パス・スラック・レポートの Data Path タブの情報と照合し、Chip Planner においてそれらの配置状況を確認することで、より現状を把握することができます。

また下図のような場合は、指定したパス間に CELL の段数が多いことが視覚的にわかります。



詳細レポートのパス・サマリからクロスプローブにより起動した Technology Map Viewer には、パス・スラック・レポート(Data Path タブの Arrival Path)の遅延情報が同時に表示されます。()の左側の値は前段ブロック(CELL)から接続される内部配線(IC)の遅延値で、()の右側の値はブロック(CELL)の遅延値です。



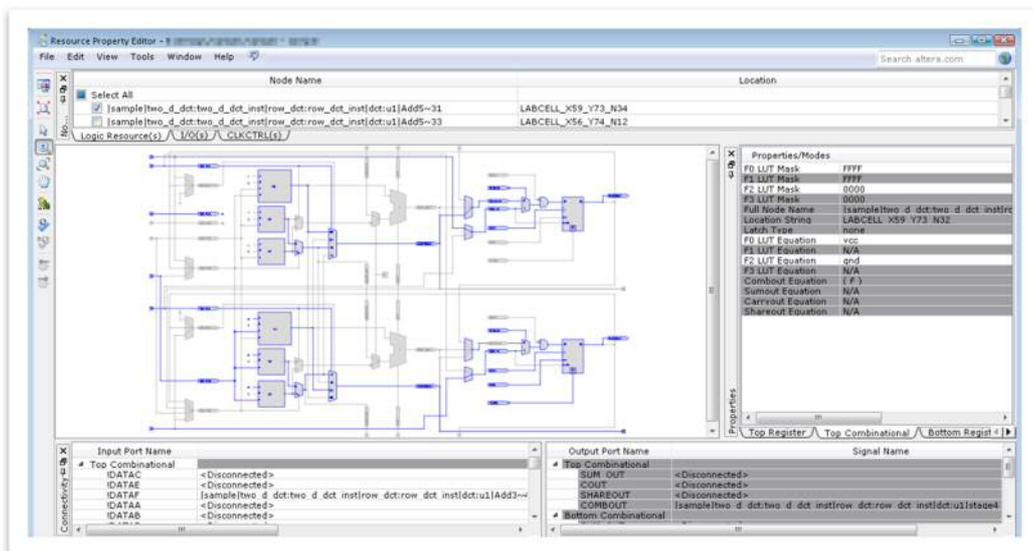
このような構成の場合、ロジック(CELL)の数が多いことによりパス間の遅延値が大きい傾向にあります。ユーザは、パス・スラック・レポートの Data Path タブの情報と照合しながら、Chip Planner も用いながらそれらの中間ブロックの配置状況を確認することで、より現状を把握することができます。

このように、TimeQuest Timing Analyzer の詳細レポートで文字や数値で表示されていた情報が、Technology Map Viewer を活用することで視覚的に確認しやすくなります。

4-3. Resource Property Editor

先ほど紹介した Chip Planner や Technology Map Viewer と共に、必要に応じてご利用いただくと便利なツールが Resource Property Editor です。

Resource Property Editor は、ロジックの実装と接続の詳細をデバイス構造(デバイス・アーキテクチャ)レベルで確認できるグラフィカル・ビューワです。今までのビューワのように TimeQuest Timing Analyzer により得られたタイミングの詳細レポートからクロスプローブして使用するよりは、Chip Planner や Technology Map Viewer からさらにデバイス構造レベルの配置情報を得たいときに、各ビューワから Resource Property Editor にクロスプローブすると言った使い方が主です。



Chip Planner から Resource Property Editor を起動するには、グラフィカル・ビューワ内の目的のセルをダブルクリックします。また Technology Map Viewer から Resource Property Editor を起動するには、目的のブロックをハイライト選択し、右クリックにて表示されるプルダウン・メニューから Locate ⇒ Locate in Resource Property Editor を選択してください。

例えば、I/O インタフェースにおいて最終段レジスタが対応デバイスに対してタイミング・エラーを起こしていたとします。ユーザはレジスタの配置で改善を図ろうと思い、I/O エLEMENT内のレジスタにアサインするオプションを設定し再コンパイルしました。それでも TimeQuest Timing Analyzer レポートでは、数 ps のマイナス・スラックが発生しています。ユーザは、I/O エLEMENTのレジスタに正しく配置されたことを確認するため、Fitter レポートや TimeQuest Timing Analyzer レポートにおけるパス・スラック・レポートの Location 情報、Chip Planner を検証し、I/O エLEMENTのレジスタへのインプリメントを確認しました。しかし、I/O エLEMENT内のプログラマブル I/O デレイ(D5、D6 など)が付加されているかどうかは、パス・スラック・レポートや他のグラフィカル・ビューワではわかりません。

このようなとき、Resource Property Editor は、プログラマブル I/O デレイが使用されていることを容易に確認できます。ユーザは、この D6 Delay を削除することでタイミングがミートできると判断し、Assignment Editor でプログラマブル I/O デレイのオプションを設定します。

この 2.313ns には、実は D6 Delay の遅延値も含まれていたことが Resource Property Editor の解析でわかります。

プログラマブル I/O デレイの遅延値は、コンパイル・レポート(Fitter フォルダ ⇒ Resource Section ⇒ Delay Chain Summary)に掲載されています。デバイス・ファミリによっては Resource Property Editor に表示される場合もあります。

このように、TimeQuest Timing Analyzer の詳細レポートで文字や数値で表示されていた情報の他に、Resource Property Editor を活用することで、より詳細なデバイス構造レベルで要因を確認し、デバイス機能を活用した改善策を検討することができます。

5. タイミング・エラーの解析例

これまでの章では TimeQuest Timing Analyzer レポートの概要を説明してきましたが、この章では、これらのレポートやウィンドウの情報をどのように使用してタイミング違反を起こしているパスを解析していくのか、以下のパス#1 を例に解説をします。

| Command Info | | Summary of Paths | | | | | | |
|--------------|-----------|--------------------------------------|--------------|-------------|--------------|------------|------------|-------|
| Slack | From Node | To Node | Launch Clock | Latch Clock | Relationship | Clock Skew | Data Delay | |
| 1 | -2.824 | two_d_dct:two_d_dct_inst dct_out[19] | dct_out[19] | clk250m | vir_clk250m | 4.000 | -3.255 | 2.549 |

#1 より、以下の状況がわかります。

- ・ 送信ノード “two_d_dct:two_d_dct_inst|dct_out[19](レジスタ)”
- SDC で定義されたクロック clk250m でドライブされている。
- ・ 受信ノード “dct_out[19](出力ピン)に接続している対向デバイスの入力レジスタ”
- SDC で定義されたクロック vir_clk250m でドライブされている。
- ・ そのノード間の遅延は SDC で制約した期待値に対して 2.824ns 不足している。

では、なぜ 2.824ns も不足しているのでしょうか。

タイミング・エラーを引き起こす一般的な要因は、主に以下のものが考えられます。

- [A] データ・パス間の多段ロジック
- [B] 送信側の高ファンアウト信号
- [C] 物理的制約(配置など)の衝突
- [D] 厳しいタイミング要求

このパス#1 は何がネックになっているのかを分析し、改善策を検討します。

まず、[A]データ・パス間のロジック段数が多いことが要因なのかをみてみます。

パス・スラック・レポートの Statistics タブあるいは Data Path タブを見ます。指定したデータ・パス間に存在するロジック段数は多くありません(1 段)。また、内部配線(IC)も無駄に消費されているようにも見えません。

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | |
|--------------|------------------------|------------|-----------|-------------|--------------------------|-------|-------|
| | Property | Value | Count | Total Delay | % of Total | Min | Max |
| 1 | Setup Relationship | 4.000 | | | | | |
| 2 | Clock Skew | -3.255 | | | | | |
| 3 | Data Delay | 2.549 | | | | | |
| 4 | Number of Logic Levels | | 0 | | | | |
| 5 | Physical Delays | | | | | | |
| 1 | Arrival Path | | | | | | |
| 1 | Clock | | | | | | |
| 1 | IC | | 3 | 1.986 | 61 | 0.000 | 1.608 |
| 2 | Cell | | 3 | 1.269 | 38 | 0.177 | 0.583 |
| 2 | Data | | | | | | |
| 1 | IC | | 1 | 0.000 | 0 | 0.000 | 0.000 |
| 2 | Cell | | 3 | 2.455 | 96 | 0.000 | 2.120 |
| 3 | uTco | | 1 | 0.094 | 3 | 0.094 | 0.094 |
| 2 | Required Path | | | | | | |
| 1 | Clock | | | | | | |
| 1 | Clock Network (Lumped) | | 1 | 0.000 | | 0.000 | 0.000 |

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | | |
|---------------------------|-------|------------|-----------|----------|--------------------------|-------------------------|-------|--------------------------------------|
| Data Arrival Path | | | | | | | | |
| | Total | Incr | RF | Type | Fanout | Location | HS/LP | Element |
| 1 | 0.000 | 0.000 | | | | | | launch edge time |
| 2 | 3.255 | 3.255 | | | | | | clock path |
| 1 | 0.000 | 0.000 | | | | | | source latency |
| 2 | 0.000 | 0.000 | | | 1 | PIN_P28 | | clk250m |
| 3 | 0.000 | 0.000 | RR | IC | 1 | IOIBUF_X0_Y52_N1 | | clk250m~input i |
| 4 | 0.509 | 0.509 | RR | CELL | 1 | IOIBUF_X0_Y52_N1 | | clk250m~input o |
| 5 | 0.887 | 0.378 | RR | IC | 1 | CLKCTRL_G3 | | clk250m~inputclkctrl inclk |
| 6 | 1.064 | 0.177 | RR | CELL | 1985 | CLKCTRL_G3 | | clk250m~inputclkctrl outclk |
| 7 | 2.672 | 1.608 | RR | IC | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct_inst dct_out[19] clk |
| 8 | 3.255 | 0.583 | RR | CELL | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct:two_d_dct_inst dct_out[19] |
| 3 | 5.804 | 2.549 | | | | | | data path |
| 1 | 3.349 | 0.094 | | uTco | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct:two_d_dct_inst dct_out[19] |
| 2 | 3.684 | 0.335 | FF | CELL | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct_inst dct_out[19] q |
| 3 | 3.684 | 0.000 | FF | IC | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output i |
| 4 | 5.804 | 2.120 | FF | CELL | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output o |
| 5 | 5.804 | 0.000 | FF | CELL | 0 | PIN_J16 | | dct_out[19] |
| Data Required Path | | | | | | | | |
| | Total | Incr | RF | Type | Fanout | Location | HS/LP | Element |
| 1 | 4.000 | 4.000 | | | | | | latch edge time |
| 2 | 4.000 | 0.000 | | | | | | clock path |
| 1 | 4.000 | 0.000 | R | | | | | clock network delay |
| 3 | 3.980 | -0.020 | | | | | | clock uncertainty |
| 4 | 2.980 | -1.000 | F | oExt | 0 | PIN_J16 | | dct_out[19] |

レジスタ
出力ピン

また、Data Path タブにおいて Location 項を確認すると、最終段レジスタ(two_d_dct:two_d_dct_inst|dct_out[19]) は IOE レジスタに配置されていることがわかります。つまり、最短遅延で外部デバイスへ送信できる環境に配置できていることになります。

よって今回は、データ・パス間のロジック段数が多いことが要因ではないと判断します。

もしデータ・パス間のロジック段数が多いことが要因であった場合には、データ・パスの遅延を短縮化する必要があります。段数が多いのであればロジック段数を減少させる、配線遅延の消費がネックなのであればレジスタ間のリタイミングで調整する策を検討します。

以下に改善策の一例をあげます。

- Assignment Editor により特定のエンティティに対し、Optimization Technique オプションを Area に設定する。
- レジスタ・リタイミングを実行させるため、Physical Synthesis Optimization 内のオプションを有効にする。
- パイプライン・レジスタを挿入する。
- 効率の良いコードに編集する。

また、デザインの仕様上許容できるのであれば、SDC ファイルにマルチサイクル(set_multicycle_path)を制約し、送信レジスタと受信レジスタのクロック・エッジの位置を変更することで、タイミング・エラーを回避する方法もあります。

次に、[B]送信側の高ファンアウト信号が要因なのかを見てみます。

実際は、ファンアウト数よりもそれに伴う配置が問題になる場合が多くあります。ファンアウトが多い信号はノードが広がって配置されることになるため、結果 配線遅延が増加しやすい傾向にあるからです。

パス・スラック・レポートの Data Path タブを見ます。Data Arrival Path のデータ・パスにおける Fanout 列を確認すると、問題を引き起こすほどのファンアウト数ではないことがわかります。

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | |
|--------------------------|---------|------------|-----------|----------|--------------------------|-------------------------|----|
| Data Arrival Path | | | | | | | |
| | Total | Incr | RF | Type | Fanout | Location | HS |
| 1 | 0.000 | 0.000 | | | | | |
| 2 | ▶ 3.255 | 3.255 | | | | | |
| 3 | ▲ 5.804 | 2.549 | | | | | |
| 1 | 3.349 | 0.094 | | uTco | 1 | DDIOOUTCELL_X50_Y96_N36 | |
| 2 | 3.684 | 0.335 | FF | CELL | 1 | DDIOOUTCELL_X50_Y96_N36 | |
| 3 | 3.684 | 0.000 | FF | IC | 1 | IOOBUF_X50_Y96_N33 | |

よって今回は、送信側の高ファンアウト信号が要因ではないと判断します。

もし高ファンアウトが要因であった場合には、ファンアウトの多い信号のパス遅延を削減する、あるいはファンアウト数を削減するなどの策を検討します。

以下に改善策の一例をあげます。

- ファンアウトの多い信号がクロック・イネーブルなどの制御信号であった場合、グローバル・ラインヘアサインする。(Assignment Editor において、Global Signal オプションを適応させる。)
- レジスタ・リタイミングを実行させるため、Physical Synthesis Optimization 内のオプションを有効にする。
- Assignment Editor において、ファンアウト数の上限を指定する Maximum Fan-Out オプションを設定する。
- 複製ロジックを構成し、1 ノードあたりのファンアウト数を低減したコードに編集する。(その際、複製のために用意したノードがコンパイルにより最適化されないように、Assignment Editor で適応するオプションを有効にするか、コードに適応する Attribute 構文を挿入する。)

また、デザインの仕様上許容できるのであれば、SDC ファイルにマルチサイクル(set_multicycle_path)を制約し、送信レジスタと受信レジスタのクロック・エッジの位置を変更することで、タイミング・エラーを回避する方法もあります。

次に、[C]物理的制約(配置など)の衝突が要因なのかを見てみます。

物理的な配置制約により、レジスタが遠くに離れて配置されてしまうケースがあります。例えば、配置制限のある IP 内のレジスタがユーザ・ロジックの最終段レジスタに送信し、かつそのレジスタは対岸の I/O エlement・レジスタに配置制約されていると、そのパスの遅延を短縮したくても物理的に難しい状況になります。

今回問題になっているパス#1 は、内部レジスタ間のパスではなく、デバイスの最終段出力レジスタから対向デバイスの初段レジスタまでのパスであり、配置に関する制約はデバイスの I/O 制約のみです。パス・スラック・レポートの Data Path タブの Data Arrival Path を見ると、two_d_dct:two_d_dct_inst[dct_out[19] レジスタは DDIOOUTCELL_X50_Y96_N36 の I/O エlement・ブロックに配置されています。これは最適な出力セットアップ・タイミングのために、このレジスタが可能な限りデバイス I/O の近くに配置されたことを意味します。この配置の状況は、Chip Planner から確認できます。

| Path Summary | | Statistics | Data Path | Waveform | Extra Fitter Information | | | |
|--------------------------|---------|------------|-----------|----------|--------------------------|-------------------------|-------|--------------------------------------|
| Data Arrival Path | | | | | | | | |
| | Total | Incr | RF | Type | Fanout | Location | HS/LP | Element |
| 1 | 0.000 | 0.000 | | | | | | launch edge time |
| 2 | ▶ 3.255 | 3.255 | | | | | | clock path |
| 3 | ▲ 5.804 | 2.549 | | | | | | data path |
| 1 | 3.349 | 0.094 | | uTco | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct:two_d_dct_inst[dct_out[19] |
| 2 | 3.684 | 0.335 | FF | CELL | 1 | DDIOOUTCELL_X50_Y96_N36 | | two_d_dct_inst[dct_out[19]]q |
| 3 | 3.684 | 0.000 | FF | IC | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output[i |
| 4 | 5.804 | 2.120 | FF | CELL | 1 | IOOBUF_X50_Y96_N33 | | dct_out[19]~output[o |
| 5 | 5.804 | 0.000 | FF | CELL | 0 | PIN_J16 | | dct_out[19] |

よって今回は、物理的制約の衝突が要因ではないと判断します。

物理的制約の衝突かどうかを判断するには、配置を指定する制約がされているか、例えば I/O エlement・レジスタへの制約やインクリメンタル・コンパイル (LogicLock) 制約が行われていないかを、Assignment Editor や Chip Planer、TimeQuest の詳細レポートで再度確認してください。

もし、物理的制約の衝突が要因であった場合には、配置に関する制約を緩和させることを検討します。

以下に改善策の一例をあげます。

- レジスタ・リタイミングを実行させるため、Physical Synthesis Optimization 内のオプションを有効にする。
- パイプライン・レジスタを挿入する。
- 複製ロジックを構成し、1 ノードあたりのファンアウト数を低減したコードに編集する。(その際、複製のために用意したノードがコンパイルにより最適化されないように、Assignment Editor で適応するオプションを有効にするか、コードに適応する Attribute 構文を挿入する。)
- すべての配置制約を再検討する。

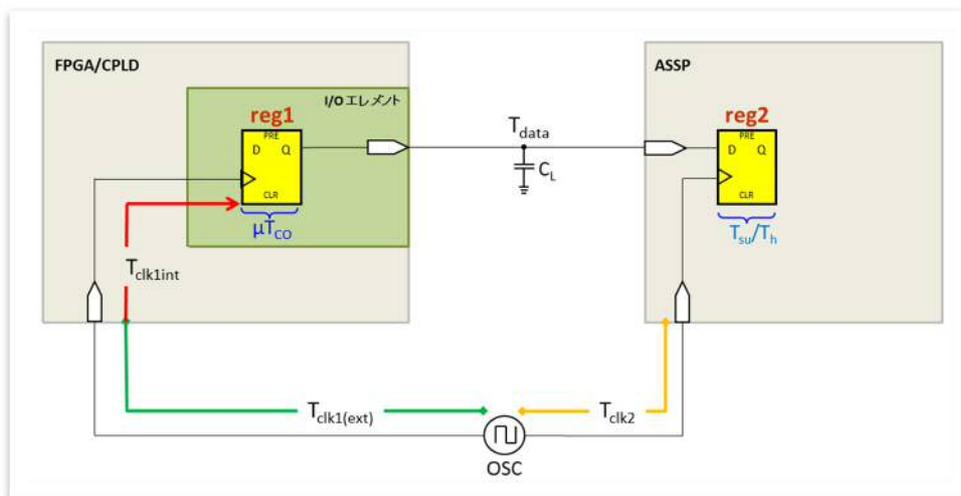
また、デザインの仕様上許容できるのであれば、SDC ファイルにマルチサイクル (set_multicycle_path) を制約し、送信レジスタと受信レジスタのクロック・エッジの位置を変更することで、タイミング・エラーを回避する方法もあります。

次に、[D] 厳しいタイミング要求が要因なのかを見てみます。

[A]~[C] の要因が除外されていて、出力レジスタは出力セットアップ・タイミングを満たすために適切な位置に配置されていることから考えると、今回のパス#1 のエラー要因は、このケースが該当するだろうと考えられます。

ですが、そもそもタイミングの要求値が厳しい場合、フィッタはどう頑張っても満たすことはできません。ではどのようにタイミングを達成すればよいのでしょうか。

今回の例であるパス#1 は、下図のような構成です。



出力の I/O レジスタは、I/O エlementのレジスタに配置されていて最も良い配置と言えますが、セットアップのタイミング要求は非常に厳しい状態です $[(T_{period} < (T_{co} + T_{data} + T_{CL} + T_{su}))]$ 。

ここで、セットアップ・スラックの等式を改めて見てみます。

$$\underbrace{(\text{受信エッジ} + T_{clk2} - T_{su})}_{\text{データ要求}} - \underbrace{(\text{送信エッジ} + T_{clk1(ext)} + T_{clk1(int)} + T_{co} + T_{data})}_{\text{データ到達}}$$

すでにボード・レイアウトが完成したと仮定すると T_{su} 、 T_{co} 、 T_{data} 、 $T_{clk1ext}$ は固定値であり、セットアップ・スラックの等式の中で変更可能なパラメータは、以下のようになります。

$$(\text{受信エッジ} + \cancel{T_{clk1}} - \cancel{T_{su}}) - (\text{送信エッジ} + \cancel{T_{clk1(ext)}} + T_{clk1int} + \cancel{T_{co}} + \cancel{T_{data}})$$

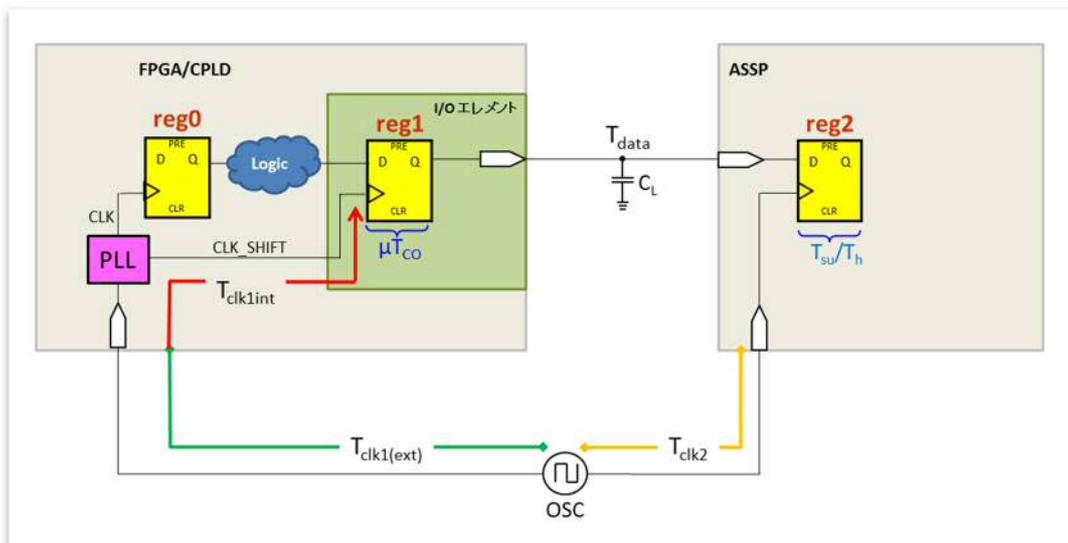
データ要求
データ到達

つまり、変更できるパラメータは“送信/受信エッジの関係”と“FPGA 内部のクロック・パス遅延($T_{clk1int}$)”だけであることがわかります。

その改善策として以下の方法があります。

- デザインの仕様上許容される場合、SDC ファイルにマルチサイクル(set_multicycle_path)を制約し、送信レジスタと受信レジスタのクロック・エッジの位置を変更する。
- 送信側のクロックあるいは受信側のクロックをシフトし、送信レジスタと受信レジスタのクロック・エッジの位置を変更する。
- デザインの仕様上許容される場合、より速いクロック・ドメインを使用し、 $T_{clk1int}$ を変更する。

今回の例では、送信レジスタと受信レジスタのクロック・エッジの位置を変更するために、PLL を用いる解決方法を取ります。



上図のように 2 系統のクロック出力をする PLL を構成します。一方のクロック(CLK)は出力 I/O レジスタ(reg1)以外の内部レジスタをドライブさせ、もう一方のクロック(CLK_SHIFT)は出力 I/O レジスタをドライブさせます。つまり、reg1-reg2 間の不足分を reg0-reg1 間のマージンから補おうという仕様です。 $T_{clk1int}$ を必要な分だけシフトさせる、つまり PLL の CLK_SHIFT クロックをシフトさせ、入力クロックに対して reg1 のデータを早く送信させます。

デザイン修正および SDC ファイル修正(PLL のクロック定義を追加)後に再度コンパイルを実行し、生成された TimeQuest Timing Analyzer レポートが以下です。



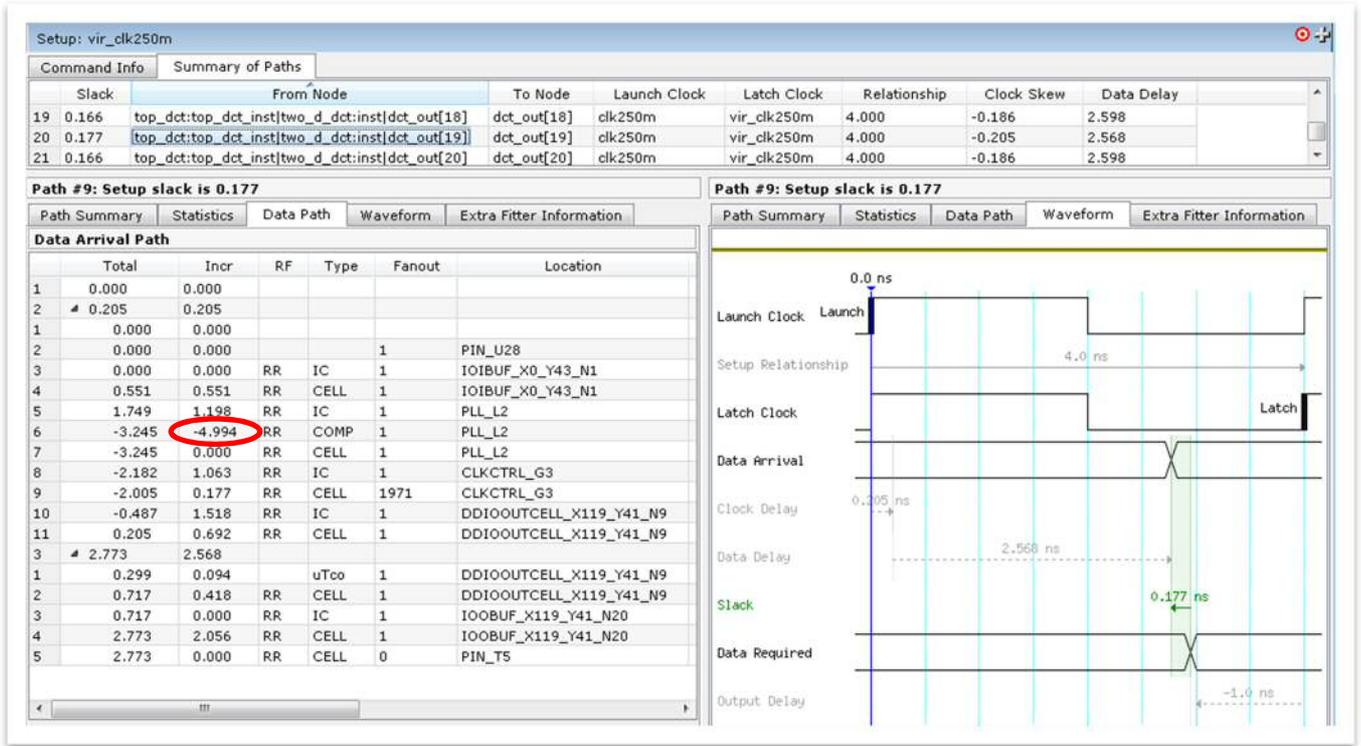
| Slow 900mV 85C Model Setup Summary | | | |
|------------------------------------|-------------|--------|---------------|
| | Clock | Slack | End Point TNS |
| 1 | vir_clk250m | 0.138 | 0.000 |
| 2 | clk250m | 0.313 | 0.000 |
| 3 | clk100m | 0.730 | 0.000 |
| 4 | clk50m | 13.600 | 0.000 |

| Slow 900mV 85C Model Setup Summary | | | |
|------------------------------------|-------------|--------|---------------|
| | Clock | Slack | End Point TNS |
| 1 | vir_clk250m | -2.824 | -62.790 |
| 2 | clk250m | 0.430 | 0.000 |
| 3 | clk100m | 0.565 | 0.000 |
| 4 | clk50m | 14.158 | 0.000 |

↑ 当初の Setup Summary レポート

当初タイミング・エラーの出ているクロック・ドメイン(vir_clk250m)のスラックは赤字表示ではなくプラス値になっており、PLL を使用したことでタイミング違反が解消されたことを示しています。これは、PLL を挿入したことで、クロック・ツリーの遅延を効果的に取り除くことができ、クロック to アウトプット時間が減少し、出力遅延の要求値を満たすことができたためです。

このことを確認するため、出力ピン dct_out[19] に対する Setup Summary の詳細レポートを生成します。



Data Arrival Path の 6 行目に、PLL がグローバル・クロック・ツリーの遅延の補償として -4.994ns の位相調整オフセットを付加しているのが確認できます。これにより、出力へのデータ到達時間を早くし、出力へのセットアップ要求を満たすことができます。

今回は PLL を使用する方法を取りましたが、これはあくまでもタイミング最適化の多くの方法のうちの一つです。ユーザは、自分のプロジェクト(デザイン)を良く理解し、タイミングを最適化するために TimeQuest Timing Analyzer レポートを解析した上で、最良の改善策を選択しなければなりません。

このように、TimeQuest Timing Analyzer レポートの Summary から詳細レポートへ展開し、タイミング違反の要因を追及し明確化することで、適切な最適化方法を見つけ出してください。

改版履歴

| Revision | 年月 | 概要 |
|----------|------------|------|
| 1 | 2014 年 4 月 | 新規作成 |

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
 株式会社アルティマ ホームページ: <http://www.altima.co.jp> 技術情報サイト EDISON: <https://www.altima.jp/members/index.cfm>
 株式会社エルセナ ホームページ: <http://www.elsena.co.jp> 技術情報サイト ETS : <https://www.elsena.co.jp/elspear/members/index.cfm>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。