インテル® Agilex™ FPGA & SoC / インテル® Stratix® 10 FPGA 外部メモリー・インターフェース Example Design Traffic Generator 2.0

株式会社マクニカ アルティマカンパニー

Rev.1.0 2021/10

© Macnica, Inc.



 本資料は、外部メモリー・インターフェースの Example Design に実装される Traffic Generator 2.0 の設定および動作についてまとめています

。 実機確認手順については、下記をご参照ください

- <u>インテル[®] Agilex[™] FPGA & SoC 外部メモリー・インターフェース Traffic Generator 2.0</u>

- 本資料の画像は、下記ツールを使用しています
 - 。 インテル[®] Quartus[®] Prime 開発ソフトウェア プロ・エディション 21.1



Agenda

- **1. Traffic Generator**
- 2. 起動画面
- 3. Instruction Pattern
- 4. Address Pattern
- 5. Data Pattern
- 6. Traffic Preset Mode
- 7. まとめ

Traffic Generator

Traffic Generator について

- Traffic Generator とは、EMIF IP コアの生成する Example Design 内に実装される、テスト用の回路です
 - 。 テスト・パターン生成、および リード・データ の チェックをおこないます
- Traffic Generator 2.0 を使用することで、ユーザー側からテスト・パターンを設定することができます



Example Design の起動時の動作

- Example Design の起動時の動作は、下記のとおりです
- Traffic Generator のテストが完了後、ユーザー設定によるテストを実施 可能です





Traffic Generator の設定について

● IP コア生成時に、Example Design に実装する Traffic Generator を設定 します

Use configurable Avalon traffic generator 2.0

Enable default traffic pattern (pattern configured during compile-time)

Enable user-configured traffic pattern (pattern configured during run-time)

TG2 default traffic duration:

TG2 Configuration Interface Mode:

e)	
	Short	•
	JTAG	•

項目	設定	説明
Use configurable Avalon traffic	ON	Traffic Generator 2.0 が実装されます。
generator 2.0	OFF	Legacy の Traffic Generator が実装されます。
Enable default traffic pattern	ON	Calibration 後に Traffic Generator のデフォルト設定でのテストが実行されます。
time)	OFF	テストは実行されず Calibration 完了で停止します。
Enable user-configured traffic pattern (pattern configured during	ON	Traffic Generator に対してユーザー側からパターン設定等のアクセスが可能になります。
run-time)	OFF	OFF にした場合、ユーザー側からのアクセスは無視されます。 (以降で紹介するユーザー側からの設定をおこなうには、ON にしてください)

起動画面 ハム ヘ



© Macnica, Inc.

Traffic Generator 2.0 の起動画面

起動時の表示画面

- 。 起動手順は下記リンクをご参照ください
- 。 <u>インテル[®] Agilex[™] FPGA & SoC 外部メモリー・インターフェース Traffic Generator 2.0</u>

C	System Console	
Ē	Tools <u>V</u> iew <u>H</u> elp	
P	Jolkit Explorer 🖇 System Explorer 🖇 🛛 🗖 Welcome 🏶 Collection_1 🛞	
	ekkit Explorer System Explorer Image: System Ex	
	Image: Stratix 10H SoC Dev Kit on lo Write/Read Count: 1 Write/Read Repeat Count: 1	

Separate Read and Write settings

- Separate Read and Write settings
 - 。 ライト時と リード時と個別に設定する機能です
- 今回は OFF 設定として、ライトとリードは同じ設定としています

今回はこの設定で動作確認を実施

(参考: ON に設定時の画面)

oolkit: "EMIF TG Configuration Toolkit" (<i>emif_tg_cfg 1.0)</i> s: Stratix 10H SoC Dev Kit on localhost [5-3] 1SX280HH1(. S3) 1SX280HH2 @1 ed_synth_inst tg tg	tg Toolkit: "EMIF TG Configuration Toolkit" <i>(emif_tg_cfg 1.0)</i> IPs: Stratix 10H SoC Dev Kit on localhost [5-3] 1SX280HH1(. S3) 1SX280HH2 @1 ed_synth_inst tg tg
START TG RESTART DEFAULT Traffic Separate Read and Write Settings	START TG RESTART DEFAULT Traffic Separate Read and Write Settings Traffic I
Instruction Pattern Address Pattern Data Pattern TG Status Report Configuration and Status Registers General Settings	Instruction Pattern Address Pattern Data Pattern TG Status Report Configuration and Status Registers
Loop Count: 1 Burst Length: 1	Loop Count: 1 Burst Length: 1
Idle Count (write-to-read): 1 Idle Count (read-to-write): 1	Idle Count (write-to-read): 1 write と read を個別に
Enable WORM mode: False マ Write C read を共通	Enable WORM mode: False ▼
Write/Read Count: 1 Write/Read Repeat Count: 1	Write Settings Read Settings Write/Read Count: 1
	Write/Read Repeat Count: 1 Write/Read Repeat Count: 1



● 動作設定をおこなうのは下記タブです

- Instruction Pattern タブ
- Address Pattern タブ
- Data Pattern タブ

	System Console											
Eile Tools View Help												
Toolkit Explorer 🗱 System Explorer 🕅 🗕 🗖	Velcome 🗱 Collection_1 😣											
>> Show all instances Image: Show all instances Load Design C Instances References Image: Stratic 10H Soc Dev Kit on local /home/tscomp13/work/umada/0_emif Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on local image: Stratic 10H Soc Dev Kit on local Image: Stratic 10H Soc Dev Kit on	tg Toolkit: "EMIF TG Configuration Toolkit" (emif_tg_cfg 1.0) IPs: Stratix 10H SoC Dev Kit on localhost [1-5]]1SX280HH1(.]S3)[1SX280HH2]@1]ed_synth_inst[tg]tg START TG RESTART DEFAULT Traffic Separate Read and Write Settings Traffic Preset Mode: Default Instruction Pattern Address Pattern Data Pattern TG Status Report Configuration and Status Registers General Settings											
Details Collections Collection_1 Collection_	Instruction Pattern Address Pattern General Settings Loop Count: 1 Burst Length: 1 Idle Count (write-to-read): 0 Enable WORM mode: False Write/Read Count: 1	Data Pattern TG										
macnica	© Macnica, Inc.	,										

Pass / Fail 判定について

Pass / Fail は TG Status Report に表示されます

。 ビット毎に表示されます

(今回の評価では全て Pass となるため、省略)

	welcome	Collection_	1 🖾						
	Toolkit: "EM	IF TG Configur	ation Toolkit	= (emif_tg_cfg et 15-2111 SY20	1.0)	1 CX 200 LH 21 4	alled evet	instituita	
)略)	START TO	G	it on localito:	st [5-5]]1582	50HH1(, 53/ .	RESTA	RT DEFAULT	Traffic	
	Instructio	n Pattern 🕺 A	ddress Patte	ern 🕺 Data P	attern TG	Status Report	Configura	ation and Sta	atus Registe
	Export '	TG Status Rep	ort						
	TG Status	•							
	Write Over	flow Status:							
	Number of	f Avalon Read	Commands is	ceucd: 26943	5507			Clear	
	Number of	Avaion head	commanus is	sueu: 20045	5567			Clear	
	Pass Not	Fail Signal						Clear Fai	led Bits
	DQ PIN	beat0	beatl	beat2	beat3	beat4	beat5	beat6	beat7
	0	pass pass							
	2	pass							
	3	pass							
				Dace	DARE	DARE	DAFE	DARE	DARE
	5	pass	pass	pass pass	pass pass	pass pass	pass pass	pass pass	pass pass
	5	pass pass	pass pass	pass pass pass	pass pass pass	pass pass pass	pass pass pass	pass pass pass	pass pass pass
	5 6 7	pass pass pass	pass pass pass	pass pass pass pass	pass pass pass pass	pass pass pass pass	pass pass pass pass pass	pass pass pass pass	pass pass pass pass
	5 6 7 8 9	pass pass pass pass pass	pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass
	5 6 7 8 9 10	pass pass pass pass pass pass	pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass
	5 6 7 8 9 10 11	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass	pass pass pass pass pass pass pass pass	pass pass pass pass pass pass pass pass	pass pass pass pass pass pass pass pass	pass pass pass pass pass pass pass pass	pass pass pass pass pass pass pass pass	pass pass pass pass pass pass pass
	5 6 7 8 9 10 11 12 13	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 23 24 25 26 27	pass pass pass pass pass pass pass pass							
	5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 4	pass pass pass pass pass pass pass pass							

MACN



Instruction タブの設定項目について

Instruction Pattern Address Pattern	項目	説明
General Settings Loop Count: 1 Burst Length: 1	Loop Count	設定した一連の動作をループする回数を設定します。 "0" を設定した場合、無限ループとなります。
Idle Count (write-to-read):	Burst Length	各アクセスのバースト長を設定します。
Idie Count (read-to-write): 0 Enable WORM mode: False Write/Read Count: 1 Write/Read Repeat Count: 1	Idle Count (write-to-read)	ライト動作からリード動作に切り替える際に挿入する アイドル 時間(クロック数)を設定します。 なお本資料では動作波形による説明はございません。
	Idle Count (read-to-write)	リード動作からライト動作に切り替える際に挿入するアイドル 時間(クロック数)を設定します。 なお本資料では動作波形による説明はございません。
	Enable WORM mode	WORM モードの Enable/Disable を設定します。
	Write/Read Count	各ライト/リード動作の回数を設定します。 アドレスを変更しておこなう回数となります。
	Write/Read Repeat Count	各ライト/リード動作について、同一アドレスに繰り返しアクセ スする回数を設定します。



Loop Count (1)

- 繰り返し回数を設定します
 - 。 Loop Count = 1 の動作波形



①②を Loop Count 数 (=1) 実行して停止



Loop Count (2)

- 繰り返し回数を設定します
 - 。 Loop Count = 2 の動作波形



Loop Count (3)

- 繰り返し回数を設定します
 - Loop Count = 4 の動作波形 0



© Macnica, Inc.

Loop Count (4) : Loop Count = 0 の設定

● Loop Count = 0 の場合、連続動作となります

START TG Instruction Pattern General Settings	START TG の表示が STOP TG に 切り替わります	STOP TG infinite user mode	停止する場合、ク リックします。 START TG の表示に 切り替わります	START TG Instruction Pattern General Settings
Loop Count: 0		Loop Count: 🕐		Loop Count: 1
Burst Length: 1		Burst Length: 1		Burst Length: 1
Idle Count (write-to-read): 0		Idle Count (write-to-read): 💿		Idle Count (write-to-read): 0
Idle Count (read-to-write): 0		Idle Count (read-to-write): 0		Idle Count (read-to-write): 0
Enable WORM mode: False 💌		Enable WORM mode: False		Enable WORM mode: False 💌
Write/Read Count: 1		Write/Read Count: 1		Write/Read Count: 1
Write/Read Repeat Count: 1		Write/Read Repeat Count: 1		Write/Read Repeat Count: 1

Туре	Alias	Name	. (ì.		4		8	1	2.	1.	16	20 24	28	,	3	6	. 40	. 44 .	48		52	56	60
*	amm_ready	0																			1			
2	amm_address[27:0]			\square	X		X		\square		X	X	0000008h		(OOOOOOA	<u>ر</u>	\square	000	0000Ch	_X_	χ 0000	100Eh X		0000010h
*	amm_write	0			л							Л												
2	amm_writedata[575:0]	•													X					X		\supset		
*	amm_read	0			பா			டா			பா	ப									1			
5	amm_burstcount[6:0]	÷													01h	1								
2	amm_readdata[575:0]	•																						
*	amm_readdatavalid	0																						
				1		· / \	!		<u>:</u> IX I	<u>.</u>	<u></u>	1.1		1.1	, 	i								
m/	acnica			L1	L2	L3	L4	L5	L6	L7	L8	L	9 © Macnica, Inc.	L10	νγ L11)								1

Burst Length (1)

● Burst 長を設定します

。 Burst Length = 4 の動作波形 (Loop Count = 1)

	Instruction Pattern Address Patte	Instruction Pattern Address Pattern Data Pattern				
	General Settings	General Settings				
	Loop Count: 1	Start Each Loop With The Same Address: False 💌	【動作】			
	Burst Length: 4	Sequential Address Increment: 4	1 add	r 0 に 4 burst write		
	Idle Count (write-to-read): 0 Idle Count (read-to-write): 0 Enable WORM mode: False v	Address Mode: Sequential	2 add 12 を	r 0 に 4 burst read E Loop Count 数 (=1) ヨ 	amm_burstc 実行して停止	ount = 4
	Write/Read Repeat Count: 1	Туре	Alias	Name-4 0 4 8 12	16 20 24 28 32	36
	when the address count.	* a	.mm_ready	0		00041
L		amm *	_address[27:0]			0004h
		amm.	writedata[575:0]			
		*	amm_read	0	¥	
		amm_	burstcount[6:0]		04h	
		amm_ *	eaddata[575:0]		X	<u> </u>
		amm	readdatavalid			
				4 burst write		
				4 burst		
	•			read		

Burst Length (2)

● Burst 長を設定します

Burst Length = 4の動作波形 (Loop Count = 3)



Enable WORM mode

• WORM (Write-Once-Read-Many) Mode

- 。 リードデータが不一致となった場合、同一アドレスを再度リードします
 - 両方のリードデータが同じ場合、ライト時の問題の可能性が高い
 - 両方のリードデータが異なる場合、リード時の問題の可能性が高い
- 。 リードデータが期待値と一致の場合は再リードは実行されません

			,										
	Туре	e Alias	Name			16			40	48	56		72
Instruction Pattern Address Patterr	*	amm_ready	0										
General Settings	2	amm_address[27:0]	•	$\Box \infty$	XX							0000010)h
Loop Count: 4	*	amm_write	0		л								
	2	amm_writedata[575:0]	•		X								
Burst Length: 1	*	amm_read	0		<u> </u>								
Idle Count (write-to-read): 0	2	amm_burstcount[6:0]	±								011	h	
	2	amm_readdata[575:0]	•					χ	X		X		
Idle Count (read-to-write): 0	*	amm_readdatavalid	0										л_
Enable WORM mode: True				لہا لہا ل	لمالي								
inde 🗸		「重九八二】											
				1 2	54								
Write/Read Count: 1		① addr 0 (こ Sing	le (1 burst	:) write	ć							
Write/Read Repeat Count: 1		(2) addr 0 (E Sing		1 hurd) hurc	t road	4						
		audi 0 12 Siliy	19 (i Duisi	.) DUIS	liea	J						
L]		①② を Loop Cou	unt	数 (=4) 実行	して作	亭止						

リードデータが期待値と一致したため、各リードは一回で完了

macnica

© Macnica, Inc.

Write/Read Count (1)

● ライト/リードそれぞれの実行数を設定します

。 Write/Read Count = 3の動作波形 (Loop Count = 1, Burst Length = 1)



Write/Read Count (2)

● ライト/リードそれぞれの実行数を設定します

。 Write/Read Count = 8の動作波形 (Loop Count = 1, Burst Length = 1)





Write/Read Repeat Count (1)

同一アドレスにアクセスする回数を設定します

。 Write/Read Repeat Count = 3の動作波形 (Loop Count = 1, Burst Length = 1)



Write/Read Repeat Count (2)

同一アドレスにアクセスする回数を設定します

- 。 Write/Read Repeat Count = 3 の動作波形
 - (Loop Count = 1, Burst Length = 1, Write/Read Count = 4)

Inchau	tion	Address Datter	Type		Alias	Name	. 1		2 16	2	24		32 . 36	40	44	52 56
Instruc	uon i	Address Patter	*		amm_ready	0										
Gener	als	attings	a	amm	_address[27:0]	•	X			_X	0000002h X	000003h	X		0000004h	
Gener	ai 3.	ettings.	*		amm_write	0										
Loon C	ount	1	a	amm_	writedata[575:0]	<u>ب</u>		X)								
Loop c	ounc.	1	*		amm_read	0										
Burst L	enath	: 1	_	amm	_burstcount[6:0]	Đ						01h				
	9	- <u>-</u>		amm_	readdata[575:0]	•••									X	
Idle Co	unt (v	write-to-read):	*	amm	_readdatavalid	0	<u> </u>					; `				
		<u> </u>				-	4		_				<u> </u>			
Idle Co	unt (r	ead-to-write): 0	【動伯									ä	aṁm_bur	stcount	= 1	
Enable	WOR	M mode: Ealen		ما ما بر	$0 l^{-}$ since			もちっ回宇仁				マカセ		いうす	(addrace	
		raise 🗸	(\mathbf{I}) \mathbf{a}	laar	UIC SING	le v	VII	にで3回天1」	(미)	add	iress)。	してて	4 凹深!	ノ返9	(address	Incremen
			\bigcirc	ddr	$0 l^{-} cina$	lo r		4を2回宝行	(国—	244	racc	マカを		い方す	(addrace	incromon
Write/R	ead (Count: 4		uur		le i	ea	u を 3 凹天1」	([[]]	auu	(855) 0	C112	. 4 凹床 !	ノ 返 9	(audiess	incremen
			(1)	した		int	썬	(-1) 実行して	「//□」ト							
Write/R	ead F	Repeat Count: 3				liit	젓入				山山八					
					wr- wr- wr-	wr-	wr-	wr-wr-wr-wr-wr-	wr- wr-	rd- r	d-rd-rd-	rd- rd- r	d-	rd	- rd- rd-	
					1-1 1-2 1-3	2-1	2-2	2-3 3-1 3-2 3-3 4-1	4-2 4-3	1-1 1	1-2 1-3 2-1	2-2 2-3 3	3-1	3-	2 3-3 4-1	
Π	Туре	Alias	Va	me 0	2	4		6 8 10	12		14 1	6 18	20	22	24 . 26	28
	*	amm_ready		0												
	5	amm_address[27:0]	Ŧ	- X	000000h χ	000	00001h	h χ 000002h χ 00	00003h Х	0000	000h χ 0	000001h χ	000	0002h	χ	000003h
	*	amm write		0												
	<u> </u>	amm_writedata[575:0]	1 4		γ				γ							
	*	anni_writedata[575.0]	1 1		^				^							
	~	amm_read									011					
	2	amm_burstcount[6:0]	±								UIN					
	7	amm_readdata[575:0]] •		00000000	00000	0000F	FFFFFFFFFFFFFFFFF000000000	00000000FF	FFFFFFF	FFFFFFFFFFFFFFFF	FFFFFFFFFFFF	000000000000000000000000000000000000000	OOFFFFFFFFFFFF	FFFFFFF000000000	000000000h
	*	amm_readdatavalid		0												
li li																



-

Address Pattern

Address Pattern の設定項目について

Instruction Pattern Address Pattern Data Pattern					
General Settings					
Start Each Loop With The Same Address: False 💌					
Sequential Address Increment: 1					
Address Mode: Sequential					
Start Address: 0x0000000000000000					

項目	説明
Start Each Loop with The Same Address	True 設定の場合、各ループの開始アドレスを同一にします。
Sequential Address Increment	Address Mode を Sequential にした場合のインクリメン ト・ステップを設定します。
Address Mode	Address Mode を設定します。 ・Sequential ・Random ・Random Sequential
Start Address	開始アドレスを設定します。
Num Rand-Seq Address (Random Sequential Mode)	Address Mode を Random-Sequential にした場合の、 Sequential 動作を実行する回数を設定します。



Address Mode : Sequential

● Address 値を インクリメントします

。 インクリメント動作のステップ値を設定します





Address Mode : Random

● Address 値を Random に変更します

Instruction Pattern Address Patt	Instruction P	attern	Address Pattern Data Pattern										
General Settings	General Se	tting	5										
Loop Count: 4	Start Each Lo	op Wi	th The Same Address: False 💌										
Burst Length: 1													
Idle Count (write-to-read): 0 Address Mode: Random					0000	າດດດ	h s	800	000b	$C \cap O \cap$	000h	FOOOOOb	
Idle Count (read-to-write): 0	Start Addres	s: 0x0	000000000000000			/	50001		/	000011	/	000011	/
Enable WORM mode: False 💌]									
		Туре	Alias	Name	-1	º 1	2	3	4	5	6	7	8
Write/Read Count: 1		*	amm_ready	0		+		¥		¥		¥	
Write/Read Repeat Count: 1		2	amm_address[27:0]	•		000000h	X	8000000h		C000000h		E000000h	<u> </u>
		*	amm_write	0									
		5	amm_writedata[575:0]	•		χ						X	
		*	amm_read	0									
		5	amm_burstcount[6:0]	.								01h	
		5	amm_readdata[575:0]	•		000000000000000000000000000000000000000	000000F	EFEFEFEFEFEFEFE	FEOOOC	000000000000000000000000000000000000000	FFFFFFFF	FFFFFFFFFFFFFFF	EFEFEFEFEFEFE000
		*	amm_readdatavalid	0									
					4								



Address Mode : Random-Sequential

- Address 値を Random と Sequential の組み合わせで変更します
 - Sequential のときのステップ値、回数を設定します



Select Each Loop With The Same Address

● 各ループの開始アドレスを Start Address 設定値とします

• Select Each Loop With The Same Address = True



Select Each Loop With The Same Address

- Select Each Loop With The Same Address = True
- Start Address = 0x0
- Loop Count = 4, Burst Length= 1, Write/Read Count = 3



Select Each Loop With The Same Address

- Select Each Loop With The Same Address = True
- Start Address = 0x100
- Loop Count = 16, Burst Length= 1, Write/Read Count = 3



Data Pattern

Data Pattern タブについて

Data Seed

Instruction Pattern Address Pattern Data Pattern TG Data Settings	項目	説明
Data Generator ID: 0 - Per-Pin-Pattern-Generator Mode: PRBS31 - Data Seed: 0x5a5a5a5a	Data Generator ID	 8 バースト動作設定時のビートを指定します。 0-7 の間で選択して、それぞれのデータを設定することになります。 【例】 ID 0:8 バーストの最初のビートのデータ ID 1:8 バーストの2 個目のビートのデータ ID 7:8 バーストの最後のビートのデータ
	Per-Pin-Pattern- Generator Mode	各ピン毎のパターンを設定します。 (詳細は後述)

Data Pattern について

- DQ0 DQ7 について、8 バーストのパターンを設定します
 - 。 DQ0、 DQ1、... DQ7 について、それぞれ個別に設定します
 - DQ0の8bitを設定 ⇒ DQ0が8バーストで出力するパターン
 - DQ1の8bitを設定 ⇒ DQ1が8バーストで出力するパターン
 - DQ2の8bitを設定 ⇒ DQ2が8バーストで出力するパターン
- DQ0 DQ7 以降は、この 8bit 単位の繰り返しとなります
 - DQ0とDQ8, DQ16, DQ24, ... は同じ
 - 。 DQ1 と DQ9, DQ17, DQ25, ... は同じ

Per-Pin-Pattern-Generator-Mode

Instruction Pattern Address Pa	attern Data Pattern 🗋
Data Settings	
Data Generator ID: 🛛 👻	
Per-Pin-Pattern-Generator Mode:	Constant Bit Per Pin 👻
Data Seed: 0x00000001	Constant Bit Per Pin PRBS7 PRBS15 PRBS31
	Custom

Per-Pin-Pattern-Generator-Mode、 および Data Seed は、 各 Data Generator ID (0 - 7) につい て個別に設定します

a Pattern	Mode	説明
t Per Pin 🔻 t Per Pin	Fixed	Data Seed の LSB 8bit を固定値として出力します。 【例】 Data Seed = 0x76543210 の場合、 0x10 ⇒ 0x10 ⇒ 0x10 ⇒ 0x10 ⇒
/lode、	PRBS 7	Data Seed の LSB 8bit を入力 seed として PRBS パターンを 出力します。 多項式は、X ⁷ + X ⁶ + 1
につい	PRBS 15	Data Seed の LSB 16bit を入力 seed として PRBS パターンを 出力します。 多項式は、X ¹⁵ + X ¹⁴ + 1
	PRBS 31	Data Seed 32bit を入力 seed として PRBS パターンを出力します。 多項式は、X ³¹ + X ²⁸ + 1
	Rotating (custom)	Data Seed 32bit を、8bit ずつ LSB 側からを順に出力します 【例】 Data Seed = 0x76543210 の場合、 0x10 ⇒ 0x32 ⇒ 0x54 ⇒ 0x76 ⇒ 0x10 ⇒

Data Pattern 設定例 (1)

Instruction Pattern Address Pattern Data Pattern
Data Settings
Data Generator ID: 7 🔽
Per-Pin-Pattern-Generator Mode: Constant Bit Per Pin 🔻
Data Seed: 0x0000001

Data Generator ID : 0 : DQ[0] 0x00000001 Constant Bit Per Pin
Data Generator ID : 1 : DQ[1] 0x00000001 Constant Bit Per Pin
Data Generator ID : 2 : DQ[2] 0x00000001 Constant Bit Per Pin
Data Generator ID : 3 : DQ[3] 0x00000001 Constant Bit Per Pin
Data Generator ID : 4 : DQ[4] 0x00000001 Constant Bit Per Pin
Data Generator ID : 5 : DQ[5] 0x00000001 Constant Bit Per Pin
Data Generator ID : 6 : DQ[6] 0x00000001 Constant Bit Per Pin
Data Generator ID : 7 : DQ[7] 0x00000001 Constant Bit Per Pin

・8 バーストの1回目 : DQ[7:0] = 8'hFF (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの2回目 : DQ[7:0] = 8'h00 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの 3-7 回目 : DQ[7:0] = 8'h00 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) DQ = 72bit なので 9 個ずつ配置して、 amm_writedata[575:0] = {{9{8'h00}, {9{8'h00}, {9{8'h00}

Туре	Alias	un -4 0 4 8 12 16 20 24 28 32 36 40 44 48 52 56
*	amm_ready	
_	amm_address [27:0]	E 8000000h X X 8000000h
*	amm_write	
5	amm_writedata [575:0]	E doccoccoccoccoccoccoccoccoccoccoccoccocc
*	amm_read	
_	amm_burstcount [6:0]	E01h
5	amm_readdata [575:0]	E XX
*	amm_readdatavalid	
	•	

Data Pattern 設定例 (2)

Instruction Pattern Address Pattern	Data Pattern T
Data Settings	
Data Generator ID: 7 💌	
Per-Pin-Pattern-Generator Mode: Consta	ant Bit Per Pin 🔻
Data Seed: 0x0000002	

Data Generator ID : 0 : DQ[0] 0x0000002 Constant Bit Per Pin Data Generator ID : 1 : DQ[1] 0x0000002 Constant Bit Per Pin Data Generator ID : 2 : DQ[2] 0x0000002 Constant Bit Per Pin Data Generator ID : 3 : DQ[3] 0x0000002 Constant Bit Per Pin Data Generator ID : 4 : DQ[4] 0x0000002 Constant Bit Per Pin Data Generator ID : 5 : DQ[5] 0x0000002 Constant Bit Per Pin Data Generator ID : 6 : DQ[6] 0x0000002 Constant Bit Per Pin Data Generator ID : 7 : DQ[7] 0x0000002 Constant Bit Per Pin

・8 バーストの1回目 : DQ[7:0] = 8'h00 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの2回目 : DQ[7:0] = 8'hFF (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの 3-7 回目 : DQ[7:0] = 8'h00 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) DQ = 72bit なので 9 個ずつ配置して、 amm_writedata[575:0] = {{9{8'h00}, {9{8'h00}, {9{8'h00}

Туре	Alias	f_{1}^{-4} , 0 , 4 , 8 , 12 , 16 , 20 , 24 , 28 , 32 , 36 , 40 , 44 , 48 , 52 , 56 , 56 , 51 , 51 , 56 , 51 ,	÷.
*	amm_ready		_
_	amm_address [27:0]	8000000h X X 8000000h	
*	amm_write	□	
5	amm_writedata [575:0]		h
*	amm_read		
5	amm_burstcount [6:0]	01h	
5	amm_readdata [575:0]	χ	
*	amm_readdatavalid		
	•		

Data Pattern 設定例 (3)

Instruction Pattern Address Pattern Data Pattern T	Data Generator ID : 0 : DQ[0] 0x000000FF Constant Bit Per Pin
Data Settings	Data Generator ID : 1 : DQ[1] 0x000000FF Constant Bit Per Pin
	Data Generator ID : 2 : DQ[2] 0x00000000 Constant Bit Per Pin
Data Generator ID: 👩 👻	Data Generator ID : 3 : DQ[3] 0x00000000 Constant Bit Per Pin
	Data Generator ID : 4 : DQ[4] 0x0000000 Constant Bit Per Pin
Per-Pin-Pattern-Generator Mode: Constant Bit Per Pin 🔻	Data Generator ID : 5 : DQ[5] 0x0000000 Constant Bit Per Pin
	Data Generator ID : 6 : DQ[6] 0x0000000 Constant Bit Per Pin
Data Seed: 0x000000ff	Data Generator ID : 7 : DQ[7] 0x0000000 Constant Bit Per Pin

・8 バーストの1回目 : DQ[7:0] = 8'h03 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの2回目 : DQ[7:0] = 8'h03 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの 3-7 回目: DQ[7:0] = 8'h03 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) DQ = 72bit なので 9 個ずつ配置して、 amm_writedata[575:0] = {{9{8'h03}, {9{8'h03}, {9{8'h03},

amm_ready		
amm_address [27:0]	E 8000000h	X X 800000h
amm_write		<u></u>
amm_writedata [575:0]	E 03	03030303030303030303030303030303030303
amm_read		
amm_burstcount [6:0]	E	01h
amm_readdata [575:0]	E	XX
amm_readdatavalid		
	amm_write amm_writedata [575:0] amm_read amm_burstcount [6:0] amm_readdata [575:0] amm_readdatavalid	amm_write amm_writedata [575:0] E amm_burstcount [6:0] E amm_readdata [575:0] E amm_readdata [575:0] E amm_readdatavalid

Data Pattern 設定例 (4)

Instruction Pattern Address Pattern Data Pattern	Data Generator ID : 0 : DQ[0] 0x000000FF Constant Bit Per Pin
Data Settings	Data Generator ID : 1 : DQ[1] 0x0000000 Constant Bit Per Pin
	Data Generator ID : 2 : DQ[2] 0x0000000 Constant Bit Per Pin
Data Generator ID: 5 🗸	Data Generator ID : 3 : DQ[3] 0x0000000 Constant Bit Per Pin
	Data Generator ID : 4 : DQ[4] 0x0000000 Constant Bit Per Pin
Per-Pin-Pattern-Generator Mode: Constant Bit Per Pin 🔻	Data Generator ID : 5 : DQ[5] 0x000000FF Constant Bit Per Pin
Data Candu In and and a	Data Generator ID : 6 : DQ[6] 0x0000000 Constant Bit Per Pin
Data Seed: 0x000000FF	Data Generator ID : 7 : DQ[7] 0x0000000 Constant Bit Per Pin

・8 バーストの1回目 : DQ[7:0] = 8'h21 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの2回目 : DQ[7:0] = 8'h21 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) ・8 バーストの 3-7 回目: DQ[7:0] = 8'h21 (= DQ[15:8] = DQ[23:16] = DQ[31:24] ... DQ[71:64]) DQ = 72bit なので 9 個ずつ配置して、 amm_writedata[575:0] = {{9{8'h21}, {9{8'h21}, {9{8'h21},

Туре	Alias	yg -40.4.8.12.16.20.24.28.32.36.40.44.48.52.56.
*	amm_ready	
_	amm_address [27:0]	E 8000000h X X 8000000h
*	amm_write	
5	amm_writedata [575:0]	E 21212121212121212121212121212121212121
*	amm_read	
_	amm_burstcount [6:0]	E01h
_	amm_readdata [575:0]	EX_XX
*	amm_readdatavalid	

Traffic Preset Mode

Traffic Preset Mode の選択

● Traffic Generator 2.0 では Preset Mode が選択可能です

。 プルダウンで選択可能です

Toolkit Explorer ፡፡ System Explorer ፡፡ ፡፡	- 6 0	Welcome 🕱 Collection_1 🕱
Toolkit Explorer System Explorer >> Show all instances Load Design C Instances Instances ed_synth.sof A Stratix 10H Soc Dev Kit on localhost [5 F Stratix 10H Soc Dev Kit on localhost [5 Instances Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5 Image: Stratix 10H Soc Dev Kit on localhost [5	- C References /home/tscomp14/work/umada/2_emif_tg2_v2 emif_cal_dbg_s10_19.2.3 emif_tg_cfg_1.0	Welcome Statis Collection_1 Statis Toolkit: "EMIF TG Configuration Toolkit" (emif_tg_cfg 1.0) IPs: Stratix 10H SoC Dev Kit on localhost [5-3]]1SX280HH1(. S3)]1SX280HH2]@1[ed_synth_inst[tg]tg START TG RESTART DEFAULT Traffic Instruction Pattern Address Pattern Data Pattern TG Status Report Configuration and Status Registers Walking 0's General Settings Loop Count: Instruction (write-to-read): Idle Count (read-to-write): 0 Idle Count (read-to-write): 0
Details	Collections Collection_1 Collection Toolkit" Collection_1 Stratix 10H SoC Dev Kit on localhost	Write/Read Count: 1 Write/Read Repeat Count: 1

Preset について

Traffic Preset Mode: Default	項目	説明
egisters Walking 1's Walking 0's Read & Write Entire Memory	Default	デフォルト・パターンが設定されます。 ループ回数1、開始アドレス0などとなっています。 (本資料では設定画面の説明はございません) データは0x5a5a5a5a となります。
	Walking 1s	各 DQS グループ内の DQ が 1つだけ 1 になり、それが 8 バースト動作中に各 DQ でシフトしていくパターンです。
	Walking 0s	各 DQS グループ内の DQ が 1 つだけ 0 になり、それが 8 バースト動作中に各 DQ でシフトしていくパターンです。
	Read & Write Entire Memory	全アドレス領域に、Sequential mode で all '1' を設定する パターンです。 バースト長は 64 に設定されます。

legisters

Traffic Preset Mode (1) : Walking 1's

● Walking 1's は、DQ[7:0] で 1 が シフトしていくパターンです

8バーストの1回目: DQ[7:0] = 8'h01,8バーストの2回目: DQ[7:0] = 8'h02, {9{8'h80}} {9{8'h40}} {9{8'h20}} {9{8'h10}} {9{8'h08}} {9{8'h08}} {9{8'h04}} {9{8'h02}} {9{8

						<u> </u>															
Т	/pe	Alias	Name	14	16	18	20	2	2	24	26	2	3 3	, c	32	34	36		38	40	42
*		amm_ready	0																		
C	-	amm_address[27:0]	•		χ 0000004	า	χ	0000005h	X	000000	6h	х	0000007	h	<u> </u>	000008h	_X	00000	009h	X	000000Ah
*		amm_write	0																		
C	-	amm_writedata[575:0]	•		808080808	080808080	304040404	04040404040	2020202020	202020202020101	01010101	01010100	8080808080808	080808040	40404040	40404040202	2020202020202	202020101	010101010	10101h	
*		amm_read	0				1														
C	-	amm_burstcount[6:0]	•									0'	h								
C	-	amm_readdata[575:0]	•		0000000000	0000000	FEFEFEFEFE	FEFEFEFE000	00000000	00000000FEFEF	EFEFEFEFE	FEFEFEFE	EFEFEFEFEFEFEFEFE	000000000	0000000	OOFEFEFEFEF	EFEFEFEFEO	00000000	000000000	h	
*		amm_readdatavalid	0																		

Traffic Preset Mode (2) : walking 0's

● Walking 0's は、DQ[7:0] で 0 が シフトしていくパターンです

Instruction Pattern Address Pattern	Instruction Pattern Address Pattern Data Pattern	Instruction Pattern Address Pattern Data Pattern TG Data Generator ID : 0 : DQ[0] 0xFEFEFEFE
General Settings	General Settings	Data Generator ID : 1 : DQ[1] 0xFDFDFDFD Data Generator ID : 2 : DQ[2] 0xFBFBFBFB
Loop Count: 10	Start Each Loop With The Same Address: False 💌	Data Generator ID: 0 Data Generator ID: 3 : DQ[3] 0xF7F7F7F7 Data Generator ID: 4 : DQ[4] 0xEEEEEEE
Burst Length: 1	Sequential Address Increment: 1	Per-Pin-Pattern-Generator Mode: Custom
Idle Count (write-to-read): 1	Address Mode	Data Seed: Oxfefefefe
Idle Count (read-to-write): 1	Address Mode: Sequential	Data Generator ID : 7 : DQ[7] 0x7F7F7F
Enable WORM mode: False 💌	Start Address: 0	
Write/Read Count: 1 Write/Read Repeat Count: 1		Example Bit Reg Bit Reg Bit Reg • mem_dd[7] 2 • mem_dd[6] 2 • mem_dd[6] 2 • mem_dd[8] 2 • mem_dd[7] 2 • mem_dd[8] 2 • mem_dd[1] 2 • mem_dd[1] 2 • mem_dd[0] 2

8 バーストの1回目: DQ[7:0] = 8'hFE, 8 バーストの2回目: DQ[7:0] = 8'hFD,

 ${9{8'hFF}} {9{8'hBF}} {9{8'hDF}} {9{8'hEF}} {9{8'hF7}} {9{8'hFB}} {9{8'hFD}} {9{8'hFD}} {9{8'hFE}}$

Туре	Alias	Name	14 1	6	18 '		20		22		24	26		28		30		32	. 3	4	3	6	38		40
*	amm_ready	0																							
2	amm_address[27:0]	•	X	0000	004h		00	000005h		χ	0000)06h			00000	007h			000000	lh)		00	000009h		
*	amm_write	0									$ \neg \neg$														
1	amm_writedata[575:0]	•		7F7F	7F7F7F7F7	F7F7FB	FBFBFBFE	BFBFBFBFB	BFDFDFC	DFDFDF	DFDFDFD	EFEFEFEF	EFEFEFE	FEFF7F7	F7F7F7	F7F7F7	F7FBFBF	BFBFBFB	FBFBFBFD	FDFDFDF	DFDFD	FDFDFEF	EFEFEFEF	EFEFEFE	h
*	amm_read	0																							
2	amm_burstcount[6:0]	.												01h											
2	amm_readdata[575:0]	•	808	0808080	08080808080	0404040	4040404	40404020	202020	202020	20201010	10101010	101010	0808080	808080	80808	0404040	404040	40404020	2020202	02 02 0	2020101	01010101	010101	a
*	amm_readdatavalid	0																							

Traffic Preset Mode (3) : Read & Write Entire Memory

- Read & Write Entire Memory は、全領域に FFh を ライト/リードします
 - 。 64 バーストで ループして全領域にアクセスします

Instruction Pattern Address Patter		Instruction Pattern Address Pattern Data Pattern	Instruction Pattern Address Pattern Data Pattern To
General Settings		General Settings	Data Settings
Loop Count: 67108864		Start Each Loop With The Same Address: False 💌	Data Generator ID: 0 💌
Burst Length: 64]	Sequential Address Increment: 64	Per-Pin-Pattern-Generator Mode: Custom
Idle Count (write-to-read): 1		Address Mode	Data Seed: 0xfffffff
Idle Count (read-to-write): 1		Address Mode: Sequential	ora seea.
Enable WORM mode: False 💌		Start Address: 0	
Write/Read Count: 1			
Write/Read Repeat Count: 1			

Data Generator ID : 0 : DQ[0] 0xFFFFFFF Data Generator ID : 1 : DQ[1] 0xFFFFFFF Data Generator ID : 2 : DQ[2] 0xFFFFFFFF Data Generator ID : 3 : DQ[3] 0xFFFFFFFF Data Generator ID : 4 : DQ[4] 0xFFFFFFFF Data Generator ID : 5 : DQ[5] 0xFFFFFFFF Data Generator ID : 6 : DQ[6] 0xFFFFFFFF Data Generator ID : 7 : DQ[7] 0xFFFFFFFFF

{72{8'hFF}}

					1																						
Туре	Alias	Nam	- 64 -48 -32 -16	0 16 32 48	64	80	96	112	128	144	160	176	192	208	224	240	256	272	288	304	320	336	352	368	384	400	416
*	amm_ready	0																									
5	amm_address[27:0]	•	000000Ah	000000h					000004	Oh											800000	Oh					
*	amm_write	0																									
5	amm_writedata[575:0]				FFFFFFFF	FFFFFFFFF	FFFFFFFF	FFFFFFFFFF	FFFFFFFF	FFFFFFF	FFFFFFFFFF	FFFFFF	FFFFFFFFF	FFFFFFF	FFFFFFFF	FFFFFFFF	FFFFFFFFF	FFFFFFF	FFFFFFF	FFFFFFFF	FFFFFFFF	Fh					
*	amm_read	0																									
6	amm_burstcount[6:0]	+											40h														
5	amm_readdata[575:0]								FFFFF	FFFFFFF	FFFFFFFFF	FFFFFFF	FFFFFFFFF	FFFFFFF	FFFFFFFF	FFFFFFFF	FFFFFFFFF	FFFFFFFF	FFFFFFF	FFFFFFFF	FFFFFFFF	FFFFFFF	FFFFFFFF	FFFFFFFFFF	FFFFFF	FFFFFFF	Fh
*	amm_readdatavalid	0																									
			•																								

まとめ MACNICA

- Traffic Generator 2.0 では、ユーザー側でテスト・パターンの設定が可 能です
- Traffic Preset Mode も用意されています
- テスト結果について、ビット毎に表示され、期待値と異なる場合エラー 表示となります

Revision	年月	概要
1.0	2021年10月	初版作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

- 1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
- 2. 本資料は予告なく変更することがあります。
- 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
- 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
- 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

Confidential

MACNICA