

# ＜高速サンプリング FFT＞ サンプルデザインの説明と確認手順

# macnica

株式会社マクニカ アルティマカンパニー

Rev.1 2020/9

# Agenda

アーカイブ・ファイルの内容

実行の準備 : IP と Example Design の生成

機能シミュレーションの実行

コンパイルの実行

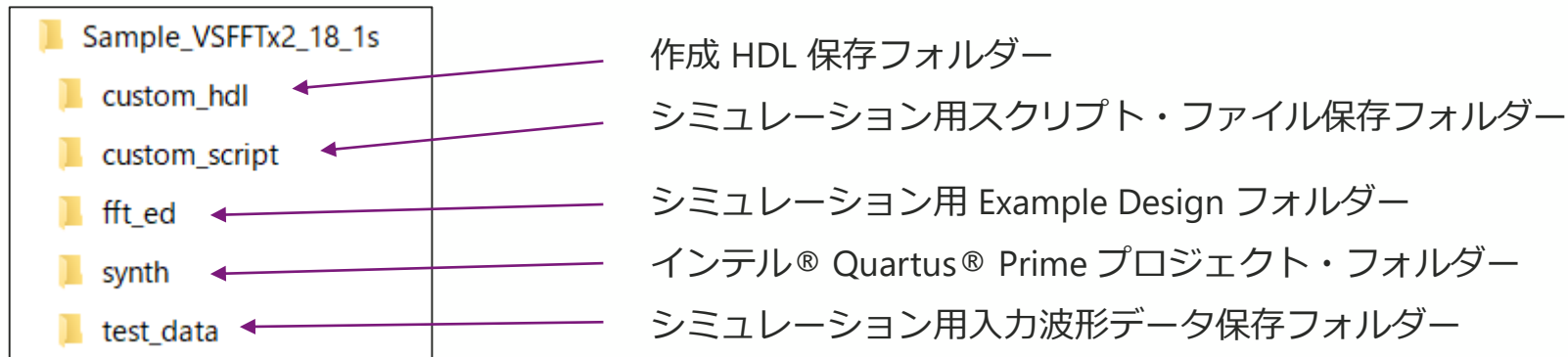
Appendix: ファイルの詳細

# アーカイブ・ファイル の内容

**macnica**

# 解凍ファイル、使用ツールについて

## ● フォルダ構成（アーカイブ・ファイル内容）



## ● 使用ツール

- インテル® Quartus® Prime Standard Edition version 18.1
- ModelSim® - Intel® FPGA Edition 10.5b

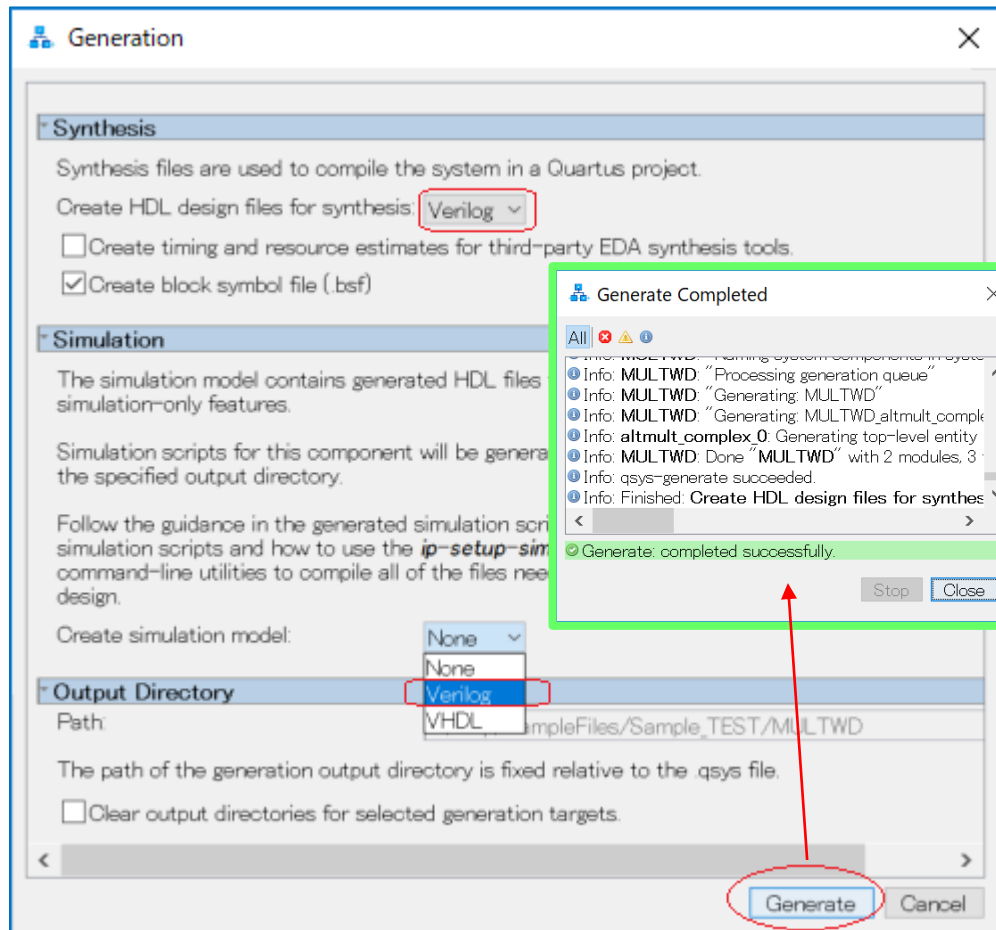
# 実行の準備 : IP と Example Design の生成

**macnica**

# IP の生成 ①

- シミュレーションやコンパイルを実施するには、IP を Generate する必要があります
- 手順は以下となります
  - ① Quartus® Prime 開発ソフトウェアを起動します
  - ② File → Open project から、synth フォルダの sample\_syntest.qpf を開きます
  - ③ File → Open → MULTWD.qsys を選択します
    - Platform Designer が起動します
  - ④ 設定変更は行わずに、右下の Generate HDL をクリック
  - ⑤ Generate 画面で、synthesis および simulation の Generate model を Verilog を選択して Generate をクリック(次頁参照)
  - ⑥ 生成後、close, Finish をクリックします
  - ⑦ 下記の3ファイルについても、③-⑥ の作業を行います
    - TWR0M4096HALF.qsys、VSFFT2048.qsys、VSFFT4096.qsys

# Generation 画面の設定



← Synthesis の model が Verilog になっている事を確認

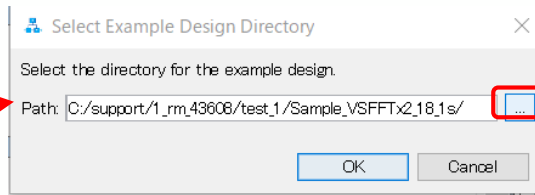
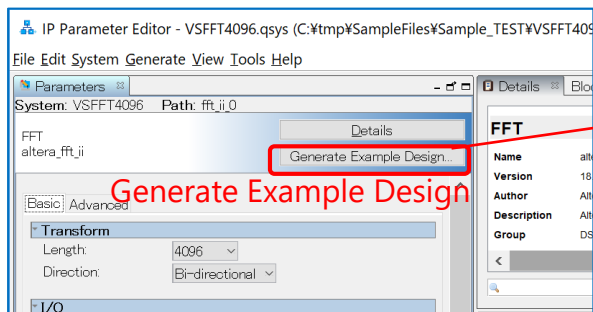
← Simulation model も Verilog を指定してください

## IP の生成 ②

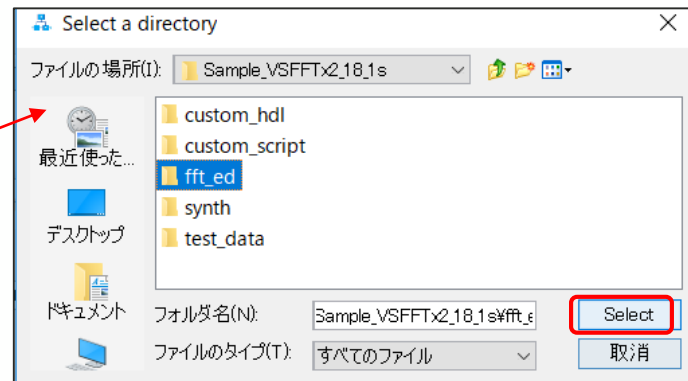
- シミュレーションでは、fft の example design を利用します

- 手順は以下となります

- ① Quartus® Prime 開発ソフトウェアを起動します
- ② File → Open → VSFFT4096.qsys を選択します  
- Platform Designer が起動します
- ③ 右上の Generate Example Design をクリック
- ④ 出力先を、解凍フォルダー中の fft\_ed フォルダに指定します  
後に使用する script はこの構成で作成しています

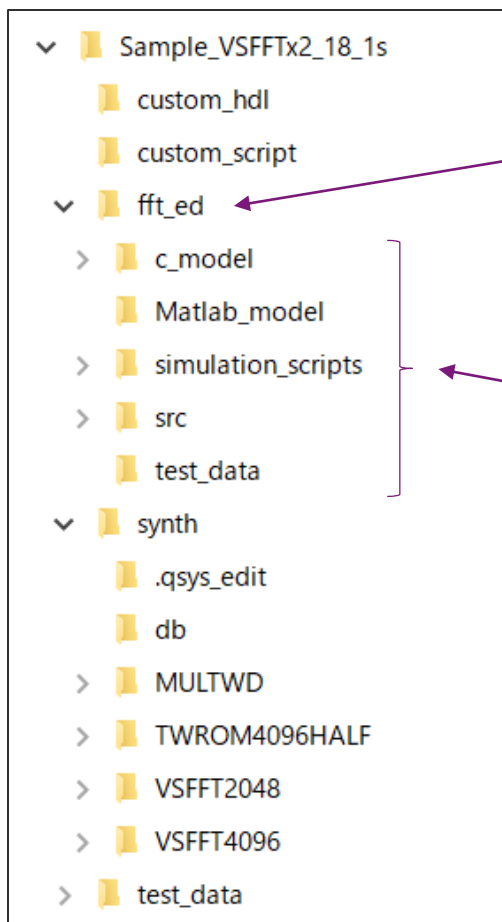


出力先指定ダイアログ





# 生成後のフォルダー構成



シミュレーション用example design フォルダ  
(解凍時空きフォルダ、生成 Example Design 出力先)

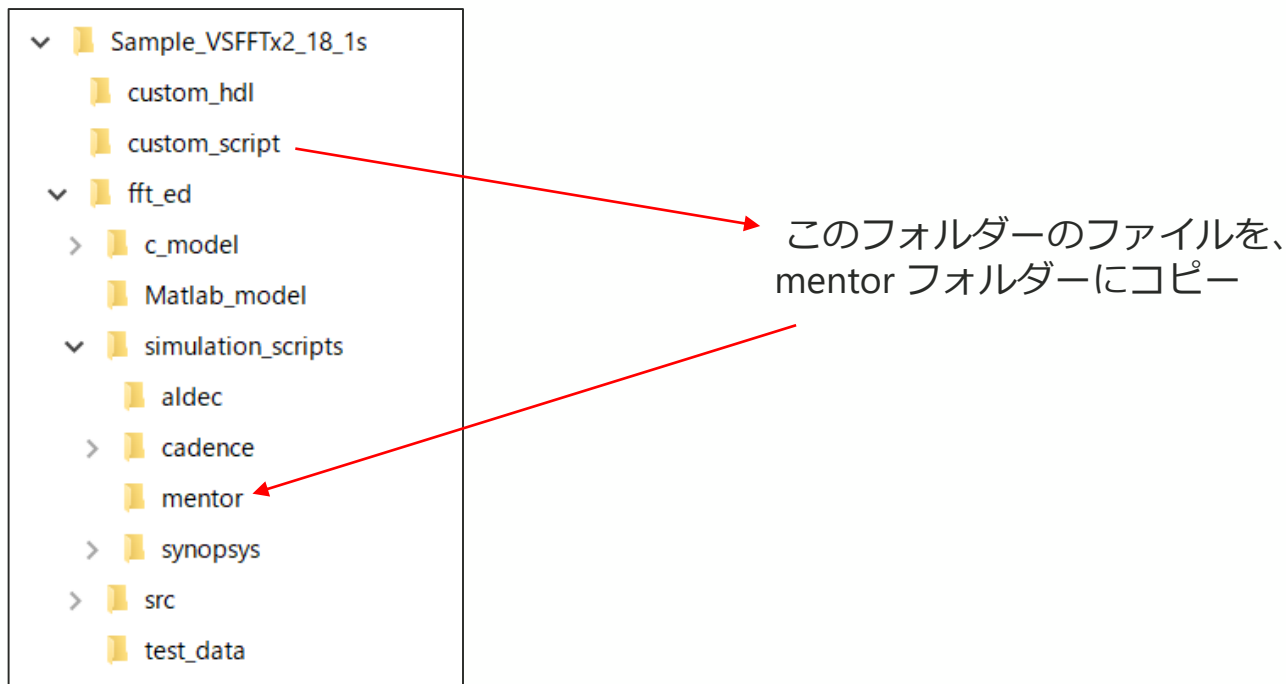
生成された Example Design のサブフォルダー

機能シミュレーション  
の実行

**macnica**

# シミュレーション用 スクリプトのコピー

- custom\_script フォルダ内の 2 ファイルをコピーします
  - ファイル名 :msim\_setup\_custom.tcl、 wave\_sample.do
  - コピー先 : fft\_ed¥simulation\_scripts¥mentor

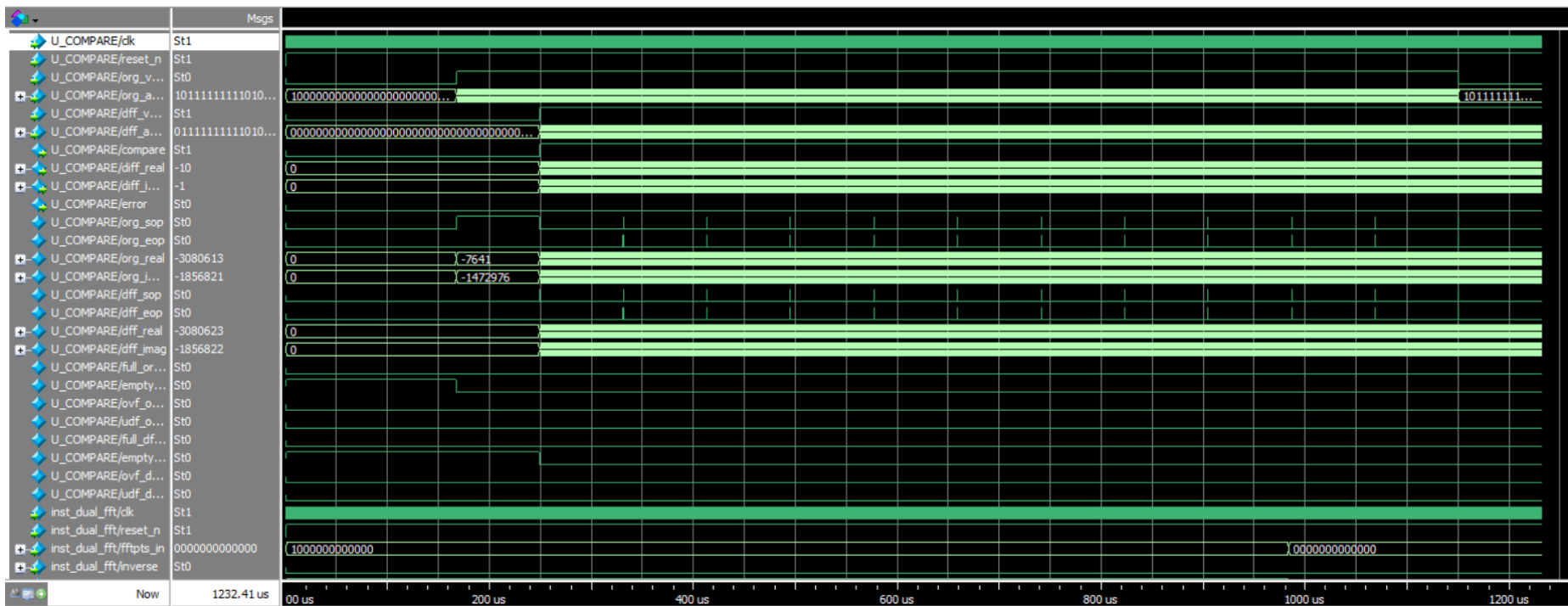


# シミュレーション実行手順

## ● シミュレーション実行手順

- ① ModelSim® を起動します
- ② File → Change directory で、ファイルをコピーした mentor フォルダーに移動します
- ③ do msim\_setup\_custom.tcl と入力します
  - または Tools → Tcl → Execute Macro から msim\_setup\_custom.tcl を選択します
- ④ シミュレーションが実行されます
- ⑤ シミュレーションが完了し、Finish Vsim の画面が表示されます
  - 完了するまで 10 分程度掛かります
- ⑥ 波形の確認など作業を続ける場合は [いいえ] を選択します
  - [はい]を選択すると、波形が保存され、ModelSim® が終了します

## シミュレーション実行結果



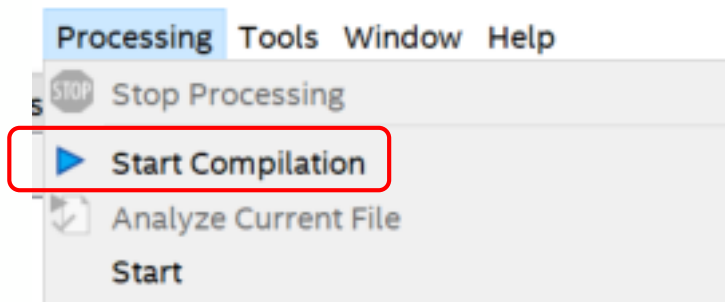
コンパイルの実行

**macnica**

# コンパイル実行手順

## ● コンパイル実行手順

- ① Quartus® Prime 開発ソフトウェアを起動します
- ② File → Open project から、synth フォルダの sample\_syntest.qpf を開きます
- ③ File → Start Compilation を実行します
  - または Start Compilation のアイコン([▶]) をクリックしてください



## Appendix: ファイルの詳細

**macnica**



# アーカイブ・ファイルの内容: custom\_hdl フォルダー (1)

ファイル名	内容
AVSTDLYNOWAT.v	Avalon-ST ストリームに固定の Delay を与えます
butterfly_2048x2.v	2048点 FFT IP 2並列を統合するバタフライ演算
combine_src_vrhs.v	Avalon-ST 並列ストリームの同期論理(一部)
compare_ffts.v	動作確認用の比較検証回路（合成からは除外）
DELAY.v	遅延用シフトレジスター(データ幅, レイテンシのパラメーター化)
dual_fft.v	並列化 FFT コア部分 + 入出力の変換回路(レート調整、FIFO)
fft_ii_0_example_design.v	機能検証用 Example Design Top module。オリジナルに並列化コア(+入出力変換)、比較検証回路を組み込んでいます
fifo_regout.v	同期 FIFO, レイテンシ 1 対応のためバイパス回路内蔵
last_butterfly.v	バタフライ回路(Radix-2) 最終段の加減算回路
pack_tank.v	レート調整回路、Avalon-ST パケットを設定数まで蓄積保持
readtwddl.v	回転因子用 ROM 読み出し(アドレス管理)回路

## アーカイブ・ファイルの内容: custom\_hdl フォルダ (2)

ファイル名	内容
result_pack_p2s.v	並列化 FFT コア出力(2並列)を直列化するユニット (各並列要素の FIFO + Multiplexer + 直列バッファ用 FIFO)
roundtrunc.v	バタフライ演算回路用丸めユニット
split_snk_vrhs.v	Avalon-ST ハンドシェーク信号分岐用ロジック
splitter_s2p.v	Avalon-ST データ並列化分岐ユニット

# アーカイブ・ファイルの内容: custom\_script フォルダ

ファイル名	内容
msim_setup_custom.tcl	ModelSim シミュレーション用スクリプト
wave_sample.do	ModelSim シミュレーション波形 信号指定用スクリプト

# アーカイブ・ファイルの内容: test\_data フォルダ

ファイル / サブフォルダ名	内容
fft_ii_0_example_design_real_input.txt	シミュレーションで使用される実数入力データ
fft_ii_0_example_design_imag_input.txt	シミュレーションで使用される虚数入力データ
fft_ii_0_example_design_blksize_report.txt	シミュレーションで使用されるブロックサイズ指定データ(*1)
fft_ii_0_example_design_inverse_report.txt	シミュレーションで使用される FFT 方向指定データ(*2)
Original (フォルダ)(*3)	元の Example Design の default データ用フォルダ
Random4x3 (フォルダ)(*3)	乱数データ用フォルダ
SignWave (フォルダ)(*3)	正弦波データ用フォルダ

## (Note)

\*1:本サンプルデザインでは、指定内容として、4096 x 行いたいパケット数 のみ対応します

\*2:本サンプルデザインでは、指定内容として、順方向 “0” (xパケット数) のみ対応します

\*3:各サブフォルダは test\_data 直下の4つのデータと同じ名前のファイルが含まれています。データの内容は説明の様にそれぞれ異なっています。test\_data 直下のファイルに上書きコピーすることで、シミュレーションで使用される入力波形データを説明のものに入れ替えることができます。

# アーカイブファイルの内容: synth フォルダー

ファイル名	内容
fft_ii_0_example_design_syn.v	コンパイル(synthesis)対象 top デザイン 4096 点 FFT と 2048 点 FFT 2並列回路を含む（一括比較のため）
sample_syntest.qpf	コンパイル用プロジェクトファイル
sample_syntest.qsf	コンパイル用プロジェクト設定ファイル
SDC1.sdc	コンパイル用タイミング制約ファイル
MULTWD.qsys	乗算 IP (回転因子用、複素乗算)
TWROM4096HALF.qsys	ROM IP (回転因子関数表)
TWIDDLE.mif	ROM IP 初期化ファイル、synthesis/simulation 両用 (simulation ではスクリプトの指示でコピーして使用されます)
VSFFT2048.qsys	2048 点 FFT IP (2並列用)
VSFFT4096.qsys	4096 点 FFT IP (比較用、および検証用 Example Design のベース)



Thank you !

# 改版履歴

Revision	年月	概要
Rev.1	2020年9月	新規作成