

インテル® Stratix® 10 FPGA

デザイン・ガイドライン補足資料

macnica

株式会社マクニカ アルティマカンパニー

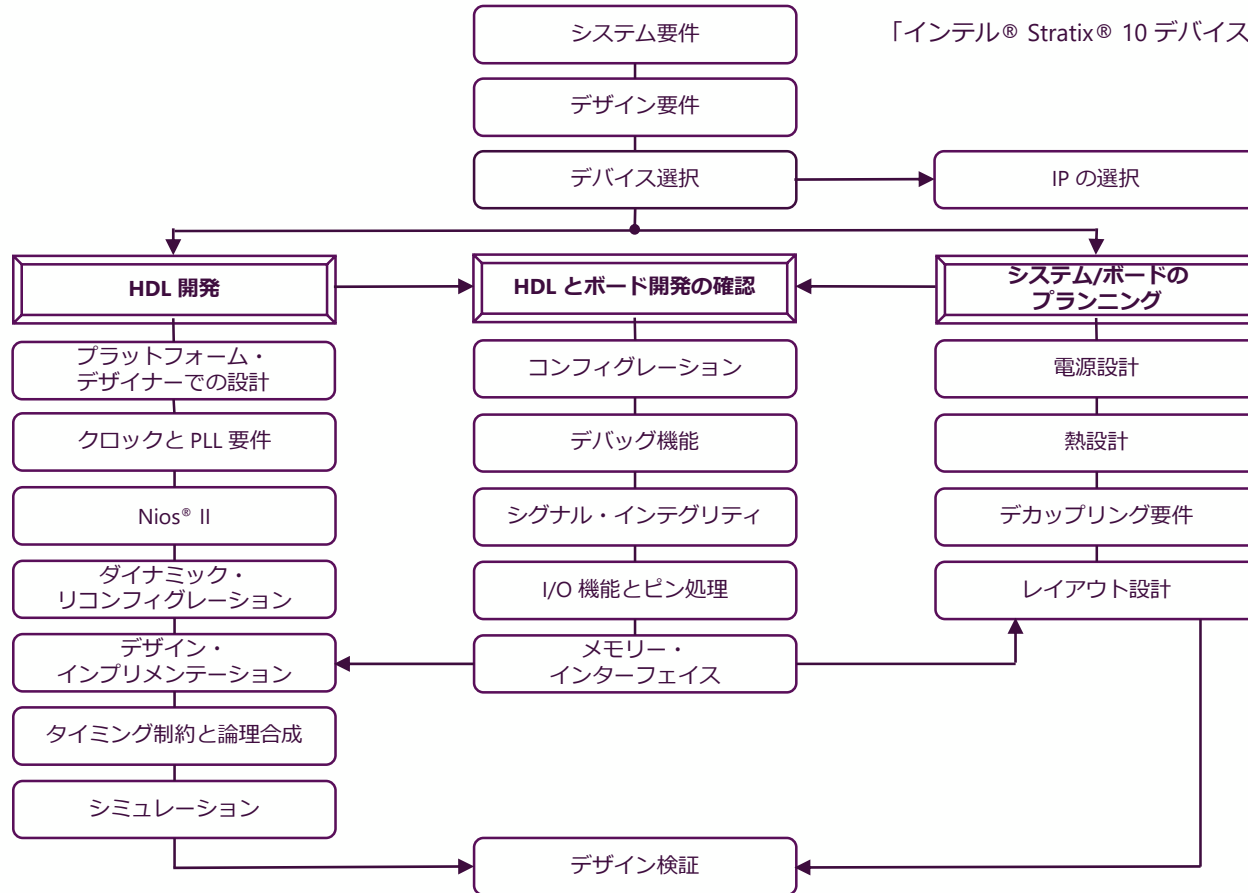
Rev.2 2020/10

はじめに

- 高密度で高性能な インテル® Stratix® 10 デザインを確立するには、デザインプロセスの早期段階で FPGA とシステムのプランニングを立てることが重要です。
- “インテル® Stratix® 10 デバイスのデザイン・ガイドライン” (下記のリンク参照) は、生産性を向上させ一般の設計上の落とし穴を避けるため、デザインフローの各ステージにおけるデザイン・ガイドラインを提示しています。
- 本資料は、“インテル® Stratix® 10 デバイスのデザイン・ガイドライン” の中でも、特に気を付けるべきポイントをまとめた補足資料です。デザインステージにおけるすべての注意事項をまとめている資料ではありませんので、“インテル® Stratix® 10 デバイスのデザイン・ガイドライン” 資料と併せてご活用ください。
- インテル® Stratix® 10 デバイスのデザイン・ガイドライン
 - https://www.intel.co.jp/content/dam/altera-www/global/ja_JP/pdfs/literature/hb/stratix-10/s10-guidelines-j.pdf

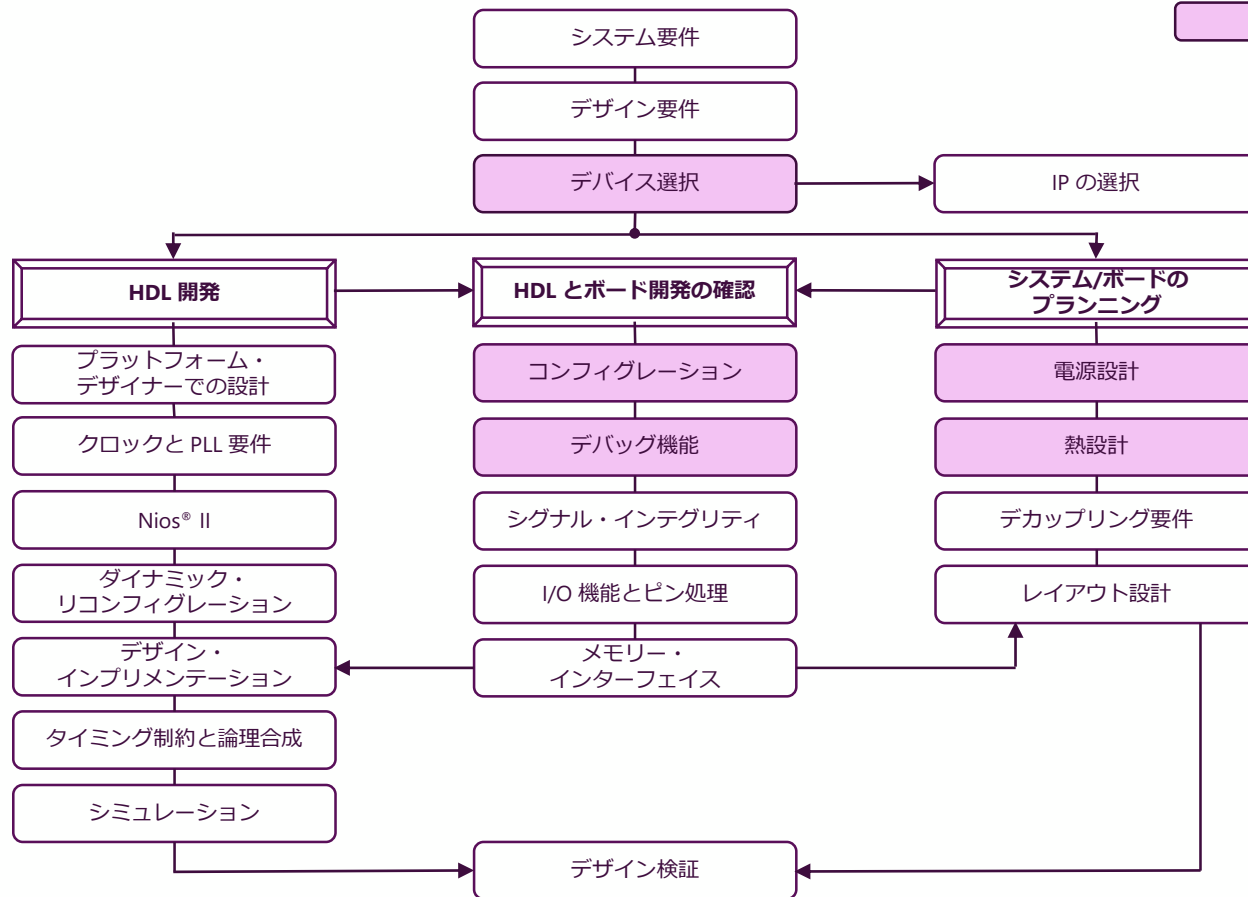
インテル® Stratix® 10 デバイスのデザインフロー

「インテル® Stratix® 10 デバイスのデザイン・ガイドライン」資料より



インテル® Stratix® 10 デバイスのデザインフロー

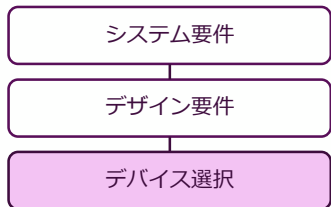
※本資料で説明する項目



アジェンダ

1. デバイスのバリエーション
2. 電源設計
3. 熱設計
4. コンフィグレーション
5. SDM Debugger でのデバッグ

デバイスのバリエーション



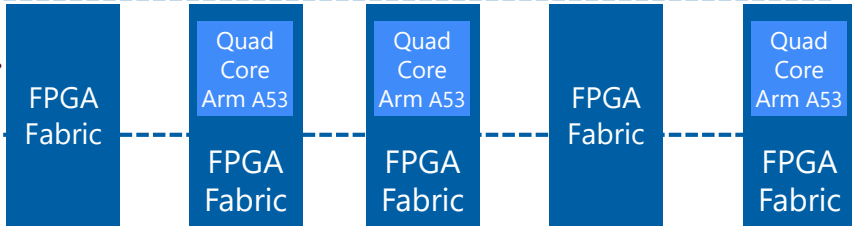
最大 512 Gbps の HBM2 メモリー帯域幅 ※1



PAM-4 で最大 57.8 Gbps、NRZ で 28.9 Gbps のデータレートが可能



64bit・クアッドコア Arm Cortex-A53 プロセッサを搭載したハード・プロセッサ・システム ※2



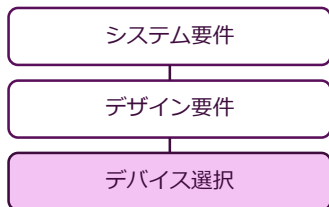
- Intel® Hyperflex™ FPGA アーキテクチャ
- 最大 8.6 TFLOPS DSP
- Secure Device Manager
- モノリシック FPGA コア・ファブリック
- 28G NRZ Transceiver (GX/SX/TX/MX)
- PCIe Gen4 or UPI (DX)



Intel® Stratix® 10 **GX** Intel® Stratix® 10 **SX** Intel® Stratix® 10 **TX** Intel® Stratix® 10 **MX** Intel® Stratix® 10 **DX**

※1 MX はすべてのデバイスに HBM2 が含まれています
DX は HBM2 を含まない型番があります
※2 SX はすべてのデバイスに HPS CPU Core が含まれています
TX と DX シリーズは HPS CPU Core を含まない型番があります

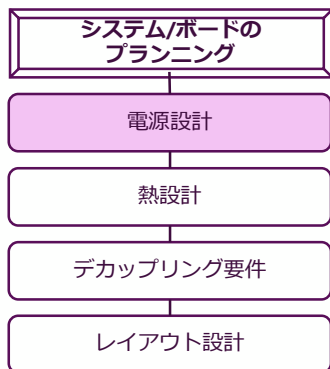
デバイスのバリエーション ～トランシーバー・タイトル～



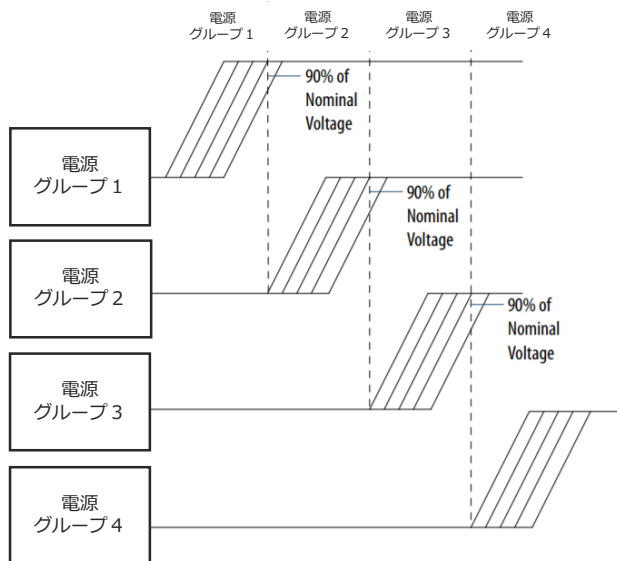
		L-Tile ※	H-Tile	E-Tile	P-Tile
特徴		最大 8 つのトランシーバー・チャンネルが GXT チャンネルとして設定可能であり、最大 26.6 Gbps のデータレートを達成可能	最大 16 チャンネルを GXT チャンネルとして設定可能であり、最大 28.3 Gbps のデータレートを達成可能	10GE、25GE、100GE プロトコルをサポートするためのイーサネット・ハード IP (eHIP) を内蔵	PCIe Gen4 Hard IP および UPI のハード IP を内蔵
対応デバイス		GX、SX	GX、SX、TX、MX	TX、DX、MX	DX
対応帯域	Chip to Chip	GX —17.4 Gbps GXT —26.6 Gbps	GX—17.4 Gbps GXT—28.3 Gbps	GXE—28.9 Gbps NRZ GXE—57.8 Gbps PAM4	16 Gbps
	Backplane	GX、GXT— 12.5 Gbps	GX—17.4 Gbps GXT—28.3 Gbps	GXE—28.9 Gbps NRZ GXE—57.8 Gbps PAM4	16 Gbps
内蔵ハード IP		<ul style="list-style-type: none"> • PCIe Gen3 x16 	<ul style="list-style-type: none"> • PCIe Gen3 x16 • SR-IOV (4 PF, 2K VF) • 50/100GbE MAC 	<ul style="list-style-type: none"> • 100GbE MAC and RS (528, 514)-FEC • Ethernet—KP-FEC • 10/25GbE MAC and RS (528, 514)-FEC 	<ul style="list-style-type: none"> • PCIe Gen4 hard IP blocks • Intel Ultra Path Interconnect (UPI) hard IP

※L-Tile の使用をご希望される場合には MACNICA までご連絡ください

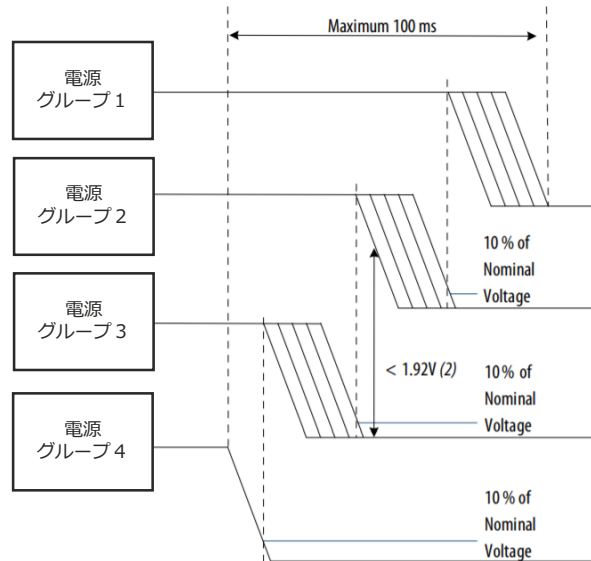
電源設計 ～電源シーケンス～



● パワーアップ・シーケンス

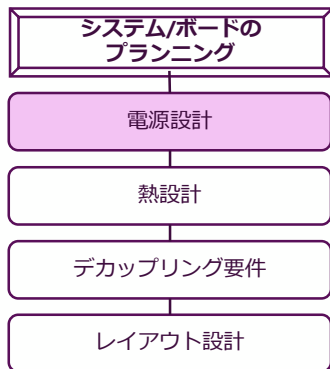


● パワーダウン・シーケンス



- デバイス・バリエーション毎の電源グループ構成は、下記のユーザーガイドを参照
- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-10/ug-s10-pwr.pdf>
"Voltage Rails" セクションを参照
- デバイス・バリエーション毎の電源ツリー構成は、下記のピン・コネクション・ガイドライン資料を参照
- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/dp/stratix-10/pcg-01020.pdf>
"Power Supply Sharing Guidelines" セクションを参照

電源設計 ～電源管理ソリューション～



● インテル® MAX® 10 FPGA を使った電源管理ソリューション

- 最大 143 レールの電源シーケンスの管理
- PMBus (業界標準のパワー・マネジメント・バス) に対応
- すぐ使える Reference Design を提供
 - <https://01.org/multi-rail-power-sequencer-and-monitor>
- 使用方法は Application Note 896 を参照
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an896.pdf>

推奨

GUI ベースで各値を設定

Power Sequencer sequencer_top

Parameters

Output Voltage Rails:

Combine rails into groups

Component's Clock Frequency: MHz

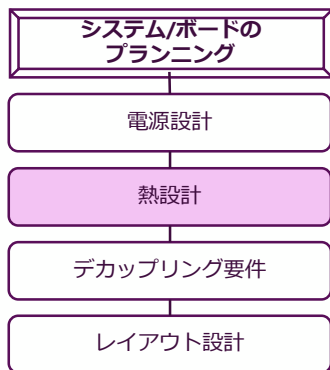
Sequencer Setup

Sequencer Delay (PG to next OE):
Defines the delay from when the master enable is asserted to when the first rail's output enable is asserted, or from when power_good is asserted until the next rail's output enable is asserted. A value of "0ns" will bypass this delay. Units can be specified as s, ms, us, and ns (e.g. 1 ms).

● インテル® MAX® 10 FPGA で電源管理する際の注意点

- 電源を制御するので、インテル® Stratix® 10 FPGA よりも先に起動している必要がある
- 特に CvP 使用時には起動時間に注意が必要
 - PCI Express のインターフェイスを利用してコンフィグレーションを実施する CvP の場合には、Host PC からの PERST# が解除されるまでの 100[ms] 以内に Link Up している必要がある
 - 上記の起動時間も考慮した電源設計が必要

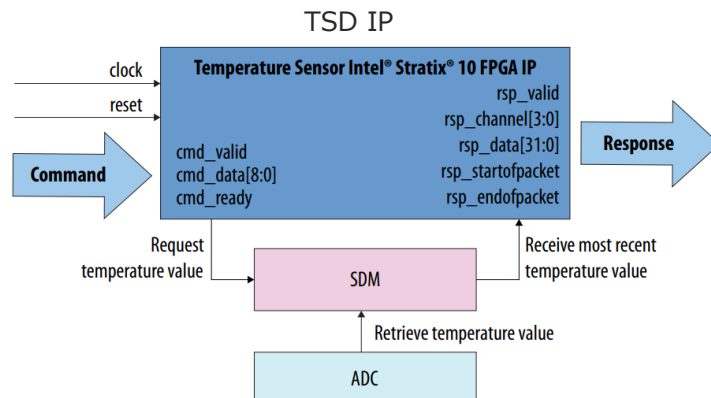
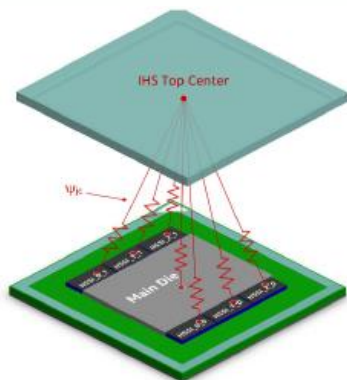
熱設計



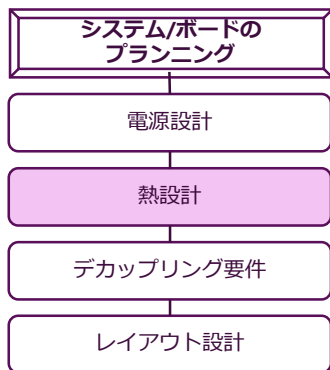
● ツール及び IP を使った熱設計ソリューション

- 消費電力/熱解析
 - Power and Thermal Calculator (**PTC**) ツールを使用すること
 - Early Power Estimators は ver 19.4 が最終バージョンとなるため非推奨
- ダイの温度管理
 - マルチダイ構成のため各ダイからの熱の影響を考慮
 - Temperature Sensor Diode (**TSD**) IP を使用してリアルタイムにモニター
 - TSD の構成は下記のユーザーガイドを参照
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-10/ug-s10-adc.pdf>

“Voltage Sensor IP Core Block Diagram” セクションを参照



熱設計



● PTC ツール

- インテル® Quartus® Prime および単独で使用可能
- 各タブ毎にリソース使用率を入力する事で消費電力及び熱計算を実施
- コンパイル結果をもとに算出、および設計の概算値を入力して算出
- 使用方法は Intel® FPGA Power and Thermal Calculator User Guide を参照

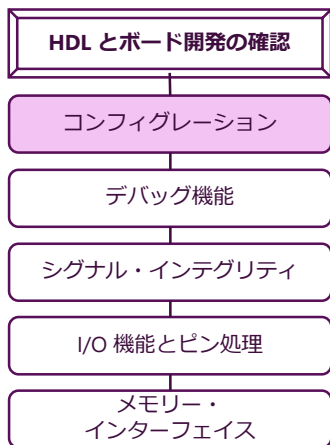
- <https://www.intel.co.jp/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-20252.pdf>

WARNING: These estimates are based on partial design information and should only be used during early design stages. Please use Quartus Prime Power Analyzer for more accurate design power estimates. The provided thermal analysis is intended as a guideline only; system-specific thermal analysis should be used to estimate final junction temperature.

Module	#half-ALMs	#FFs	Clock Freq (MHz)	Toggle %	Routing Metric	Routing	Block	Total	User Comment
1	560800	746496	368.64	12.5%	3	2,24738	2,16984	4,41723	
2	320000	280000	245.76	12.5%	3	0,585622	0,698537	1,27416	
3	0	0	0	12.5%	3	0	0	0	
4	0	0	0	12.5%	3	0	0	0	
5	0	0	0	12.5%	3	0	0	0	
6	0	0	0	12.5%	3	0	0	0	
7	0	0	0	12.5%	3	0	0	0	
8	0	0	0	12.5%	3	0	0	0	
9	0	0	0	12.5%	3	0	0	0	
10	0	0	0	12.5%	3	0	0	0	
11	0	0	0	12.5%	3	0	0	0	
12	0	0	0	12.5%	3	0	0	0	
13	0	0	0	12.5%	3	0	0	0	

各タブでデザインに応じたリソース使用率を入力

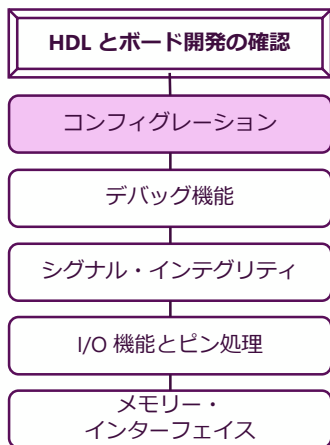
コンフィグレーション



● 全体

- Intel® Stratix® 10 Configuration User Guide を参照
 - https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-10/ug-s10-config.pdf
- プログラムファイルの生成は Programming File Generator を使用
 - 使用方法は下記記事を参照
「[Programming File Generator で .pof / .jic / .rpd を作成してみよう](#)」
- nCONFIG 制御によるリコンフィグレーションを行う場合、nSTATUS が Low になるまで Low をドライブ
- [JTAG mode](#)
 - Intel® FPGA Download Cable II または Intel® FPGA Ethernet Cable を使用
- [Avalon-ST \(x8, x16, x32\) mode](#)
 - [PFL II および CFI フラッシュメモリーを備えた CPLD/FPGA](#) またはマイクロプロセッサなどの外部メモリーを備えた外部ホストの実装
- [AS-fast/AS-normal mode](#) 共通
 - ユーザーモード中、AS ピンはトライステートにならない

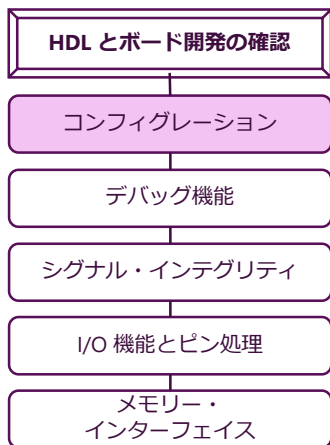
コンフィグレーション



● 注意点

- マルチ・デバイス・コンフィグレーションは JTAG コンフィグレーションのみサポート
- [JTAG mode](#)
 - JTAG クロックを 24MHz で使用すると基板に依存して書き込めない場合がある
JTAG クロック周波数を自動で調整する設定を有効にする（設定方法は [Appendix](#) を参照）
- [Avalon-ST \(x8, x16, x32\) mode](#)
 - CONF_DONE がアサートされるまで AVST_CLK (x8) クロックは停止不可
 - [AVST_READY](#) を AVST_CLK (x8) と同期化する回路の追加
- [AS-fast/AS-normal mode](#) 共通
 - AS_CLK の周波数は基板特性に依存
100MHz 以上で使用する場合は IBIS シミュレーションを実施する
 - Active serial clock source は OSC_CLK_1 を使用できるように設計（[Appendix](#) を参照）
 - コンフィグレーション ROM は VCCIO_SDM と同時か先にパワーアップする必要あり
 - POF プログラムの場合、MSEL を JTAG mode に変更
- AS-fast mode のみ
 - 全ての電源は 10ms 以内に推奨動作範囲内に立ち上げる

コンフィグレーション



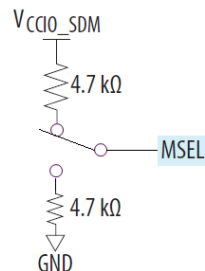
● 必須となる信号及び注意点

- JTAG 信号
 - コネクタを実装
 - コンフィグレーション及びデバックで使用
- CONF_DONE 信号
 - 有効化し、専用ピンとして使用
 - 設定方法は [Appendix](#) を参照
- nCONFIG 信号
 - FPGA や HPS の IO で制御しない
 - リコンフィグレーションを行う場合はユーザーガイドを参照

https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-10/ug-s10-config.pdf

- MSEL 信号
 - MSEL[0]、CONF_DONE、INIT_DONE は共用しない
 - 4.7k Ω を介して VCCIO_SDM/GND 接続
 - スイッチ切り替えを推奨

他のデバイスファミリーと異なり、プルアップ抵抗
プルダウン抵抗が必要なため (右図を参照)



コンフィグレーション



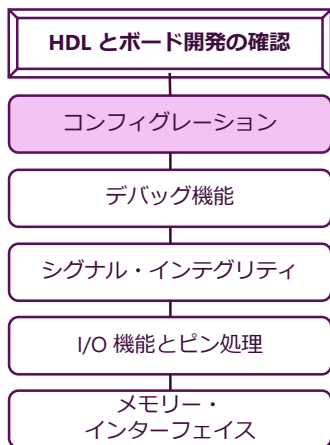
● 必須となる信号及び注意点

- フリーランクロックを接続（詳細は [Pin Connection Guidelines](#) を参照）
 - OSC_CLK_1
 - HBM2: pll_ref_clk and ext_core_clk
 - eSRAM: CLK_ESRAM_[0,1]p and CLK_ESRAM_[0,1]n
 - HPS EMIF: pll_ref_clk
 - L- and H-Tile PCIe channels: REFCLK_GXB
- RESET 回路の検討
 - [Reset Release IP](#) または [INIT_DONE](#) を使用してリセット制御
- [SDM IO ピン](#) を適切に設定する

● 推奨事項

- INIT_DONE : 有効化し、専用ピンとして使用
 - 設定方法は [Appendix](#) を参照

デバイス・セキュリティ



● Authentication : 認証

- インテル® Stratix® 10 FPGA から追加されたセキュリティ機能
- FPGA (システム) が信頼できるコンフィグレーション・ビットストリームのみを受け付ける機能
 - システム上で意図しない動作をさせない、なりすまし等を防止する
認証を有効にしないと、他のセキュリティ機能を有効にすることは出来ない
- コンフィグレーション・データ自体の暗号化はしていない
- 認証キー格納場所
 - 2種の eFuse のみ (①Virtual eFuse、②Physical eFuse)

● Encryption : 暗号

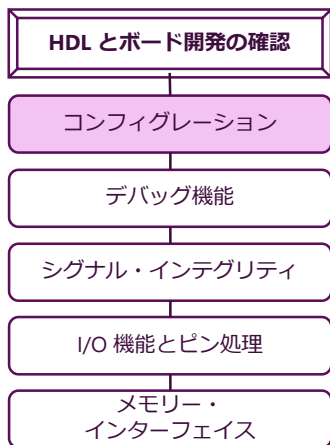
- 従来デバイスから使われていたセキュリティ機能
- コンフィグレーション・ビットストリームから IP (知的財産) や機密データが流出する (解読される) ことを防ぐ機能
- コンフィグレーション・データ自体の暗号化をしている
- 暗号キー格納場所
 - 2種の eFuse (①Virtual eFuse、②Physical eFuse) + BBRAM : 外部蓄電池等で保持

● Intel® Stratix® 10 Device Security User Guide

- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-10/ug-s10-security.pdf>

最新の情報は常に User Guide をご確認ください

デバイス・セキュリティー Cont.



● 認証/暗号のサポートデバイス

インテル® Stratix® 10 FPGA	認証	暗号※
GX, SX, MX, TX	Yes	-AS suffix devices
DX	Yes	Yes

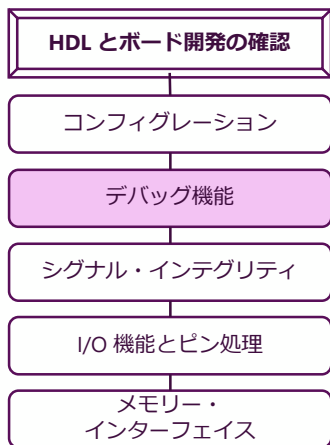
※暗号機能は DX ファミリー以外のデバイスでは -AS suffix が必要
GX 10M デバイスは暗号機能を未サポート

● 認証/暗号キーの格納場所

格納オプション	アクセス	対応セキュリティ機能	ポイント
Virtual eFuses	Write / Erase	認証 暗号	Physical eFuses の動作を再現可能
Physical eFuses	Write once	認証 暗号	eFuses を使って認証/暗号キーを格納 認証/暗号キーの書き込みは 1 度のみ可能
Battery Backup RAM	Write / Erase	暗号のみ対応	Battery がある間は暗号キーを書き換え可能 Battery を外すと暗号キーが消去

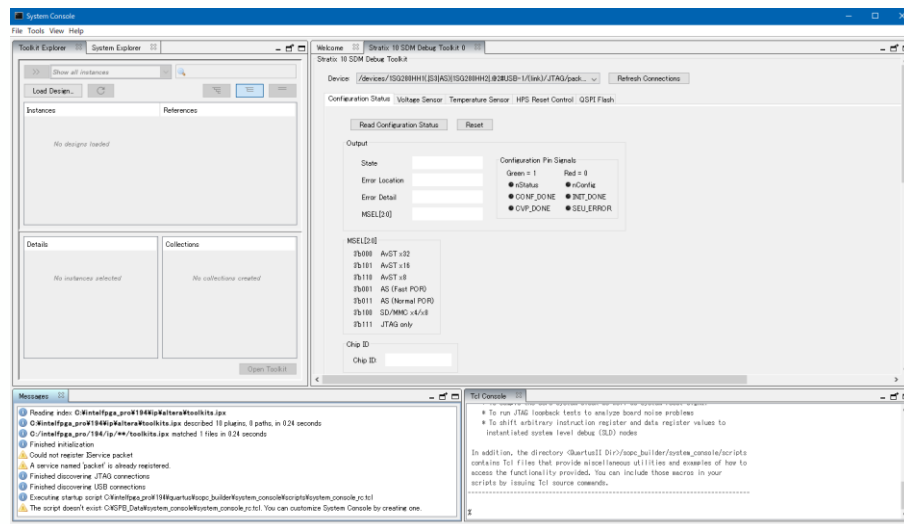
Physical eFuses の機能を一度でも使用すると、キーの消去、新しいキーの書き込みが 2 度とできなくなってしまうため、最終的に Physical eFuses を使用する場合でも、**検証時は Virtual eFuses を使用することを強く推奨**

SDM Debug toolkit を使ったデバッグ手法

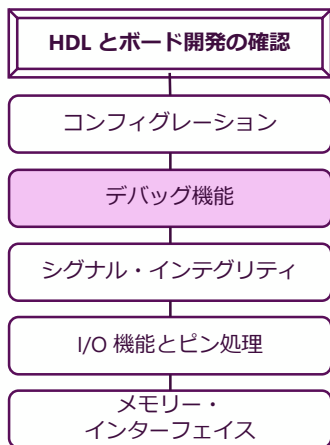


● SDM Debug toolkit

- Secure Device Manager を使ったデバッグ機能
- 以下のステータスをモニタリング可能
 - **Configuration Status**
コンフィグレーション失敗時もモニター可能
 - **Voltage Sensor**
 - **Temperature Sensor**
 - **HPS Reset Control**
 - **QSPI Flash**



SDM Debugger を使ったデバッグ手法



● Configuration Status

- コンフィグレーション・ピンのステータスや Chip ID を取得可能

The screenshot shows the 'Configuration Status' tab in the SDM Debugger. The 'Read Configuration Status' button is highlighted with a red box. Below it, the 'Output' section displays the following information:

State	0x00000000
Error Location	0x00000000
Error Detail	0x00000000
MSEL[2:0]	001 (AS (Fast POR))

Configuration Pin Signals:

- Green = 1 Red = 0
- nStatus ● nConfig
- CONF_DONE ● INIT_DONE
- CVP_DONE ● SEU_ERROR

MSEL[2:0] list:

- 3'b000 AvST x32
- 3'b101 AvST x16
- 3'b110 AvST x8
- 3'b001 AS (Fast POR)
- 3'b011 AS (Normal POR)
- 3'b100 SD/MMC x4/x8
- 3'b111 JTAG only

Chip ID:

Chip ID: 0x01af b4c0 7c5c f945

● Voltage Sensor

- 内部電圧や外部チャンネルの電圧を取得可能

The screenshot shows the 'Voltage Sensor' tab in the SDM Debugger. The 'Voltage Sensor' button is highlighted with a red box. The interface displays several graphs and measurements:

- External Channel:** Channel 0 Measurement: 0.0006 V, Channel 1 Measurement: 0.0003 V. Includes a graph for Channel 0 and a graph for Channel 1.
- Internal Power Supplies:** VCC Measurement: 0.8843 V, VCCIO_SDM Measurement: 1.8103 V. Includes a graph for VCC and a graph for VCCIO_SDM.
- Other Measurements:** VCCPT Measurement: 1.8212 V, VCCERAM Measurement: 0.9130 V, VCCADC Measurement: 1.8158 V. Each has a corresponding graph.

Each graph shows Voltage (V) on the y-axis and Time on the x-axis. There are also 'Action' buttons (Read, Stop) for each graph.

SDM Debugger を使ったデバッグ手法

HDL とボード開発の確認

コンフィグレーション

デバッグ機能

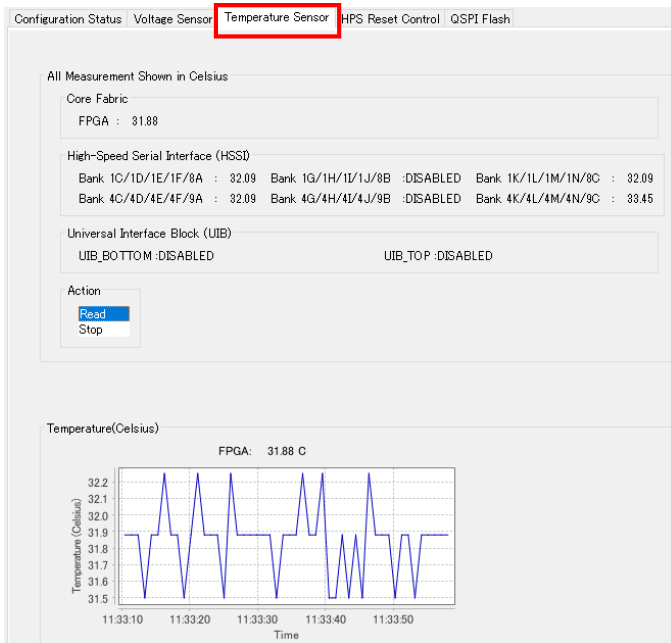
シグナル・インテグリティ

I/O 機能とピン処理

メモリー・
インターフェイス

● Temperature Status

- 各ダイの温度をリアルタイムに取得可能



● HPS Reset Control

- HPS へのリセットを制御可能

Configuration Status Voltage Sensor Temperature Sensor **HPS Reset Control** QSPI Flash

SDM Mailbox Code Response
 OK Busy General Error

Release HPS from Reset

Description
If you set the HPS/FPGA Configuration order to 'When requested by FPGA' pressing 'Release HPS from Reset' will instruct SDM to release HPS from Reset

Expected SDM Mailbox Code Response
Due to existing limitations, the SDM can only response 'OK' to indicate that the command is received. It does not check for successful execution of the command.

Perform HPS Cold Reset

Description
This option instructs the SDM to perform an HPS cold reset. This option works if the SDM boots from flash memory and is not configured via JTAG or Avalon-ST.

Expected SDM Mailbox Code Response
SDM responds 'General Error' for cold reset requests made before the HPS exists the reset state. Once the HPS exists reset, the SDM responds 'OK' to the first cold reset request. If SDM cannot locate the HPS bootloader, subsequent cold reset requests return the 'Busy' response.

SDM Debugger を使ったデバッグ手法

HDL とボード開発の確認

コンフィグレーション

デバッグ機能

シグナル・インテグリティ

I/O 機能とピン処理

メモリー・
インターフェイス

● QSPI Flash

- QSPI へのリード/ライトが制御可能

QSPI へのリード/ライトを制御

Configuration Status Voltage Sensor Temperature Sensor HPS Reset Control **QSPI Flash**

Reset

Auto-detect QSPI Flash MICRON 1 Gb 4 Byte Addr

Read Registers

Memory Read/Write Operations

Memory Reads

Number of Words 1

Start Address (32bit) 0x 00000000

Read Memory Save Read Data to RPD

One Word Memory Write

Write Address (32bit) 0x 00000000

Write Data (32bit) 0x 00000000

Write Memory

Erase

Sector Start Address (32bit): 0x 00000000 Number of sector to erase: 1 Erase Sectors

Program

Image Start Address: 0x 00000000

C:\asx4_epcq_l_pof.rpd Load RPD File

Program RPD

QSPI のメーカー名、容量、
バイト・アドレッシングを確認可能

バイナリーファイルを指定しての書き込みも可能
※ 数分を超える大きなコンフィグレーション・データは不可

Appendix

アジェンダ

1. JTAG クロック周波数の自動設定
2. コンフィグレーション設定
3. デバイスのバリエーション

JTAG クロック周波数の自動設定



① Hardware Setup を選択

② Hardware Settings タブを選択

③ Auto-adjust frequency at chain scanning をチェック

Quartus Prime Programmer Pro Edition - [Chain1.cdf]

File Edit View Processing Tools Window Help

Hardware Setup No hardware

Hardware Settings JTAG Settings

Enable real-time ISP to allow background programming

Start Stop Auto Detect Delete Add File... Change File... Save File Add Device... Up Down

Select a programming hardware setup to use when programming devices. This programming hardware setup applies only to the current programmer window.

Currently selected hardware: USB-BlasterII [USB-1]

Hardware frequency: 24000000 Hz

Auto-adjust frequency at chain scanning

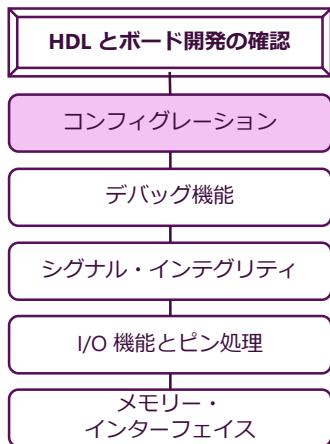
Available hardware items:

Hardware	Server
USB-BlasterII	Local USB-1

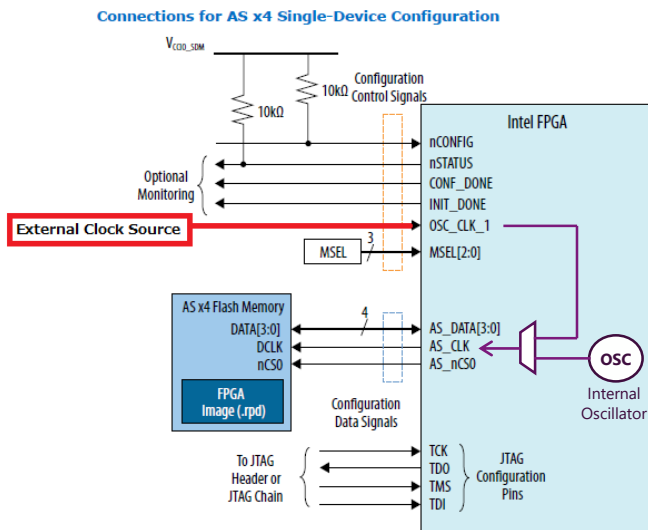
Remove Hardware

Close

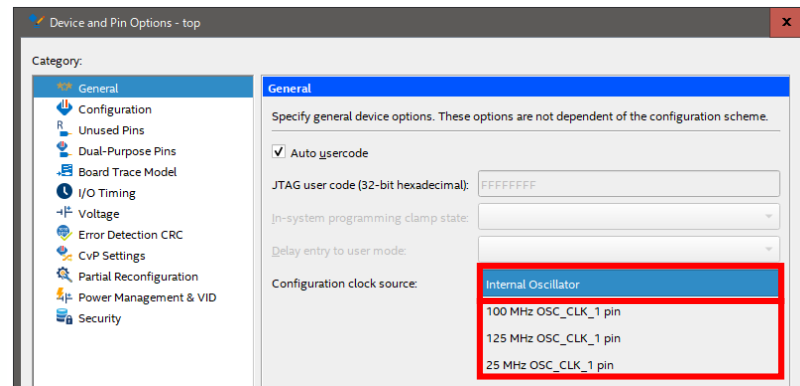
コンフィグレーション設定



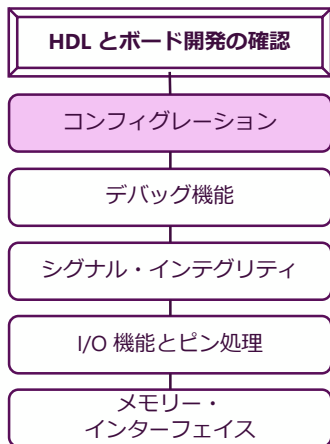
- **Active serial clock source を選択**
 - OSC_CLK_1 (External Clock Source)
 - 100 MHz / 125MHz / 25 MHz のいずれかを入力
 - Internal Oscillator
 - 25 MHz / 58 MHz / 77 MHz / 115 MHz を選択



Assignment > Device > Device and Pin Options



コンフィグレーション設定



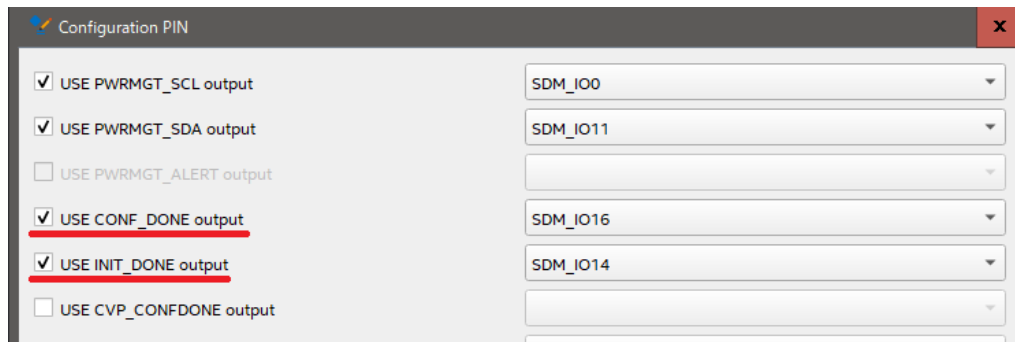
● MSEL 設定

Configuration Scheme		Data Width(bit)	MSEL[2:0]
Passive	Avalon-ST	32	000
		16	101
		8	110
	JTAG	1	111
	Configuration via Protocol (CvP)	x1, x2, x4, x8, x16 lanes	001 *
Active	AS - fast mode	4	001
	AS - normal mode	4	011

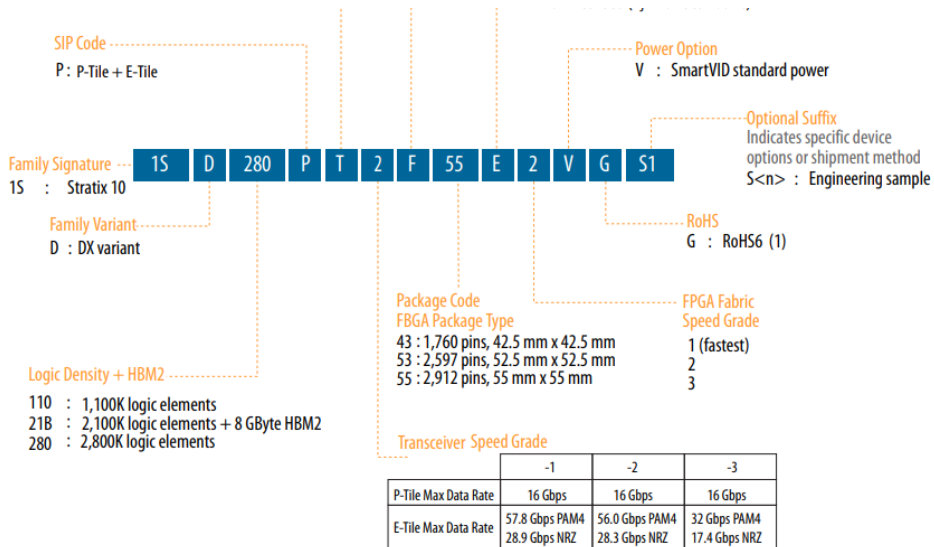
※ AS モードで Periphery Image が Full Image のコンフィグレーションを事前に実施する必要がある

● SDM IO (CONF_DONE, INIT_DONE) 設定

Quartus® Prime の Device > Device and Pin Options > Configuration > Configuration pin Options



デバイスのバリエーション



Feature	L-Tile (GX, SX)	H-Tile (GX, SX, TX, MX)	E-Tile (TX, MX)
Maximum Transceiver Data Rate (Chip-to-chip)	GX ⁽¹⁾ —17.4 Gbps GXT ⁽¹⁾ —26.6 Gbps	GX—17.4 Gbps GXT—28.3 Gbps	GXE ⁽²⁾ —57.8 Gbps Pulse Amplitude Modulation 4 (PAM4)/28.9 Gbps Non-return to zero (NRZ)
Maximum Transceiver Data Rate (Backplane)	GX—12.5 Gbps GXT—12.5 Gbps		
Number of Transceiver Channels (per tile)	GX—16 per tile GXT—8 per tile Total—24 per tile (4 banks, 6 channels per bank)	GX—8 per tile GXT—16 per tile Total—24 per tile (4 banks, 6 channels per bank)	GXE—24 individual channels per tile
Hard IP (per tile)	PCIe*—Gen3 x16	PCIe—Gen3 x16, SR-IOV (4 PF, 2K VF) Ethernet—50/100GbE MAC	Ethernet—100GbE MAC and RS (528, 514)-FEC, 4 per tile Ethernet—KP-FEC, 4 per tile Ethernet—10/25GbE MAC and RS (528, 514)-FEC, 24 per tile

<https://www.intel.co.jp/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-10/s10-dx-overview.pdf#page=10>

Intel® Stratix® 10 L- and H-Tile Transceiver PHY User Guide

https://www.intel.co.jp/content/dam/www/programmable/us/en/pdfs/literature/hb/stratix-10/ug_stratix10_l_htile_xcvr_phy.pdf#page=7

macnica

改版履歴

Revision	年月	概要
1	2020年8月	初版作成
2	2020年10月	電源シーケンスアップデート(p8)、GX 10M 情報を追加(p17, p26)

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。