



実現性検討（フィージビリティ・スタディー）ガイドライン

2020年1月

株式会社マクニカ アルティマカンパニー

アジェンダ

- はじめに
- フィージビリティが不十分だったためにボード改版となった事例
- チェックリスト
- 実現性検討（フィージビリティ・スタディー）
 - デバイスの選定
 - スケルトンデザインの作成
 - クロックリソース、IP、トランシーバー、I/O インターフェイス、Hard Processor System (HPS)
 - スケルトンデザイン全体のコンパイル
 - 消費電力の確認
 - ハードウェア検証（任意）
 - その他の注意事項
- Appendix

はじめに

従来から考えられてきた FPGA の利点の一つとして、ピン配置・ピン属性や回路機能をボード作成・デバイス実装後に変更し、仕様変更や設計不具合のリスクに対処することが可能であることが挙げられます。

一方、近年の FPGA を含むメモリーやインターフェイスの高性能化に伴い、FPGA にも多くのハードマクロが実装されるようになり、考慮すべき複雑な制限事項が増えてきています。

また、FPGA は必ずしも上位互換ではないため、今までの設計資産をそのまま流用できないケースもあります。

このため、**ボード設計の前段階**において、十分な実現性検討（フィージビリティ・スタディー）を行い、ボード改版等の重大なリスクを軽減することが、必須の作業となってきています。

本資料では、フィージビリティ・スタディーにおいて**検証用のスケルトンデザインを作成**し、その検証項目とその確認方法についてまとめています。

本資料の対象デバイスは、インテル® Arria® 10 FPGA を例として示していますが、デバイス依存部分を除いてすべてのデバイスファミリーについて使用することができます。

※フィージビリティ・スタディーの実施は最新バージョンの インテル® Quartus® Prime をご使用ください。

フィージビリティが不十分だったためにボード改版となった事例

- FPGA 間のデータ転送を DDIO (LVDS) で行う構成にしたが、高速な転送レートだったためタイミングエラーを収束することができず、仕様を見直し、FPGA 間を SERDES (LVDS) に変更してボードを作成し直した
- Cyclone[®] V で PCI-Express (PCIe) Gen2 x2 の構成でボード作成したが、PCIe Gen2 x2 は構成できないため、x4 の構成にする必要があったが、この構成ではトランシーバー・チャンネルが足りなくなった (Arria[®] V も同様)
- Configuration via Protocol (CvP) をサポートしていない PCIe Hard IP にピン配置をしてしまい、CvP が実現できなかった
- LVDS 用のクロックをトランシーバー・ブロックのクロックピンから入力していたが使えなかった
- 複数の LVDS チャンネルが必要だったため、同一クロックでバンクをまたいで LVDS レシーバーを配置したが、各バンク毎にクロックを入力する必要があり Fitting Error が発生した
- PLL が足りず LVDS 用の PLL クロックを入力することができなかった
- DDR4 のフィージビリティは行ったが、ボード作成時に DDR4 の配置を (トップバンクからサイドバンクへ) 変えたにも関わらず、変更後のピン配置でフィージビリティを行なわなかったためタイミングが収束せず、結果的にボードを変更することになった
- データシートのスペックでは高速差動 I/O の数が仕様を満たしていると判断したが、実際は CMU PLL がチャンネルを使用するため、見積もりより高速差動 I/O の数が足りなかった

チェックリスト

◆デバイス選定時の確認事項

	<input checked="" type="checkbox"/>
ALUT の使用率が 60% 以下のデバイスを選定したか	<input type="checkbox"/>
使用する IP の仕様に合った Speed Grade のデバイスを選択したか	<input type="checkbox"/>
高速差動インターフェイスの仕様に合ったデバイスを選択したか	<input type="checkbox"/>

◆スケルトンデザイン作成時の確認事項

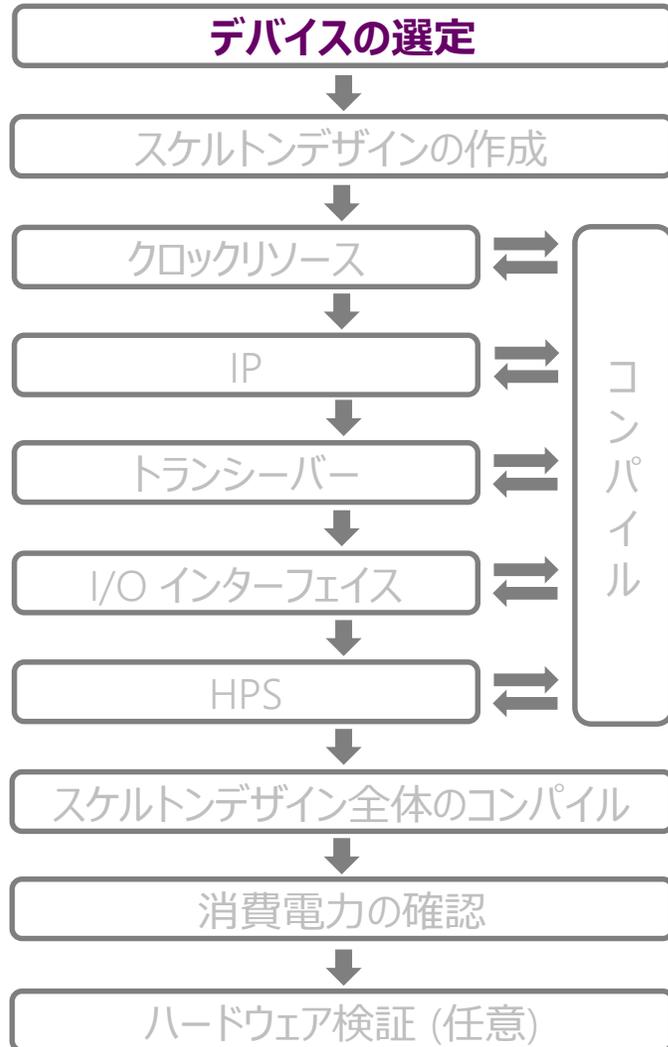
最新バージョンの インテル® Quartus® Prime を使用しているか	<input type="checkbox"/>
すべての使用するインターフェイス IP やクロックリソースはインプリメントしたか	<input type="checkbox"/>
I/O PLL、トランシーバー PLL は 専用リファレンス・クロックピンにアサインしたか	<input type="checkbox"/>
パラレル I/O をシングルエンド信号で高速に使用していないか	<input type="checkbox"/>
タイミングガイドラインの資料を参照してタイミング制約を適切に行ったか	<input type="checkbox"/>

◆スケルトンデザインでの確認事項

コンパイル時にコンフィグレーション・モードの設定を適切に行ったか	<input type="checkbox"/>
入力した機能ブロック（ユーザー回路含む）はコンパイル後に消えていないか	<input type="checkbox"/>
コンパイル実行後に Timing Error や Fitter Error は発生していないか	<input type="checkbox"/>

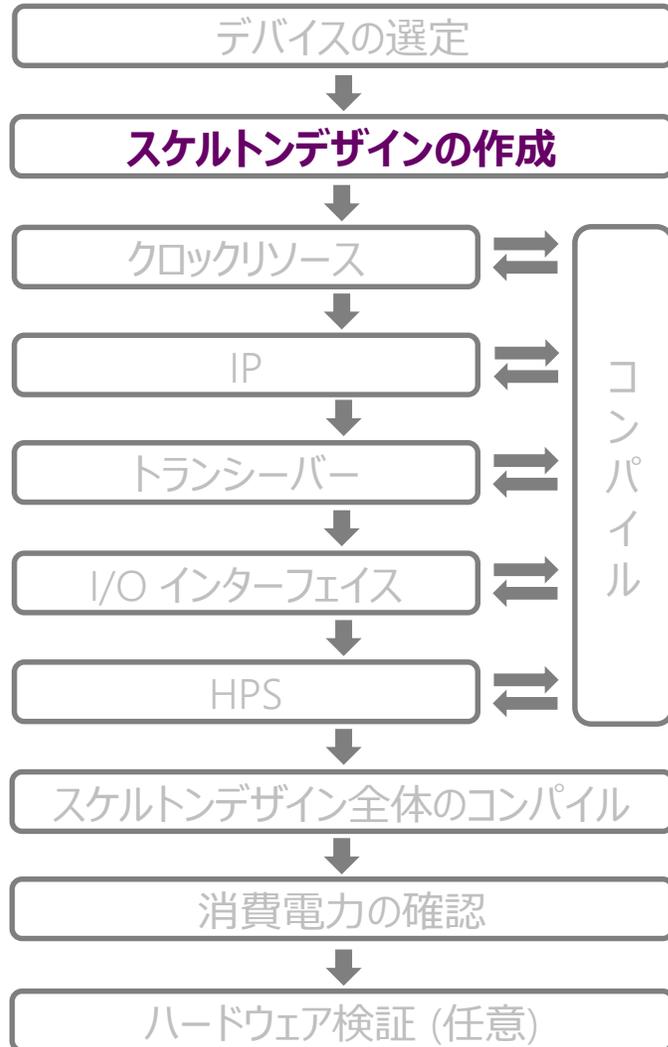
実現性検討（フィージビリティ・スタディー）

デバイス選定



- 内部リソース
 - [Product Selector Guide](#) を使用してデバイスを選定
 - 特殊機能を使用する場合のデバイス選定は [Appendix](#) を参照
 - ALUT 使用率
 - ALUT の使用率が 60% 以下 (目安) になるデバイスを選定
 - 回路規模見積り精度が低いほどマージンをもつこと
 - 使用率が上がると配線が混雑して、配置配線ができなくなる可能性あり
- スピードグレード
 - シリアル I/O インターフェイス、トランシーバーの最大データレート
 - データシート記載の最大データレートに対してマージンをもったデバイスを選択
 - 仕様上限のパフォーマンスを達成するためには理想的なボード条件が必要
 - IP の最大データレート
 - 例 : PCIe、EMAC、etc
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/129753/>
 - HPS の最大動作周波数
- コンフィグレーション、ブート用 ROM
 - サポート対象のコンフィグレーション ROM とブート用 ROM を使用
 - 詳細は [Appendix](#) 参照

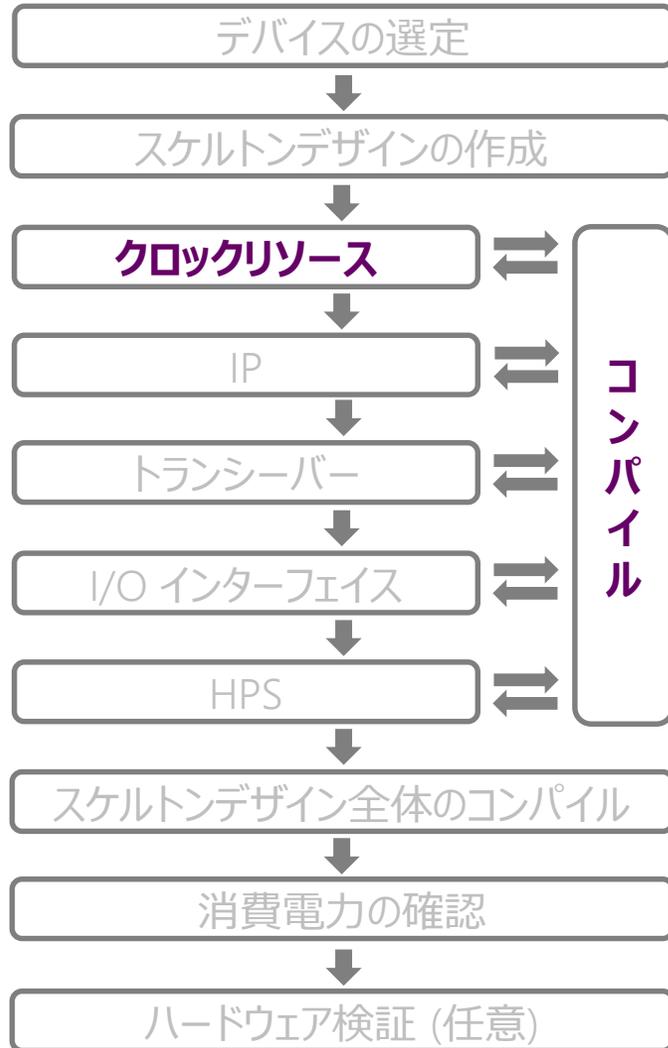
スケルトンデザインの作成



- スケルトンデザインとは

- **使用するすべての構成要素**を含むユーザー回路の基本となるデザイン
 - スケルトンデザインをベースにユーザー回路を追加すること
 - インスタンス項目
 - すべてのクロックリソース
 - すべてのインターフェイス IP
 - すべてのトランシーバー IP
 - すべての I/O インターフェイス
 - HPS
- ⇒ **パラメーターはすべてユーザーの使用条件に設定すること**

スケルトンデザインの作成 (クロックリソース)



- すべての使用するクロックリソース

- I/O PLL

- I/O PLL の数を確定する

- 同一周波数、同一位相の PLL はコンパイル時にマージされる
- マージさせないように制約を与える ([Appendix 参照](#))
- マージの有無はコンパイルレポートにて確認可能

- トランシーバー PLL

- プロトコル IP のインプリメント時に、トランシーバー PLL のインプリメントを行う
- PLL の種類、デバイスのスピードグレードにより周波数の許容範囲が異なる
- Fractional PLL は設定値とインプリメント後の周波数が異なる場合がある
 - コンパイルレポートで出力周波数が想定と同じか確認
 - 異なる場合、PLL の設定値を再確認し、再度 Generate

- 入力クロック

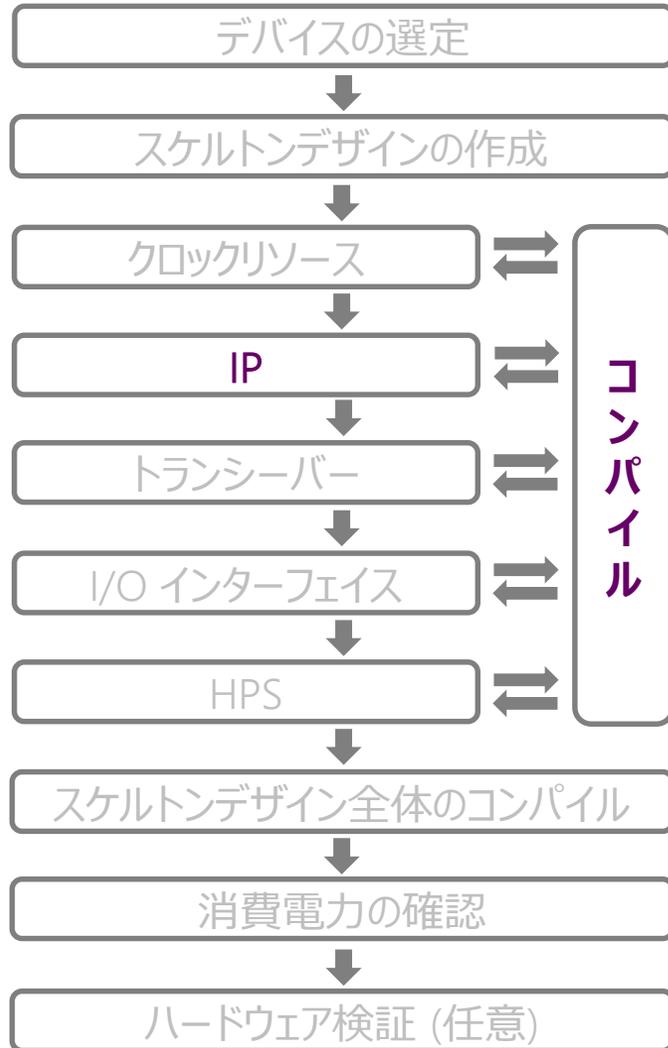
- ユーザーが使用するすべてのクロックをインプリメントする
- 最低 1 つのレジスターをインスタンスし、接続する

- SDC の作成

- タイミング & インプリメンテーション DDG*

- <https://www.macnica.co.jp/business/semiconductor/articles/intel/130393/>

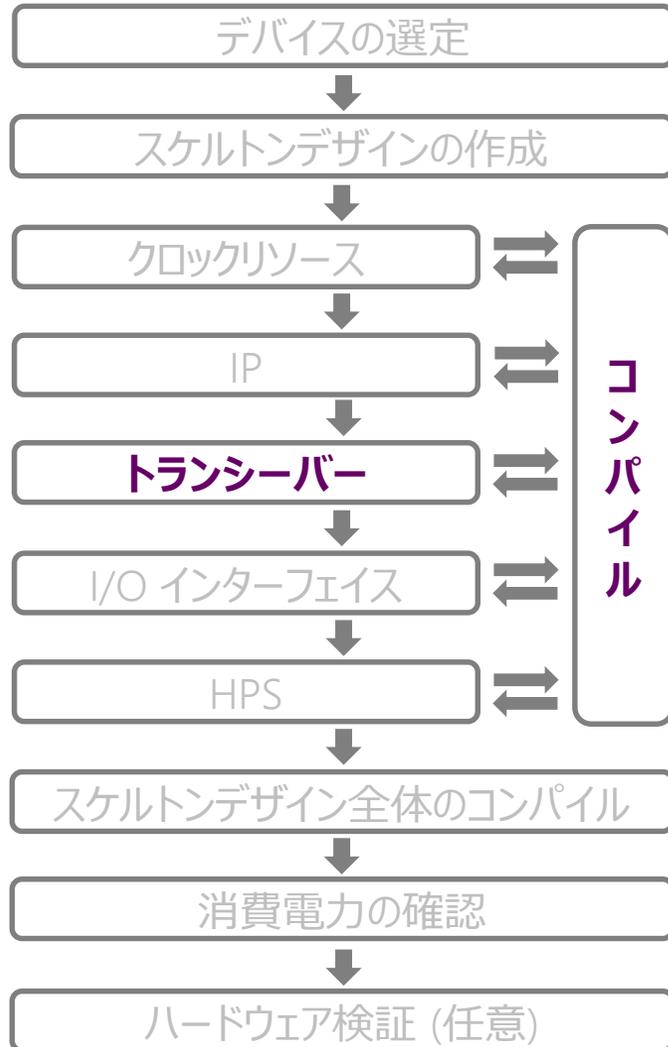
スケルトンデザインの作成 (IP)



- すべての使用するインターフェイス IP をインプリメントする
 - Example design を使用 (強く推奨)
 - Example design の生成方法は各 IP User Guide を参照
 - 入出力は virtual pin に設定
- External Memory Interface (EMIF)
 - [EMIF Spec Estimator](#) を使用してサポートされている EMIF を選択
 - 1つの I/O レーンに複数モジュールがある場合、共通のリセットを接続
 - EMIF DDG※ 資料を参照
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/129749/>
- PCIe
 - PCIe と共存する Unused Channel も他の用途で使用可能
 - Stratix® 10 の場合、Unused Channel を使用することはできない
 - https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avmm.pdf#page=40
 - 特定のバンクでのみ CvP は使用可能
 - PCIe DDG※ 資料を参照
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/129753/>
- Ethernet Hard IP (インテル® Stratix® 10 H-tile, E-tile)
 - 特定のチャンネルのみ使用可能
 - 1.4.4. Ethernet Hard IP (EHIP) の項を参照
 - https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_etile_xcvr_phy.pdf

※ DDG : デザイン&デバッグ・ガイドライン

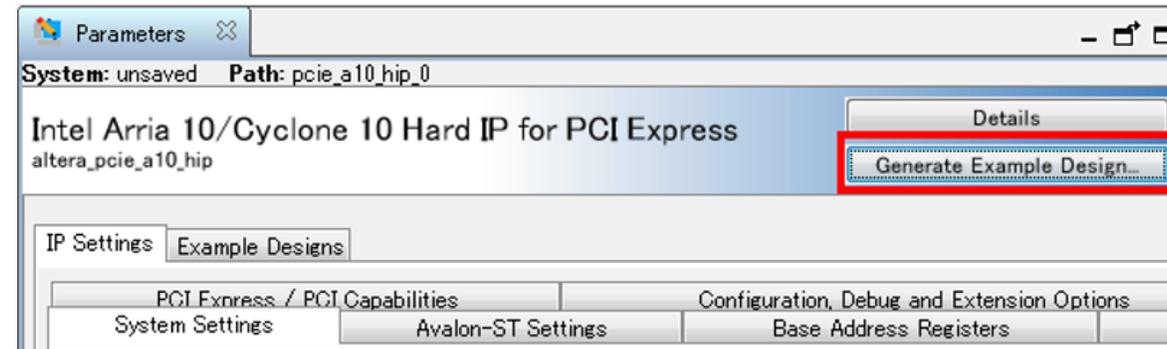
スケルトンデザインの作成 (トランシーバー)



- プロトコル IP を使用する場合

- デザイン作成

- Platform Designer の Generate Example Design を元に作成
- Generate Example Design を実行する前に、実際に使用する構成を入力



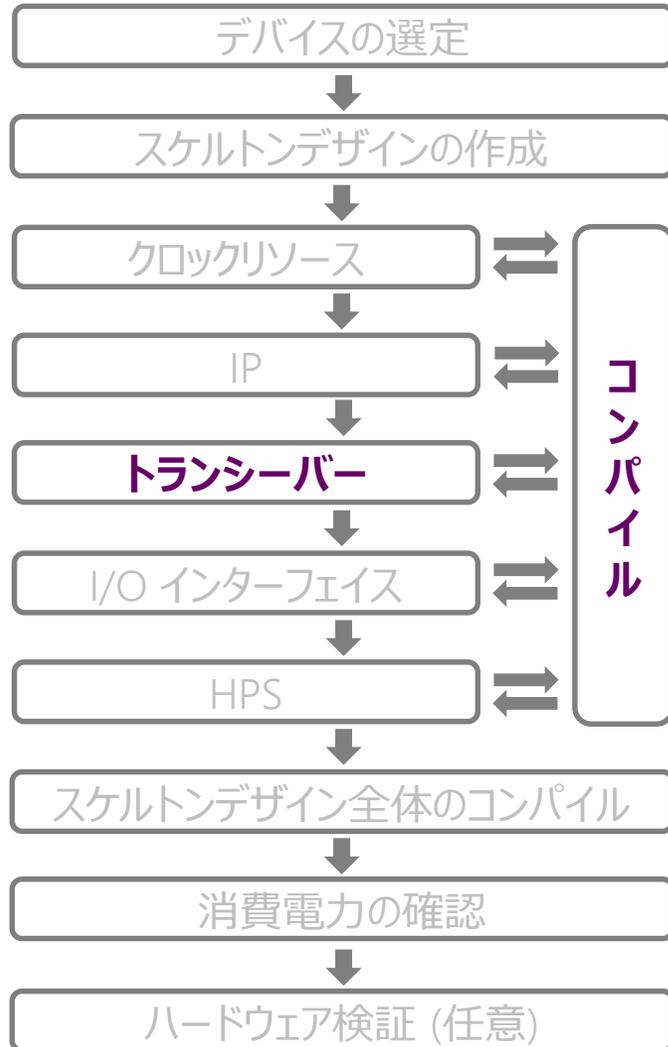
- ピンアサイン

- I/O Standard は各プロトコルの User Guide を確認
- 例. PCIe の場合
 - リファレンス・クロック : CML or HCSL
 - シリアルデータ (RX) : CML
 - シリアルデータ (TX) : High Speed Differential I/O

- 注意点

- シリアルデータピンは片側のバンクに統一して配置
- リファレンス・クロックピンとシリアルデータピンを、片側のバンクに統一して配置
- 同一のトランシーバー・バンクに複数のプロトコルを混在させない

スケルトンデザインの作成 (トランシーバー) cont.



- プロトコル IP を使用しない場合

⇒ ユーザープロトコル内でトランシーバーを単独で使用する場合

- 基本構成

- Transceiver Native PHY, Reset Controller, PLL (ATX, FPLL, CMU)

- デザイン作成

- 下記コンテンツを元にデザインを作成

- <https://macnicago.zendesk.com/hc/ja/articles/360024573412>

- ピンアサイン

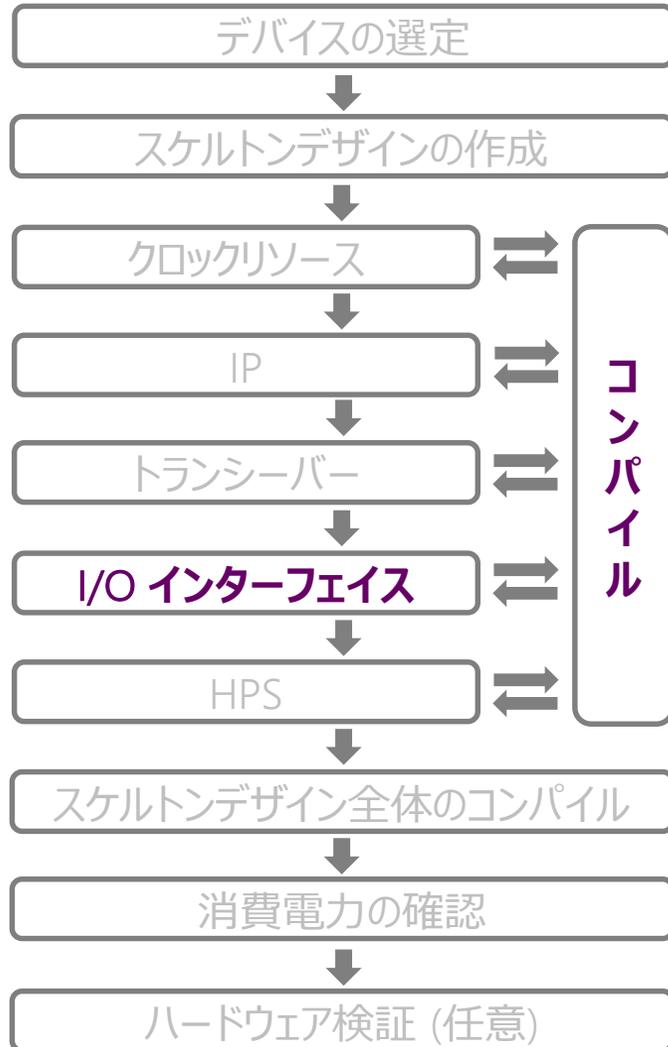
- トランシーバー・ピンはフルコンパイル前に予めピン配置を行う

- 例. リファレンス・クロック : LVDS、シリアルデータ : High Speed Differential I/O

- 注意点

- ユーザー回路とのタイミングを確保するためパラレルデータの入出力後にレジスターを一段追加
 - レジスターを入れない場合、トランシーバー・ブロックとの入出力データに関してタイミング解析が行われない
 - コンパイル後にタイミングエラーが発生していないか確認
- 特別な理由がない限り TX/RX を使用するデザインは Duplex で作成
 - Transceiver Tool Kit は双方向のデザインの場合、Duplex のみ使用可能

スケルトンデザインの作成 (I/O インターフェイス)



- パラレル I/O インターフェイスを使用する場合

- ピンアサイン

- 複数バンクにまたがるパラレルバスは使用しない

- タイミング解析

- 75MHz 以上で使用する場合、AC 特性を確保できているか必ず確認

- クロック、データ信号をピン配置して、タイミング制約を行い、コンパイルを実行
- コンパイル後のタイミングレポートを確認して、スラックがマイナス (赤字) になっていないことを確認

<https://www.macnica.co.jp/business/semiconductor/articles/intel/130393/>

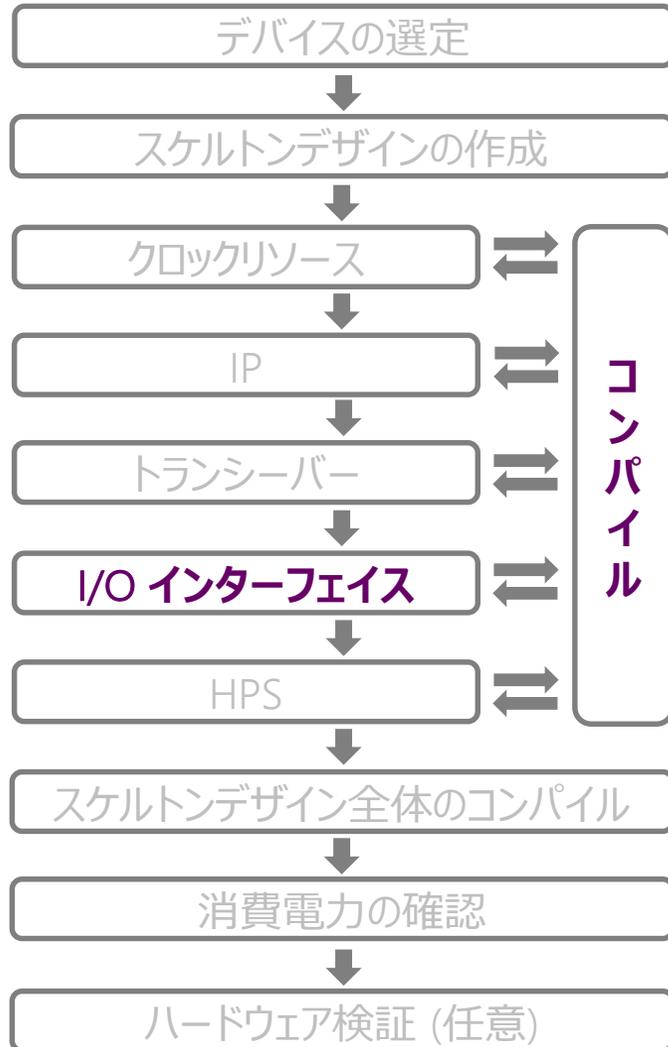
- AC 特性を確保できない場合は、シリアル I/O インターフェイスの使用を検討

- 波形確認 (2.5V 以上)

- IBIS Simulation で要確認

- <https://www.macnica.co.jp/business/semiconductor/manufacturers/mentor/products/7018/>

スケルトンデザインの作成 (I/O インターフェイス) cont.



- シリアル I/O インターフェイスを使用する場合

- SERDES

- ピンアサイン

- データピンと同一バンクのクロックピンを使用する (RX)

- 複数のバンクにまたがる場合は各バンク毎にリファレンス・クロック を供給 (RX)

- クロックリソース

- コンパイルレポートから PLL のリソースが足りているか確認

- DDIO

- AC 特性

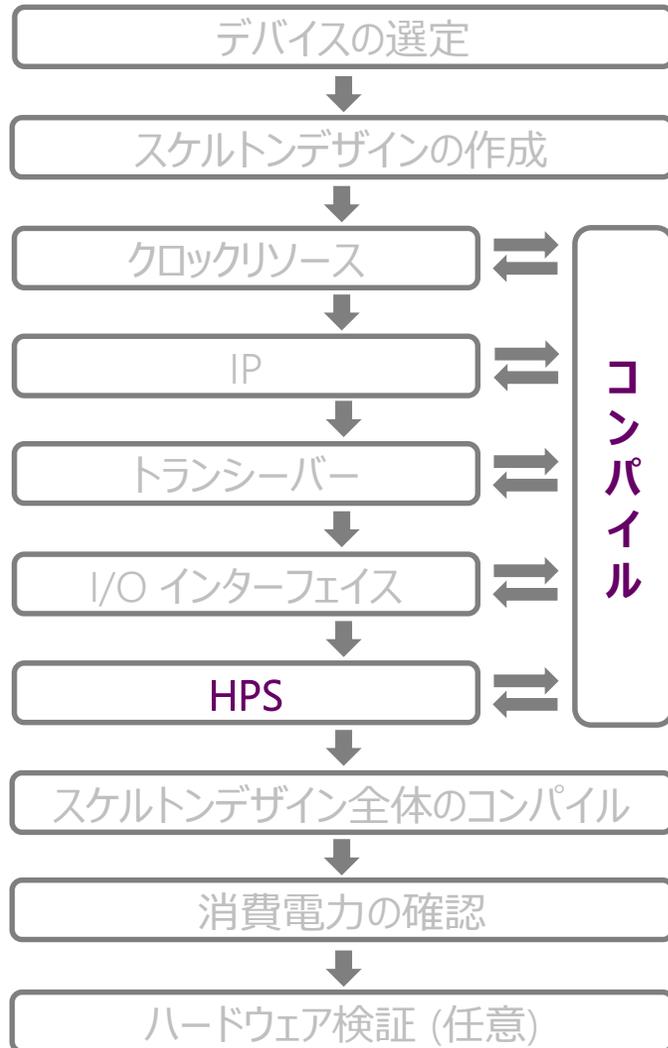
- AC 特性を満たすことを確認

- Source Synchronous Interface の SDC 記述方法は下記を参照

<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an433.pdf>

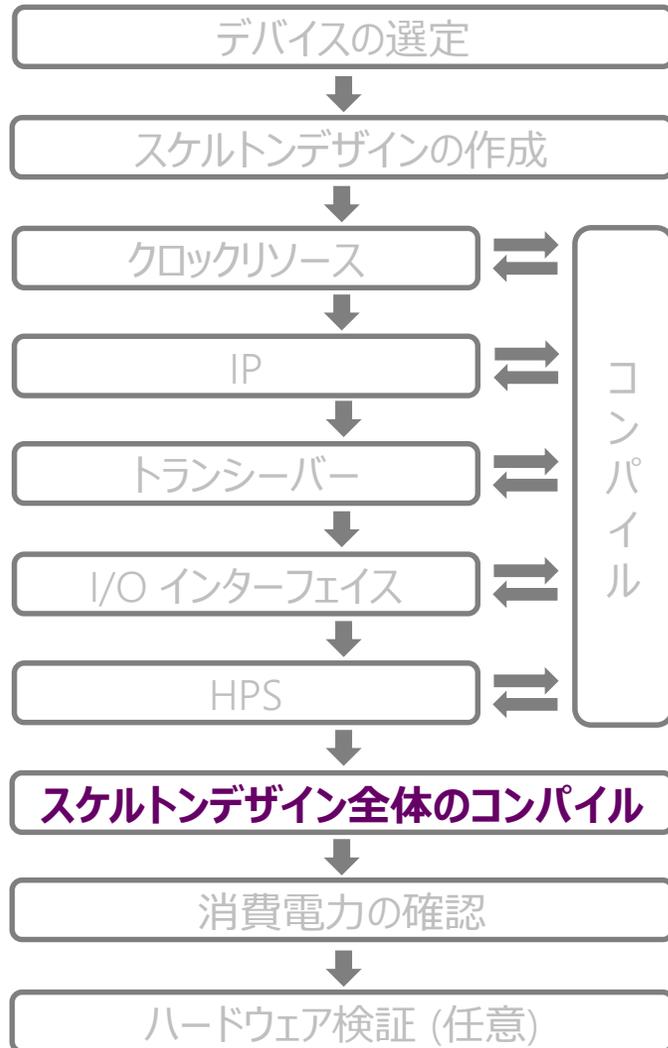
⇒ 他のデバイスファミリーは制限が異なるため、それぞれの制約を確認

スケルトンデザインの作成 (HPS)



- 供給電圧 (インテル® Arria® 10 FPGA)
 - 最大動作周波数の確認
 - [データシートの HPS Clock Performance](#) を参照
- HPS 専用ピンの競合 (インテル® Arria® 10 FPGA 、 Arria® V SoC、 Cyclone® V SoC)
 - ペリフェラルを設定後にピンの競合を確認 (詳細は [Appendix 参照](#))
- 注意点 (インテル® Arria® 10 FPGA)
 - EMAC コントローラ I/O を RMII モードで使用しない
 - [RMII モードで使用する場合は、FPGA I/O を使用する](#)
 - EMAC コントローラ I/O を FPGA 側にルーティングする場合、RGMII を使用しない
 - [タイミングを満たすことができない](#)
 - EMIF I/F を使用する場合は、スペックに合ったメモリーを選択する
 - [EMIF Spec Estimator](#)

スケルトンデザイン全体のコンパイル



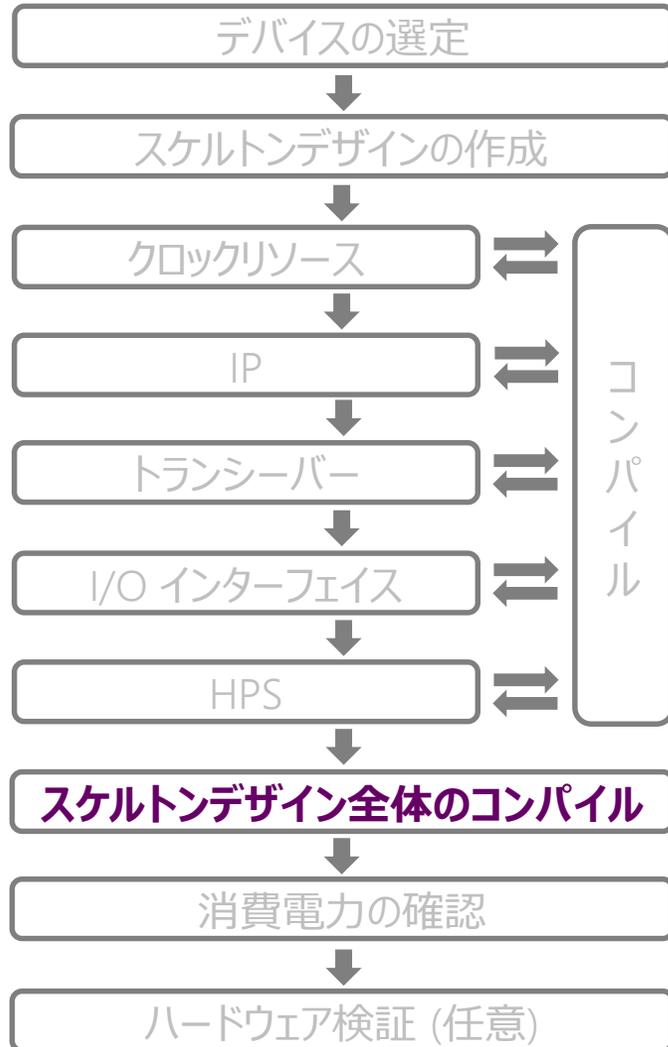
- すべての使用リソースを含むスケルトンデザインのコンパイル

- I/O ピン
 - ピンフリーでコンパイル実施
- トランシーバー・ピン
 - ボードレイアウトに合わせて配置
 - トランシーバー・ピンを配置しておかないと、Fitter Error になる場合がある
 - CvP 使用時は、ピン配置を要確認 (p.17)
- コンフィグレーション設定
 - コンフィグレーション設定は実際に使用するコンフィグレーション・モードに合わせる
 - コンフィグレーション・モードにより、使用できるユーザー I/O 数が変わるため
 - 設定方法は、[Appendix 参照](#)

- 注意点・留意点

- ユーザー回路も含めてロジック容量 / 動作周波数を確認したい場合は、ユーザー回路も追加
- 所望の位置に I/O ピンを配置し確認したい場合は、ピン配置を行いコンパイル (I/O Bank を指定して配置することも可能)
 - ピン配置の方法
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/95585/>

スケルトンデザイン全体のコンパイル cont.

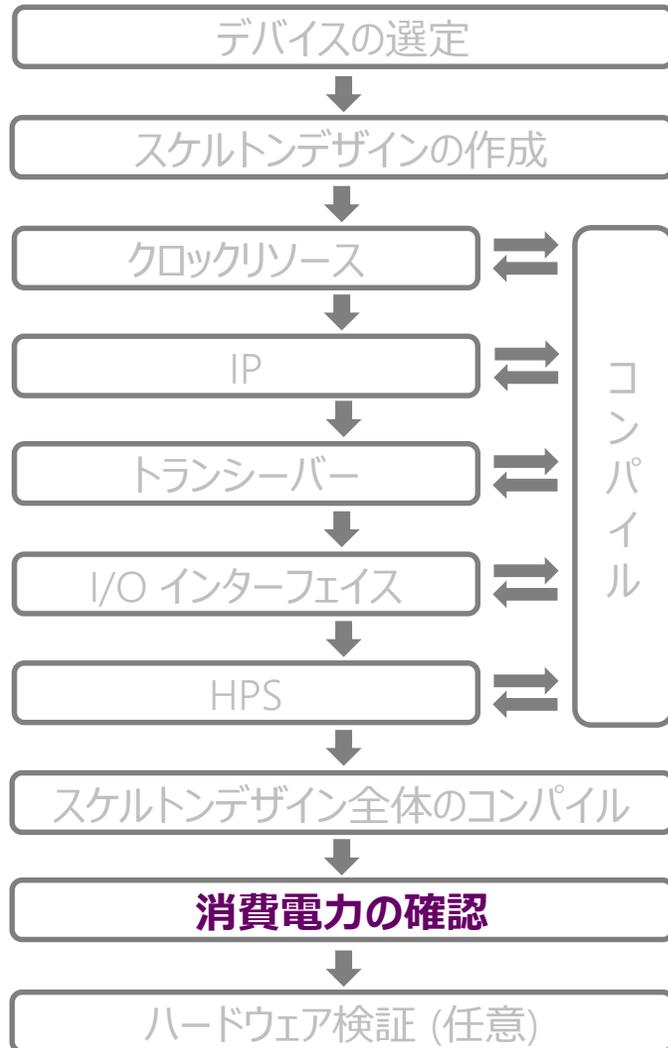


● コンパイル結果の確認

- 入力した機能ブロックが消えていないことを確認
 - Fitter Report の Resource Utilization by Entity より確認
- Fitter Error, Timing Error がないことを確認
 - Fitter Error : ピン数・配線リソースが足りない、トランシーバーの配置が適切でない可能性
 - Timing Error : 配線混雑により遠回りの配線になっている可能性
- Critical Warning が出ていないことを確認
- タイミング制約、タイミングエラーに関する詳細は下記タイミング & インプリメンテーション DDG※ 資料を参照
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/130393/>

全体として Critical Warning, Fitter Error, Timing Error がないことを確認

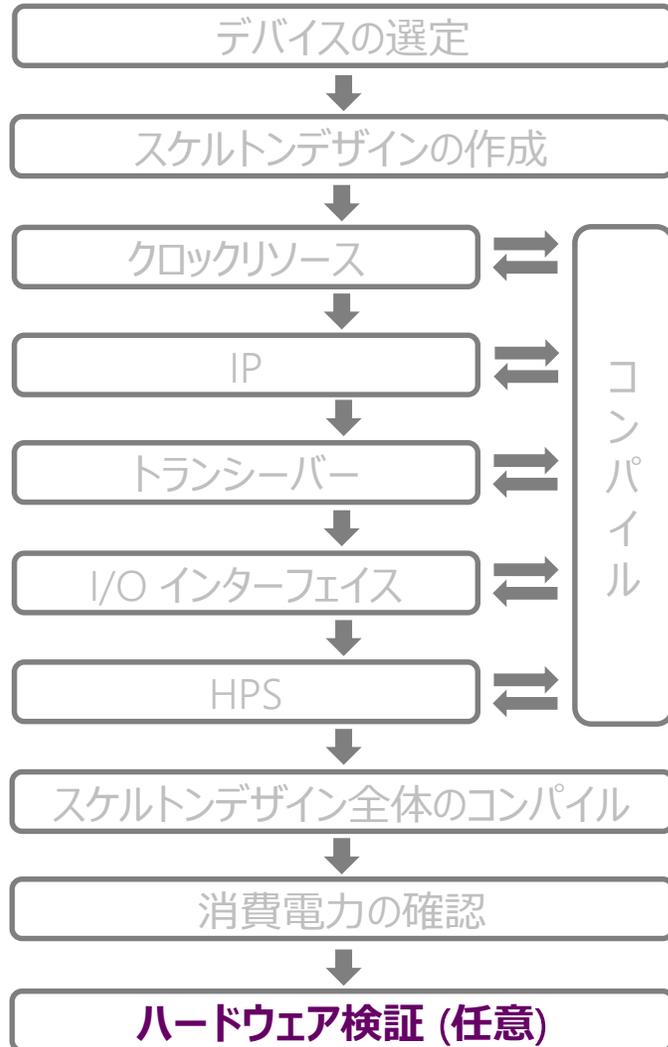
消費電力の確認



- 消費電力を見積もり、電源を選定

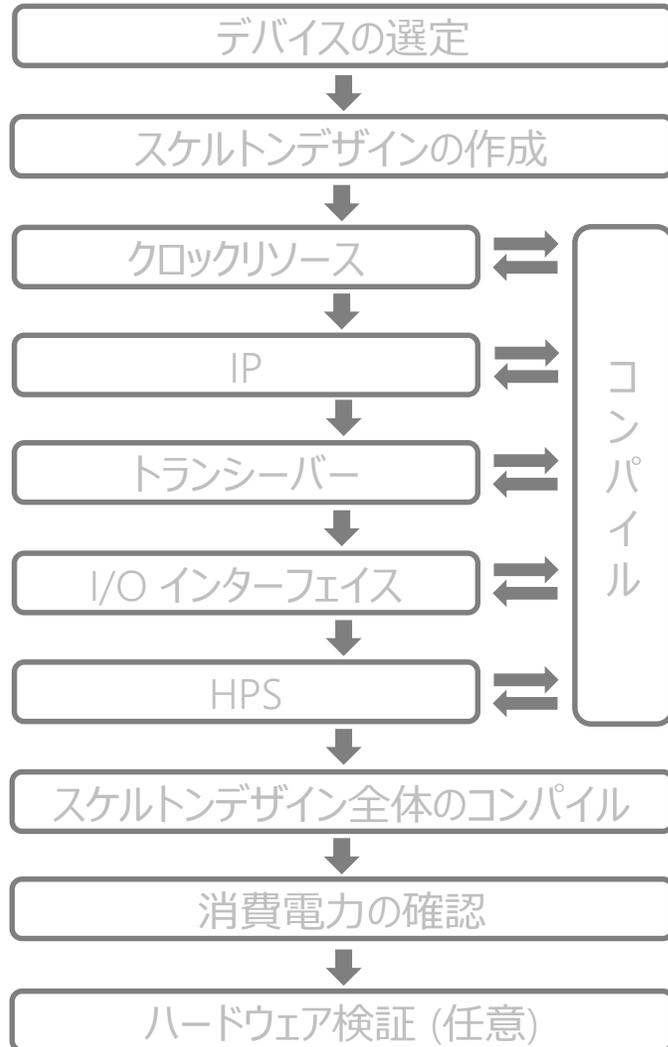
- [PowerPlay Early Power Estimator \(EPE\) ツール](#)を用いて算出
 - リソースの増加分は、手入力で EPE に追加
 - EPE の手順は、[Appendix 参照](#)
- 詳細は Power & Thermal DDG* 資料の Design Flow を参照
 - <https://www.macnica.co.jp/business/semiconductor/articles/intel/129349/>

ハードウェア検証 (任意)



- 実際に使用するデバイスファミリーが搭載されている評価ボードを使って事前に IP の機能検証を行うことを推奨
- 評価ボードに関しては、Appendix を参照
 - [インテル® Stratix® 10 FPGA 評価ボード](#)
 - [インテル® Arria® 10 FPGA 評価ボード](#)
- FMC コネクターを有しているボードは、各種ドーターカードを使用し、さまざまなインターフェイスの評価が可能
 - HDMI2.0, DisplayPort1.2a, Vx1 HS, 12G-SDI etc...
 - 詳細は [Appendix 参照](#)

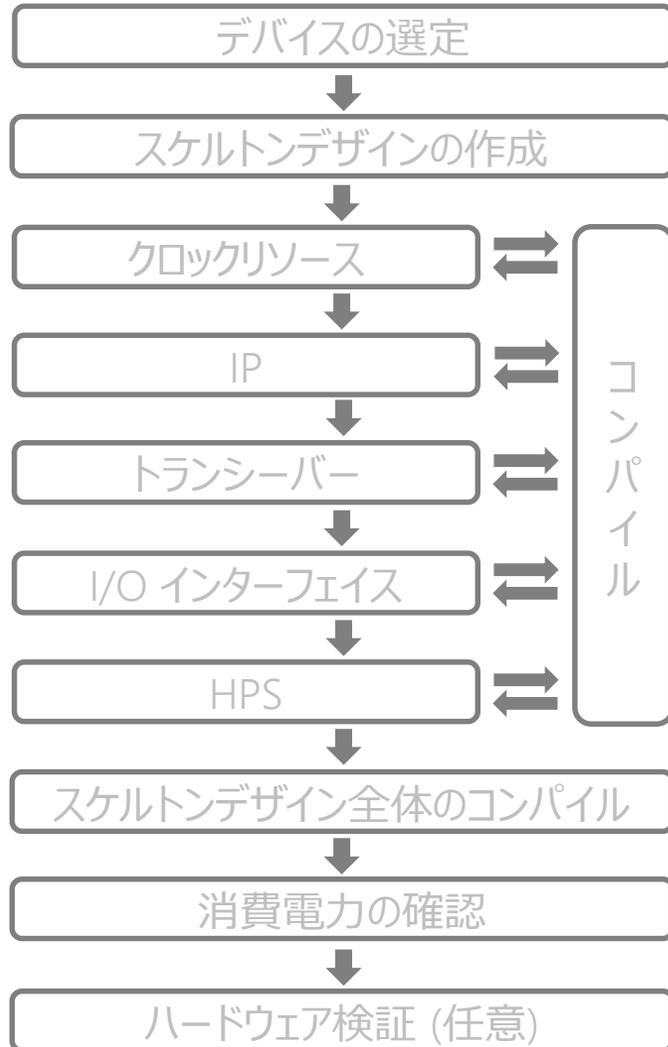
その他の注意事項



- ES 品からプロダクション品に変更する場合

- IP を再生成 (必須)
 - ES 品の資産をそのまま使用した場合、IP によってはコンパイルエラー発生
 - ダイまたはデバイス ID に変更がありえるため、ES 品とプロダクション品とのプログラミング・ファイルの互換性もなし
- ES 品とプロダクション品の両方でスケルトンデザインの作成と確認を行う

その他の注意事項 cont.



- 他のデバイスファミリーからデザインを流用する場合
 - Platform Designer (旧名: Qsys) システム&コンポーネントをアップグレードする場合は、必ず Platform Designer を使用
 - Platform Designer を用いたアップグレードの詳細は [Appendix を参照](#)
 - 上記以外の IP は、IP アップグレードを実施
 - IP アップグレード方法について詳細は [Appendix を参照](#)
- インテル® Quartus® Prime をバージョンアップする場合
 - 連続するバージョンアップであれば、上記と同様の方法で IP アップグレード可能
 - 例1) v18.0 から v18.1 への移行では、IP アップグレードにて移行可能
 - 例2) v17.1 から v18.1 への移行では、IP を新規生成
 - 連続しない場合は、IP を新規生成
 - 使用 IP ユーザーガイドのリビジョン履歴を確認し、仕様の変更があれば、改めて IP の新規作成が必須

最後に

近年の FPGA を含むメモリーやインターフェイスの高性能化に伴い、FPGA にも多くのハードマクロが実装されるようになり、考慮すべき複雑な制限事項が増えてきています。

ボード設計の前段階において、十分な実現性検討（フィージビリティ・スタディー）を行うことで、ボードリスピン、設計リスクを最小限に抑えることができます。

本資料を確認して、**検証用のスケルトンデザインを作成**し、その検証項目とその確認方法を認識し、最小リスクの設計を行いましょう。



Appendix

アジェンダ

- QSPI Flash の選定
- HPS ペリフェラル・ピン競合の確認
- Platform Designer を用いたアップグレード方法
- IP アップグレード方法
- 特殊機能を使用する場合のデバイス選定
- PLL のマージを防ぐ方法
- コンフィグレーション・モードの設定
- EPE の手順
- 各種評価ボード
 - インテル® Stratix® 10 FPGA 評価ボード
 - インテル® Arria® 10 FPGA 評価ボード
 - ドーターカード

QSPI Flash の選定



- サポート対象となっているコンフィグレーション ROM を使用する

- FPGA AS コンフィグレーションの場合

- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/support-centers/configuration-support.html>

- HPS QSPI ブートの場合

- <https://www.intel.com/content/www/us/en/programmable/support/support-resources/supported-flash-devices-for-aria-10-soc.html>

Device Configuration - Support Center

Welcome to the Device Configuration Support Center!

Here you will find information on how to select, design, and implement configuration schemes and features. There are also guidelines on how to bring up your system and debug the configuration links. This page is organized into categories that align with a configuration system design flow from start to finish.

Enjoy your journey!

Get support resources for Intel® Agilix™, Intel® Stratix® 10, Intel® Arria® 10, and Intel® Cyclone® 10 devices from the page. Get support resources for Intel® Agilix™, Intel® Stratix® 10, Intel® Arria® 10, and Intel® Cyclone® 10 devices from the page. Courses, Videos and Webcasts, Design Examples, and Knowledge Base.

AS コンフィグレーション対応 ROM

Getting Started

1. Device Specific Configuration Details
2. Configuration Schemes and IP
3. Advanced Configuration Features
4. Intel® Quartus® Prime Software Design Flow
5. Board Design
6. Debug
- Intel® Supported Configuration Devices
- Design Examples and Reference Designs
- Training Courses and Videos

Intel Supported Configuration Devices を選択

Intel® Configuration Devices							
Intel® Supported Third Party Configuration Devices							
Table 3 shows the criteria of third party configuration devices supported by Intel® Quartus® Convert Programming File Tools and Quartus® Programmer version 18.1 Standard and Pro Edition.							
Table 3 - Intel Supported Third Party Configuration Devices							
Intel® FPGA	Vendor	P/N	Byte addressing	Dummy Clock Settings		Permanent Quad-Enabled flash?	Intel® Tested and Supported Flash Devices
				ASx1	ASx4		
	Micron®	MT25QU128	3-byte ⁽¹⁾	8 ⁽⁴⁾	10 ⁽⁴⁾	No ⁽⁶⁾	MT25QU128ABA8ESF-0SIT
		MT25QU256					MT25QU256ABA8E12-1SIT
		MT25QU512					MT25QU512ABB8ESF-0SIT
		MT25QU01G					MT25QU01GBBB8ESF-0SIT
		MT25QU02G					MT25QU02GCB8E12-0SIT

QSPI Flash Devices

The quad SPI flash devices have the following advantages:

- Reliability: they typically support a minimum of 100,000 erase cycles per sector and a minimum of 20 years data retention. As a result, their management is simpler, with no need for error correction and bad block management.
- Low pin count requirement: a quad SPI flash device typically requires six pins, but it can be used with as few as four pins.
- High bandwidth

HPS QSPI ブート対応 ROM

A quad SPI flash device typically has smaller storage capacity than other flash devices. They are therefore mostly used as boot devices. Up to four quad SPI flash chip selects can be used with Intel Arria 10 SoCs. The device will boot from quad SPI flash connected to the chip select zero.

The current list of tested and supported devices is presented below. Note that the device list applies only to the HPS QSPI controller, and does not apply for FPGA configuration.

Part Number	Manufacturer	Capacity	Voltage	Support Category	Notes
MT25QU01GBBB8E12-0SIT	Micron	1 Gb	1.8 V	Intel Tested and Supported	Available on Intel Arria 10 SoC Development Kit
MT25QU01GBBA8E12-0SIT	Micron	1 Gb	1.8 V	Known to Work	
MT25QU01GBBB8ESF-0SIT	Micron	1 Gb	1.8 V	Known to Work	
MT25QU02GCB8E12-0SIT	Micron	2 Gb	1.8 V	Known to Work	U-Boot modifications needed
MT25QU512ABB8E12-0SIT	Micron	512 Mb	1.8 V	Known to Work	
N25Q512A83G1240F	Micron	512 Mb	3.3 V	Known to Work	
MT25QL512ABA8ESF-0SIT	Micron	512 Mb	3.3 V	Known to Work	
MT25QL512ABB8ESF-0SIT	Micron	512 Mb	3.3 V	Known to Work	
MT25QU512ABB8ESF-0SIT	Micron	512 Mb	1.8 V	Known to Work	
MX66US1235FMI-10G (FOI use MX76US1245GMIN0 instead)	Macronix	512 Mb	1.8 V	Known to Work	U-Boot modifications needed

HPS ペリフェラル・ピン競合の確認

- ペリフェラル・ピン競合が発生するケース

Block Diagram

hps_0

altera_hps

SPI Control

SPI0 pin: Unused

SPI0 mode: N/...

SPI1 pin: Unused

SPI1 mode: N/...

SPIS0 pin: HPS I/O Set...

SPIS0 mode: S...

SPI1 pin: Unused

SPI1 mode: N/...

UART Controllers

UART0 pin: HPS I/O Set...

UART0 mode: Flow Control

UART1 pin: Unused

UART1 mode: N/...

I2C Controllers

ピンの競合あり

UART0.RX (Set0)	SPIS0.CLK (Set0)
UART0.TX (Set0)	SPIS0.MOSI (Set0)
I2C1.SDA (Set0)	SPIS0.MISO (Set0)
I2C1.SCL (Set0)	SPIS0.SS0 (Set0)
CAN1.RX (Set0)	SPIS1.CLK (Set0)
CAN1.TX (Set0)	SPIS1.MOSI (Set0)
I2C0.SDA (Set0)	SPIS1.SS0 (Set0)
I2C0.SCL (Set0)	SPIS1.MISO (Set0)
UART0.CTS (Set2) (Set1) (Set0)	I2C1.SDA (Set1)
UART0.RTS (Set2) (Set1) (Set0)	I2C1.SCL (Set1)
UART1.CTS (Set0)	CAN1.RX (Set1)

Error: hps_0: Refer to the Peripherals Mux Table for more details. The selected peripherals 'SPIS0' and 'UART0' are conflicting.

競合しているためエラー出力

HPS ペリフェラル・ピン競合の確認 cont.



- ペリフェラル・ピン競合を回避したケース

SPIS1 を選択

Block Diagram: hps_0

- h2f_mpu_events: conduit
- hps_io: conduit
- f2h_sdram0_clock: clock
- f2h_sdram0_data: axi
- h2f_axi_clock: clock
- f2h_axi_clock: clock
- f2h_axi_slave: axi
- h2f_lw_axi_clock: clock

Block Diagram: hps_0

- memory: conduit
- h2f_reset: reset
- h2f_axi_master: axi
- h2f_lw_axi_master: axi

SPI Control

- SPIM0 pin: Unused
- SPIM0 mode: N/...
- SPIM1 pin: Unused
- SPIM1 mode: N/...
- SPIS0 pin: Unused
- SPIS0 mode: N/...
- SPIS1 pin: HPS I/O Set...
- SPIS1 mode: S...

UART Controllers

- UART0 pin: HPS I/O Set...
- UART0 mode: Flow Control
- UART1 pin: Unused
- UART1 mode: N/...

ピンの競合がなくなる

UART0.RX (Set0)	PIS0.CLK (Set0)
UART0.TX (Set0)	PIS0.MOSI (Set0)
I2C1.SDA (Set0)	SPIS0.MISO (Set0)
I2C1.SCL (Set0)	SPIS0.SS0 (Set0)
CAN1.RX (Set0)	SPIS1.CLK (Set0)
CAN1.TX (Set0)	SPIS1.MOSI (Set0)
I2C0.SDA (Set0)	SPIS1.SS0 (Set0)
I2C0.SCL (Set0)	SPIS1.MISO (Set0)
UART0.CTS (Set2) (Set1) (Set0)	I2C1.SDA (Set1)
UART0.RTS (Set2) (Set1) (Set0)	I2C1.SCL (Set1)
UART1.CTS (Set2) (Set1) (Set0)	CAN1.RX (Set1)
UART1.RTS (Set2) (Set1) (Set0)	CAN1.TX (Set1)

Platform Designer を用いたアップグレード方法

- Platform Designer を開く

The screenshot displays the Platform Designer software interface. The main window is titled "System View" and shows a hierarchical tree of components. The "Nios II Processor" component is selected, and its details are shown in the "Parameters" window on the right. The "Parameters" window is set to the "Vectors" tab, showing configuration options for the Reset Vector and Exception Vector. The "Reset Vector" section includes fields for "Reset vector memory" (set to onchip_memory2_0.s1), "Reset vector offset" (0x00000000), and "Reset vector" (0x00001000). The "Exception Vector" section includes fields for "Exception vector memory" (onchip_memory2_0.s1), "Exception vector offset" (0x00000020), and "Exception vector" (0x00001020). The "Fast TLB Miss Exception Vector" section includes fields for "Fast TLB Miss Exception vector memory" (None), "Fast TLB Miss Exception vector offset" (0x00000000), and "Fast TLB Miss Exception vector" (0x00000000).

Use	Connections	Name	Description	Export	Cl
<input checked="" type="checkbox"/>		clock_in	Clock Bridge Intel FPGA IP	clk	export
<input checked="" type="checkbox"/>		reset_in	Reset Bridge Intel FPGA IP	reset	clock
<input checked="" type="checkbox"/>		nios2_gen2_0	Nios II Processor	clk	clock
<input checked="" type="checkbox"/>		pio_0	PIO (Parallel I/O) Intel FPGA IP	clk	clock

Component Instantiation: 0 Errors, 0 Warnings, System Connectivity: 0 Errors, 0 Warnings

Platform Designer を用いたアップグレード方法 cont.

- 置き換え先のデバイスを選択

The screenshot displays the Platform Designer interface. On the left, the 'Device Settings' panel shows the 'Device family' set to 'Arria 10'. The 'Device' list is expanded, with '10AS066H1F34E1HG' selected and highlighted in blue. A red box highlights the entire device list area. On the right, the 'System View' shows the 'nios2_gen2_0' component selected. The 'Connections' table below the system view lists various components and their connections.

Use	Connections	Name	Description	Export	Clock
<input checked="" type="checkbox"/>		clock_in	Clock Bridge Intel FPGA IP		
		in_clk	Clock Input	clk	exported
		out_clk	Clock Output	Double-click to export	clock_in
<input checked="" type="checkbox"/>		reset_in	Reset Bridge Intel FPGA IP		
		clk	Clock Input	Double-click to export	clock_in
		in_reset	Reset Input	reset	[clk]
		out_reset	Reset Output	Double-click to export	[clk]
<input checked="" type="checkbox"/>		nios2_gen2_0	Nios II Processor		
		clk	Clock Input	Double-click to export	clock_in
		reset	Reset Input	Double-click to export	[clk]
		data_master	Avalon Memory Mapped Master	Double-click to export	[clk]
		instruction_master	Avalon Memory Mapped Master	Double-click to export	[clk]
		irq	Interrupt Receiver	Double-click to export	[clk]
		debug_reset_request	Reset Output	Double-click to export	[clk]
		debug_mem_slave	Avalon Memory Mapped Slave	Double-click to export	[clk]
		custom_instruction_master	Custom Instruction Master	Double-click to export	[clk]
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM) Intel FPGA...		
		clk1	Clock Input	Double-click to export	clock_in
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk1]
		reset1	Reset Input	Double-click to export	[clk1]
<input checked="" type="checkbox"/>		pio_0	PIO (Parallel I/O) Intel FPGA IP		
		clk	Clock Input	Double-click to export	clock_in
		reset	Reset Input	Double-click to export	[clk]
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]
		external_connection	Conduit	Double-click to export	

Platform Designer を用いたアップグレード方法 cont.



- Generate を実行

The screenshot shows the Platform Designer interface with the 'Generate' dialog box open. The dialog box contains the following sections:

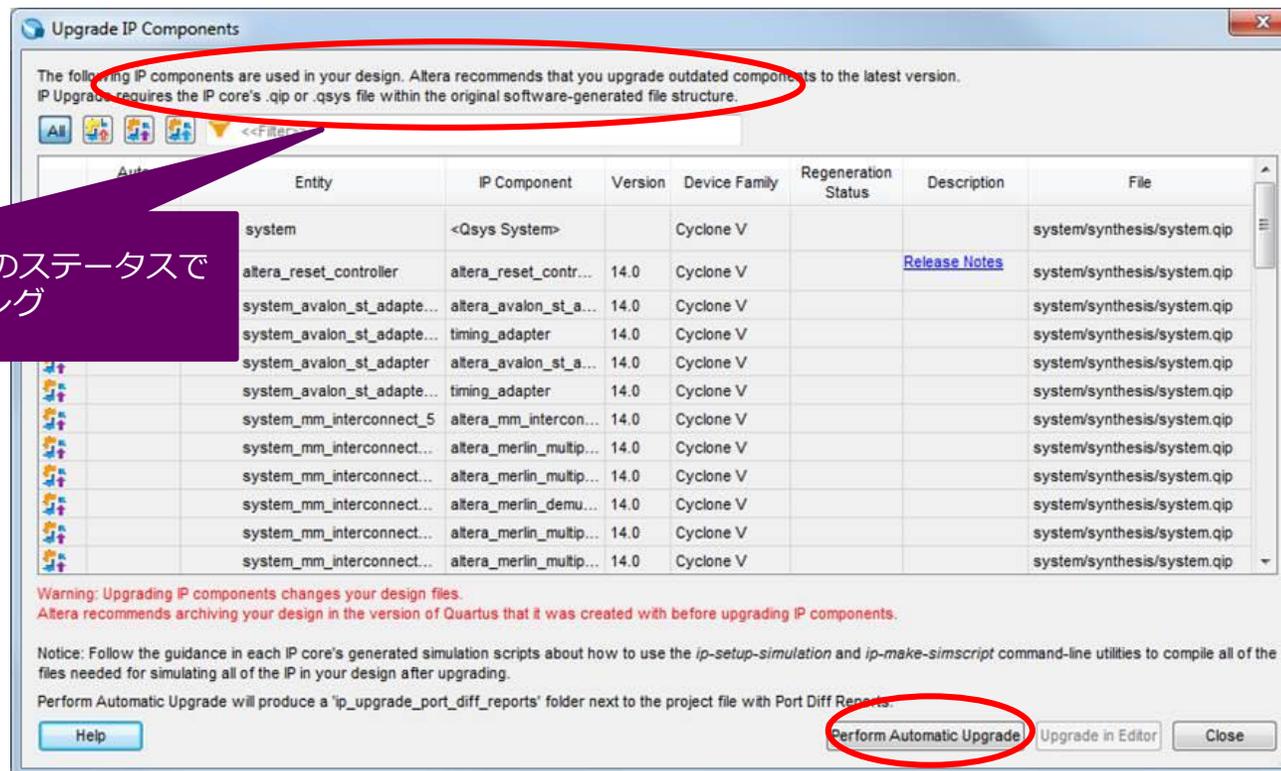
- Synthesis**
 - Synthesis files are used to compile the system in a Quartus Prime project.
 - Create HDL design files for synthesis: Verilog
 - Create timing and resource estimates for each IP in your system to be used with third-party EDA synthesis tools.
 - Create block symbol file (.bsf)
 - IP-XACT
 - Generate IP Core Documentation
- Simulation**
 - The simulation model contains generated HDL files for the simulator, and may include simulation-only features.
 - Simulation scripts for this component will be generated in a vendor-specific sub-directory in the specified output directory.
 - Follow the guidance in the generated simulation scripts about how to structure your design's simulation scripts and how to use the *ip-setup-simulation* and *ip-make-simscript* command-line utilities to compile all of the files needed for simulating all of the IP in your design.
 - Create simulation model: None
- Output Directory**
 - Clear output directories for selected generation targets.
- Parallel IP Generation**
 - If you select this option, Platform Designer performs IP generation with the number of processors defined in the Intel Quartus Prime parallel compilation settings (Assignments->Settings->Compilation Processor Settings).
 - Use multiple processors for faster IP generation (when available).

The 'Generate' button at the bottom of the dialog is highlighted with a red box.

IP アップグレード方法



- インテル® Quartus® Prime でプロジェクトを開いた際にバージョン違いの IP をチェック
 - Project メニュー、Project Navigator、IP を右クリックで手動起動
 - アップグレード必須かオプションかを表示
- IP を選択（複数選択可）して Perform Automatic Upgrade を選択
 - Platform Designer（旧 Qsys）システムとコンポーネントは必ず Platform Designer を使用してアップグレード



IP 名やアップグレードのステータスで
フィルタリング

特殊機能を使用する場合のデバイス選定



- インテル® Stratix® 10
 - 高性能なセキュリティ機能（エンクリプション）を使用する場合は、AS 品を購入する必要がある
 - パーツナンバーの末尾が AS
- SmartVID
 - SmartVID 付きのデバイスを使う場合は、SmartVID なしのデバイスと比べ電源構成が変わるため注意



- PLL で任意の周波数クロックを生成した場合、同一の周波数設定や同一位相設定の場合、PLL や PLL の出力ポートがマージされる場合がある。そのため、PLL や PLL の出力ポートをマージさせたくない場合、インテル® Quartus® Prime の設定ファイルに設定を追記する必要がある
- KDB 情報
 - PLL のマージを防ぐ設定
 - https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd08092011_148.html
 - PLL の出力ポートのマージを防ぐ設定
 - https://www.intel.com/content/altera-www/global/en_us/index/support/support-resources/knowledge-base/solutions/rd03062013_146.html
 - https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd04222012_662.html

コンフィグレーション・モードの設定



- Assignments メニュー -> Device.. を選択

Device and Pin Options... button highlighted.

Name	Core Voltage	ALMs	Total I/Os	GPIOs	HSSI Channels	PCIe Hard IP Blocks	Memory Bits
385 10AT115S1F45E1SG	0.9V or 0.95V	427200	960	624	72	4	55562240
386 10AT115S2F45E2SG	0.9V or 0.95V	427200	960	624	72	4	55562240
387 10AX016C3U19E2LG	0.9V or 0.95V	61510	224	196	6	1	9011200
388 10AX016C3U19E2SG	0.9V or 0.95V	61510	224	196	6		9011200
389 10AX016C3U19I2LG	0.9V or 0.95V	61510	224	196	6		9011200

① Device and Pin Options.. ボタンをクリック

② Category: セクションより Configuration をクリック

③ コンフィグレーション・モードを選択

- Active Serial x1
- Active Serial x4
- Passive Parallel x16
- Passive Parallel x32
- Passive Parallel x8
- Passive Serial

EPE の手順

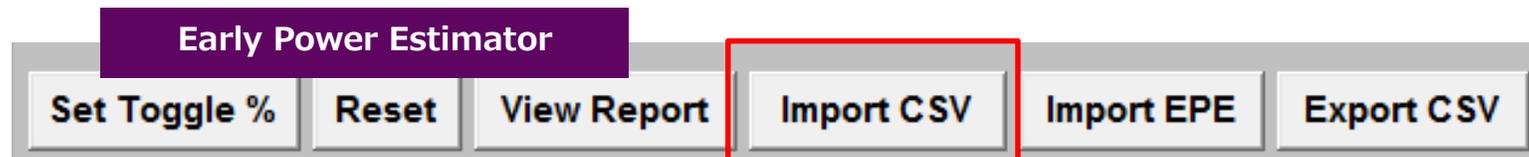
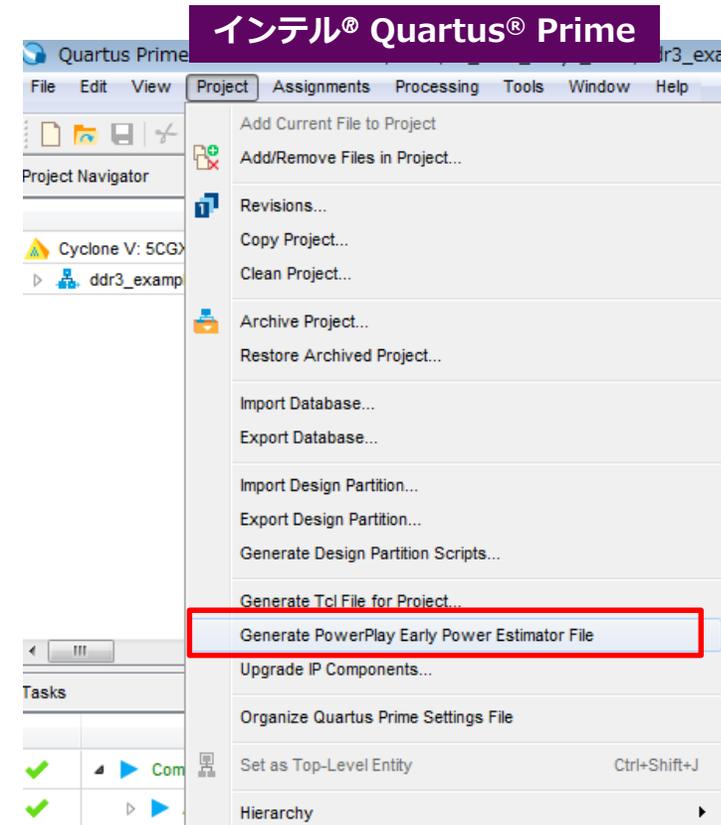
- PowerPlay Early Power Estimator (EPE) とは
 - 消費電力の見積もりができるエクセルツール
- 2 通りの方法で消費電力を見積もり
 - **インテル® Quartus® Prime Design Profile (後述)**
 - インテル® Quartus® Prime でコンパイル後、CSV ファイルを生成、EPE にインポートして見積もり
 - ユーザー入力
 - EPE に手動でリソース入力して見積もり

EPE のダウンロードサイト

- <https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/operation-and-testing/power/powerplay.html>

EPE の手順 cont.

- インテル® Quartus® Prime Design Profile の手順
 - デザインのコンパイル後、EPE 入力用 CSV ファイルを生成
 - インテル® Quartus® Prime の Project メニュー ⇒ Generate PowerPlay Early Power Estimator File
 - EPE ファイルへ CSV ファイルの取り込み
 - Import CSV から CSV ファイルを選択
 - ファイル名 : ***_early_pwr.csv



EPE の手順 cont.

- EPE での見積もり結果

Thermal Power (W)	
Logic	0.016
RAM	0.028
DSP	0.002
I/O	0.551
HSDI	0.000
PLL	0.040
Clock	0.028
HMC	0.151
XCVR	0.000
PCS and HIP	0.000
P_{static}	0.243
Total FPGA	1.058
HPS	N/A
$P_{static,HPS}$	N/A
Total SoC	N/A

消費電力
見積もり結果
(FPGA 部)

消費電力
見積もり結果
(HPS 部)

- FPGA 部
 - ブロック毎の見積もり結果
- Hard Processor System (HPS) 部
 - SoC FPGA の HPS 部

EPE の手順 cont.



- スケルトンデザインにユーザー回路を追加する場合は EPE に追加リソース分を入力
 - Logic : ロジック
 - RAM : 内部メモリ
 - DSP : DSP ブロック
 - IO : I/O
 - PLL : PLL
 - Clock : クロック

15	0	0	0	12.5%	3	0.000	0.000	0.000
16	0	0	0	12.5%	3	0.000	0.000	0.000
17	0	0	0	12.5%	3	0.000	0.000	0.000
18	0	0	0	12.5%	3	0.000	0.000	0.000
19	0	0	0	12.5%	3	0.000	0.000	0.000

Logic RAM DSP IO PLL Clock HSDI HMC XCVR IP HPS Report Empirion Release Notes

各回路の動作率を入力

各タブを開き、
必要な情報を入力

インテル® Stratix® 10 FPGA 評価ボード



デバイス	評価ボード名	評価出来る主な機能	補足
Stratix® 10 GX	Stratix® 10 GX FPGA Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-s10-fpga.html	<ul style="list-style-type: none"> •DDR3/4 •12G-SDI •10/100/1000 Ethernet (SGMII) •40/100Gb Ethernet (QSFP28) •PCIe Gen3x16 (EP) 	<ul style="list-style-type: none"> •FMC コネクタ x1
	Stratix® 10 GX Signal Integrity Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-s10-transceiver-si.html	<ul style="list-style-type: none"> •12G-SDI •10/100/1000 Ethernet (SGMII) •10Gb Ethernet (SFP+) •40/100Gb Ethernet (QSFP28) 	<ul style="list-style-type: none"> •トランシーバー・チャンネルを多数用意、トランシーバー評価に最適 •FMC コネクタ x2
Stratix® 10 SX	Stratix® 10 SX SoC Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/stratix-10-soc-development-kit.html	<ul style="list-style-type: none"> •DDR4 •PCIe Gen3x16 (RC) •10Gb Ethernet (SFP+) •50/100Gb Ethernet (QSFP+) •12G-SDI •HPS (10/100/1000 RGMII, USB2.0, I2C, UART) 	<ul style="list-style-type: none"> •HPS 内蔵デバイス •FMC コネクタ x2
Stratix® 10 TX	Stratix® 10 TX Signal Integrity Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kits-s10-tx-si.html	<ul style="list-style-type: none"> •12G-SDI •10/100/1000 Ethernet (SGMII) •100/200Gb Ethernet (QSFP, QSFPDD) •400Gb Ethernet (PAM-4, QSFPDD) 	<ul style="list-style-type: none"> •E-tile 搭載デバイス <ul style="list-style-type: none"> -Ethernet 系 Hard IP 搭載 (25/100GbE MAC, FEC etc...) -PAM-4 対応 •トランシーバー・チャンネルを多数用意、トランシーバー評価に最適 •FMC コネクタ x1
Stratix® 10 MX	Stratix® 10 MX FPGA Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-s10-mx.html	<ul style="list-style-type: none"> •DDR4 •HBM2 •PCIe Gen3x16 (RP, EP) •100Gb Ethernet (QSFP28) 	<ul style="list-style-type: none"> •HBM2 搭載デバイス (DRAM 内蔵)

インテル® Arria® 10 FPGA 評価ボード



デバイス	評価ボード名	評価出来る主な機能	補足
Arria® 10 GX	Magnes https://www.macnica.co.jp/business/semiconductor/macnica_products/boards/125973/	<ul style="list-style-type: none"> •DDR4 •Deep Learning Acceleration 	<ul style="list-style-type: none"> •Intel CPU (ATOM) 搭載 (COMe) ⇒Intel CPU + FPGA の組み合わせ評価が可能 (Deep Learning Acceleration 等) •FMC コネクタ x1
	Arria® 10 GX FPGA Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-a10-gx-fpga.html	<ul style="list-style-type: none"> •DDR3/4 •PCIe Gen3x8 (EP) •SDI •10/100/1000 Ethernet (SGMII) •10/40Gb Ethernet (SFP+, QSFP+) 	<ul style="list-style-type: none"> •FMC コネクタ x2
	Arria® 10 GX Transceiver Signal Integrity Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-a10-gx-si.html	<ul style="list-style-type: none"> •SDI •10/100/1000 Ethernet (SGMII) •10/40Gb Ethernet (SFP+, QSFP+) 	<ul style="list-style-type: none"> •トランシーバー・チャンネルを多数用意、トランシーバー評価に最適
Arria® 10 SX	Arria® 10 SoC Development Kit https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-a10-soc-development-kit.html	<ul style="list-style-type: none"> •DDR3/4 •PCIe Gen3x8 (RC) •10Gb Ethernet (SFP+) •SDI •HPS (10/100/1000 RGMII, USB2.0, I2C, UART) 	<ul style="list-style-type: none"> •HPS 内蔵デバイス •FMC コネクタ x2



- 12G-SDI
 - 12G-SDI FMC Card (Mpression)
 - https://www.macnica.co.jp/business/semiconductor/macnica_products/boards/121817/
- Vx1 HS
 - V-by-One® HS FMCカード (Mpression)
 - https://www.macnica.co.jp/business/semiconductor/macnica_products/boards/121249/
- HDMI2.0
 - HDMI 2.0 FMC CARD (Mpression)
 - https://www.macnica.co.jp/business/semiconductor/macnica_products/boards/125381/
 - FMC HDMI Daughter Card (Bitec)
 - <https://bitec-dsp.com/product/fmc-hdmi-daughter-card-rev-11/>
- DisplayPort 1.2a/1.4a
 - FMC DisplayPort Daughter Card (Bitec)
 - <https://bitec-dsp.com/product/fmc-displayport-daughter-card-revision-11/>
- SFP+
 - SFP+ x4 FMC Card (Mpression)
 - https://www.macnica.co.jp/business/semiconductor/macnica_products/boards/125381/



Thank you!

改版履歴

Revision	年月	概要
1.0	2020年1月	初版作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。