



インテル® Stratix® 10 SoC/インテル® Arria® 10 SoC HPS EMIF の回路図確認項目

2020年1月

株式会社マクニカ アルティマカンパニー

Rev1.1

本資料の目的

- インテル® Stratix® 10 SoC 及び インテル® Arria® 10 SoC の Hard Processor System External Memory Interface (HPS EMIF) ピンの接続は、使用する I/O バンクが固定されているため、注意すべき制約があります
- 本資料ではその注意すべき制約をまとめ、速やかに設計を行うことを目的としています
- 本資料は EMIF ユーザーガイドの下記内容を元に作成した資料となります
 - [External Memory Interfaces Intel® Stratix® 10 FPGA IP User Guide](#)
- [3.7.1. Restrictions on I/O Bank Usage for Intel Stratix 10 EMIF IP with HPS](#)
 - [External Memory Interfaces Intel® Arria® 10 FPGA IP User Guide](#)
- [3.7.1. Restrictions on I/O Bank Usage for Intel Arria 10 EMIF IP with HPS](#)
- 本資料に合わせて、下記資料もご参照ください
 - [FPGA の EMIF レイアウト・ガイドライン](#)
 - [インテル® FPGA 10シリーズの EMIF のピンアサイン方法について](#)

pll_ref_clk ピン

- インテル® Stratix® 10 SoC :

- pll_ref_clk は 2M バンク にアサインしなくてはなりません

- 関連 KDB :

[Are there any placement restrictions for the Intel® Stratix® 10 HPS EMIF IP PLL reference clock and RZQ pin ?](#)

- インテル® Arria® 10 SoC :

- 推奨は 2K バンク(Address / Command のバンク)にアサイン

- 各バンクの PLL までのルートが最小になります

- Early I/O release を有効にする場合は、2K バンクにアサインする必要があります
(構成によっては、他のバンクでも配置可能な場合があります)

Address / Command ピン

- インテル® Stratix® 10 SoC :
 - Address / Command ピンは固定のため変更できません
- インテル® Arria® 10 SoC :
 - Address / Command ピンは固定のため変更できません

RZQ ピン

- インテル® Stratix® 10 SoC :
 - RZQ ピンは 2M bank にアサインしなくてはなりません
 - 関連 KDB(pll_ref_clk のページの KDB と同じ) :
[Are there any placement restrictions for the Intel® Stratix® 10 HPS EMIF IP PLL reference clock and RZQ pin ?](#)
- インテル® Arria® 10 SoC :
 - 推奨は 2K バンク(Address / Command のバンク)にアサイン
 - Early I/O release を有効にする場合は、2K バンクにアサインする必要があります
(構成によっては、他のバンクでも配置可能な場合があります)
 - EMIF としては Address / Command と同じバンクに配置することが推奨
 - 同じカラム(I/O カラム 2)と同じ電圧レベルであれば、他の バンクにアサイン可能
[External Memory Interfaces Intel® Arria® 10 FPGA IP User Guide](#)
[-7.3.3.1. General Guidelines](#)
[-RZQ Pin Placement](#)

Alert# ピン

- インテル® Stratix® 10 SoC :
 - 2N バンク にアサインしなくてはなりません

- インテル® Arria® 10 SoC :
 - データレーン または Address / Command レーンと同じレーンにアサイン

未使用ピンを GPIO として使用することは可能?

- インテル® Arria® 10 SoC :

- I/O バンク 2K の ECC 用レーンは、ECC 未使用でも input only として使用可能 (下図 )
- I/O バンク 2K の他のレーンの未使用ピンは GPIOとして使用可能(下図 )
- データとして使用しているレーン内の未使用ピンは、input only として使用可能(下図 )
- 未使用レーンは GPIO として使用可能(下図 )
- 関連 KDB :

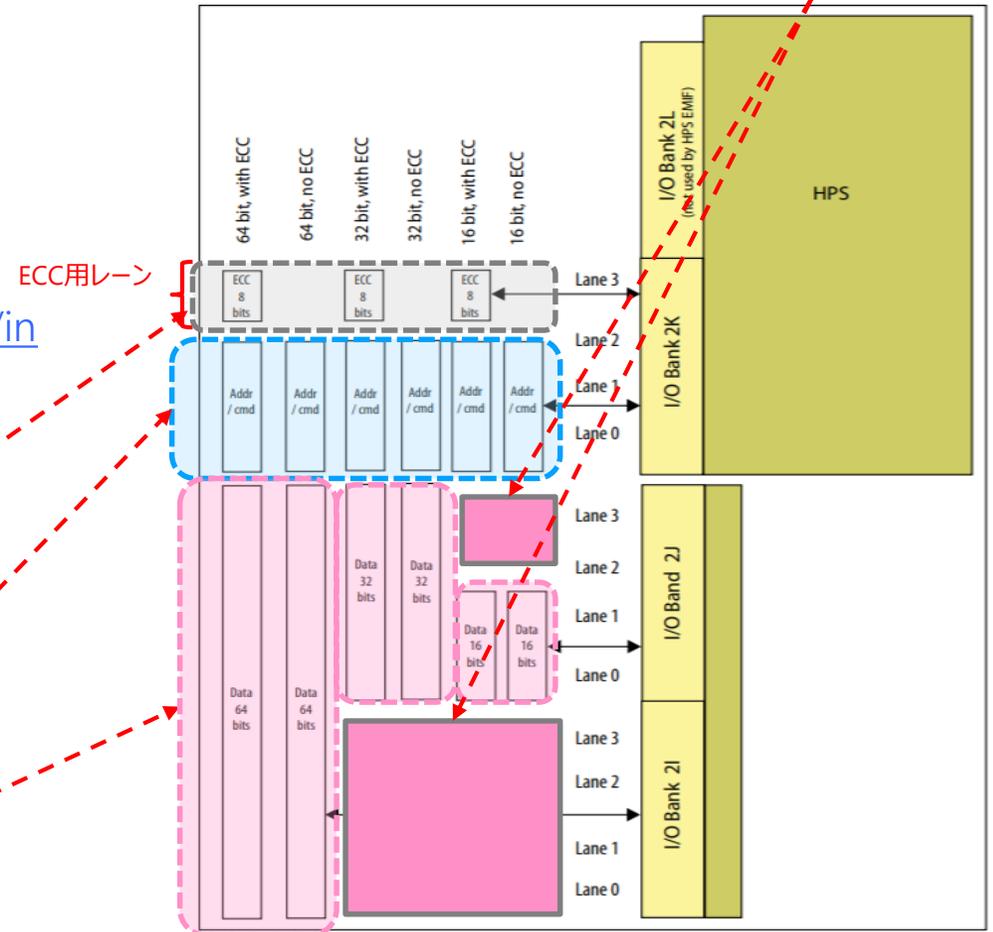
- https://www.intel.com/content/altera-www/global/en_us/inbase/solutions/rd12182015_183.html

未使用ピンは
input only として使用可能

未使用ピンは
GPIO として使用可能

未使用ピンは
input only として使用可能

Figure 18. I/O Banks and Lanes Usage



HPS EMIF と non-HPS EMIF の混在配置に関する注意事項

- インテル® Arria® 10 SoC は、HPS EMIF と non-HPS EMIF を別の I/O カラムに実装しなくてはなりません
 - HPS EMIF は I/O カラム2 にあるため、non-HPS EMIF は I/O カラム2 以外に配置する必要があります

改版履歴

	日付	概要
1.0	2020年1月	初版作成
1.1	2020年1月	未使用バンク/レーンのピンに関する修正

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。



Thank you!