



# ArriaV/CycloneV + DDR3 の回路図確認項目

2019年12月

株式会社マクニカ アルティマカンパニー

Rev1.0

# 本資料の目的

- メモリ周りの接続はデバイスやプロトコルごとに異なる箇所があり紛らわしく間違いが多い
- 本資料は適切なメモリ周りの接続を示し、回路図確認の際の不明点を明確にすることを目的とする

# 回路図確認の際の注意点

- VシリーズはDDR3もDDR2もRZQ (と電源) 以外は**終端方法は同じ**
- フライバイ配線か否かにより参照箇所は異なりますが、**終端方法は同じ**
  - Fly-by Topologyの場合
    - 使用しているメモリプロトコルの "Board Termination for DDRxx SDRAM"の章を参照する
  - Non Fly-by Topologyの場合
    - DDR3を使っていたとしても "Board Termination for DDR2 SDRAM"の章を参照する
    - If you are using a DDR3 SDRAM without leveling interface, refer to "Board Termination for DDR2 SDRAM". Note also that Arria V and Cyclone V devices do not support DDR3 with leveling.
- 下記は使用メモリと配線方法とドキュメントの参照箇所を示したテーブル

	Fly-by Topology	Non Fly-by Topology
DDR2	Board Termination for DDR2 SDRAM	Board Termination for DDR2 SDRAM
DDR3	Board Termination for DDR3 SDRAM	Board Termination for <b>DDR2</b> SDRAM

Non Fly-by Topologyの場合、DDR3を使っていたとしてもDDR2の章を参照する

# フライバイ配線に対応しているデバイス

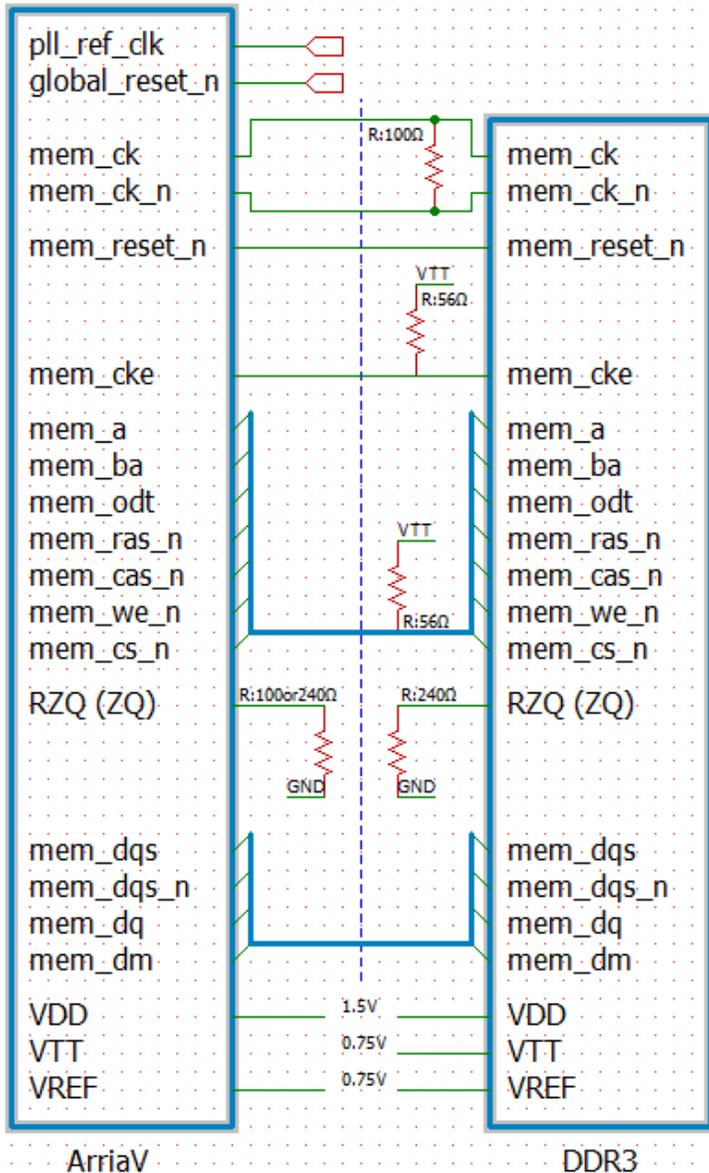
- フライバイ配線できるデバイスとできないデバイスがある
  - レベリングをサポートしているデバイスのみフライバイ配線にすることができる
- レベリング（フライバイ配線）対応のデバイス一覧
  - 対応デバイス：Arria V GZ, Stratix III, Stratix IV, Stratix V, Arria 10, Stratix 10
  - 未対応デバイス：Arria II, Arria V GX, Arria V GT, Arria V SoC, Cyclone V GX, Cyclone V GT, Cyclone V SoC

**Table 25. Device Family Topology Support**

Device	I/O Support
Arria II	Non-leveling
Arria V GX, Arria V GT, Arria V SoC	Non-leveling
Arria V GZ	Leveling
Cyclone V GX, Cyclone V GT, Cyclone V SoC	Non-leveling
Stratix III	Leveling
Stratix IV	Leveling
Stratix V	Leveling
Arria 10	Leveling
Stratix 10	Leveling

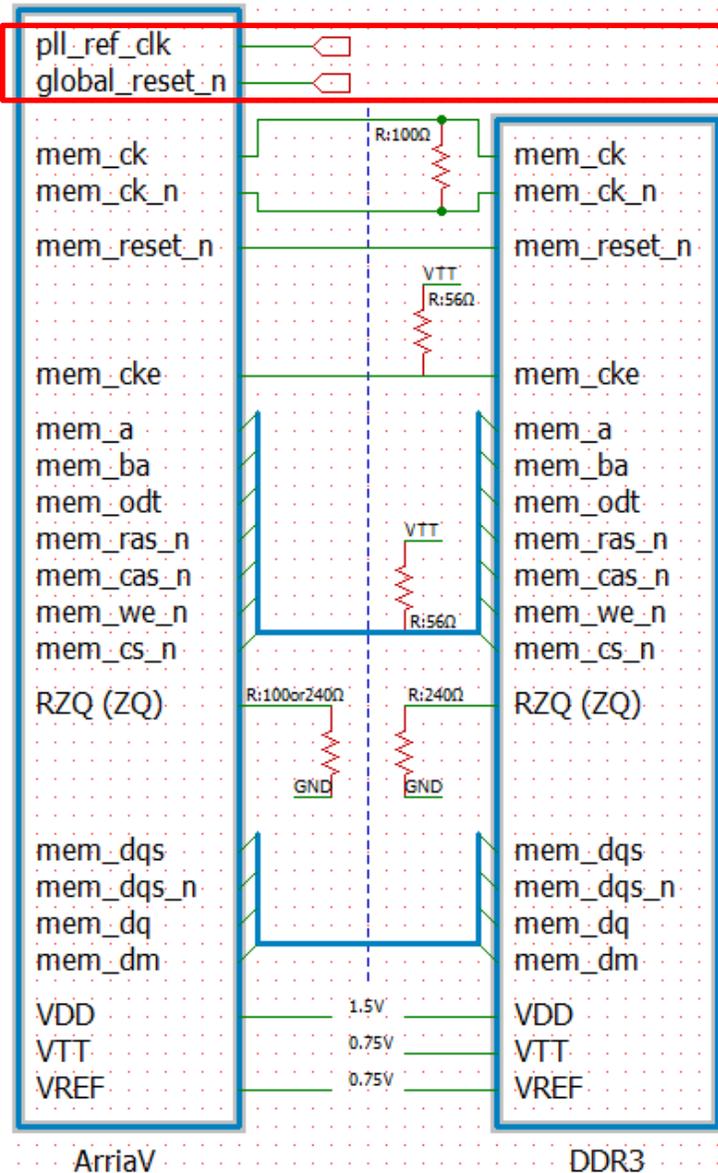
- レベリングに対応していないデバイスは、メモリプロトコルによらず、DDR2のところを参照する

# ArriaV / CycloneV + DDR3 の回路図確認 1/8



- 抵抗値を決める際は必ず基板 SIM をする必要があります
  - 基板 SIM の結果が良い方を選択して下さい
- 左の図は Component の接続を表しています
- DIMMの場合、プルアップはDIMMモジュール上で処理されていますので基板上の処理は不要です

# ArriaV / CycloneV + DDR3 の回路図確認 2/8



- pll\_ref\_clk : **専用ピンに接続**

- クロック専用入力ピンに接続

[External Memory Interface Handbook Volume 2: Design Guidelines](#)

[1.4.5. Pin Connection Guidelines Tables](#)

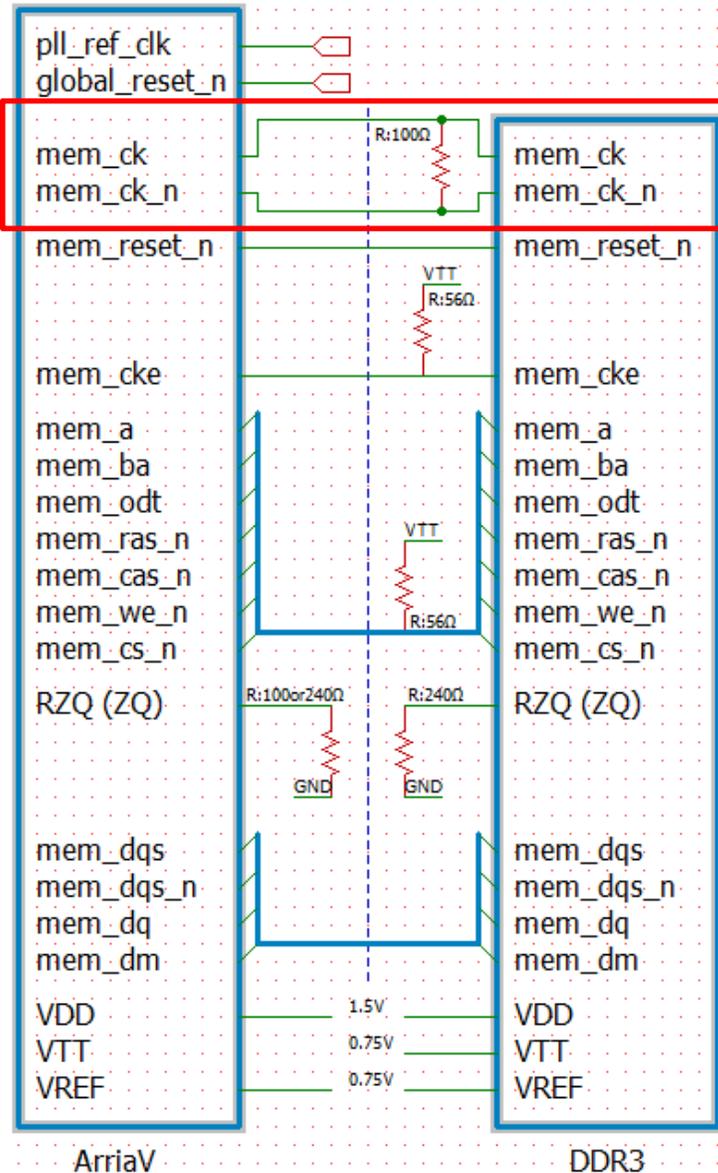
Clock Source	—	Dedicated PLL clock input pin with direct connection to the PLL (not using the global clock network). For Arria II GX, Arria II GZ, Arria V GZ, Stratix III, Stratix IV and Stratix V Devices, also ensure that the PLL can supply the input reference clock to the DLL. Otherwise, refer to alternative DLL input reference clocks (see <i>General Pin-out Guidelines</i> ).
--------------	---	--

- global\_reset\_n : **終端不要**

- 終端の必要なし
- Fan-out 大に対応するため、クロック専用ピンに接続

Reset	—	Dedicated clock input pin to accommodate the high fan-out signal.
-------	---	---

# ArriaV / CycloneV + DDR3 の回路図確認 3/8



- mem\_ck : **差動終端 (抵抗値は基板SIMで判断)**

- FPGA側 : mem\_ck は出力ピンなので 終端は不要
- メモリ側 : 終端が必要
- Schematic Review Worksheet :
  - Differential termination が必要
  - 抵抗値は基板に合わせて設定のこと

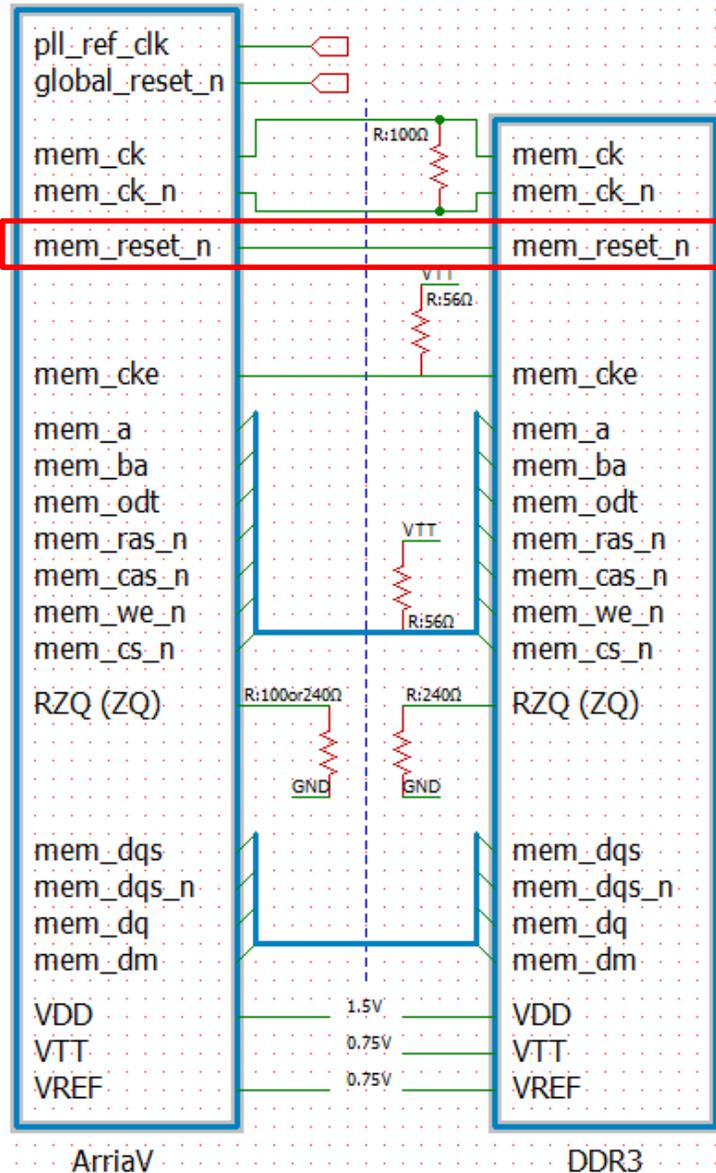
Connection Guidelines <sup>↵</sup>			
Arria V devices do not support DDR3/DDR3L SDRAM with read or write leveling, so these devices do not support standard DDR3/DDR3L SDRAM DIMMs or DDR3/DDR3L SDRAM components using the standard DDR3/DDR3L SDRAM fly-by address, command, and clock layout topology. <sup>↵</sup>			
<sup>↵</sup>			
Devices (without leveling) – differential termination resistor needs to be included in the design. Depending on your board stackup and layout requirements, you choose your differential termination resistor value. <sup>↵</sup>			

- EMIF Handbook :
  - 100Ωで差動終端と記載

Clock	DIFF Class I R50 NO CAL	N/A	x1 = 100-ohm differential (10) x2 = 200-ohm differential (11)
-------	----------------------------	-----	--

- 参考 : DDR3 HiLo の回路図では 49.9Ω の抵抗とコンデンサを介して GND 処理

# ArriaV / CycloneV + DDR3 の回路図確認 4/8



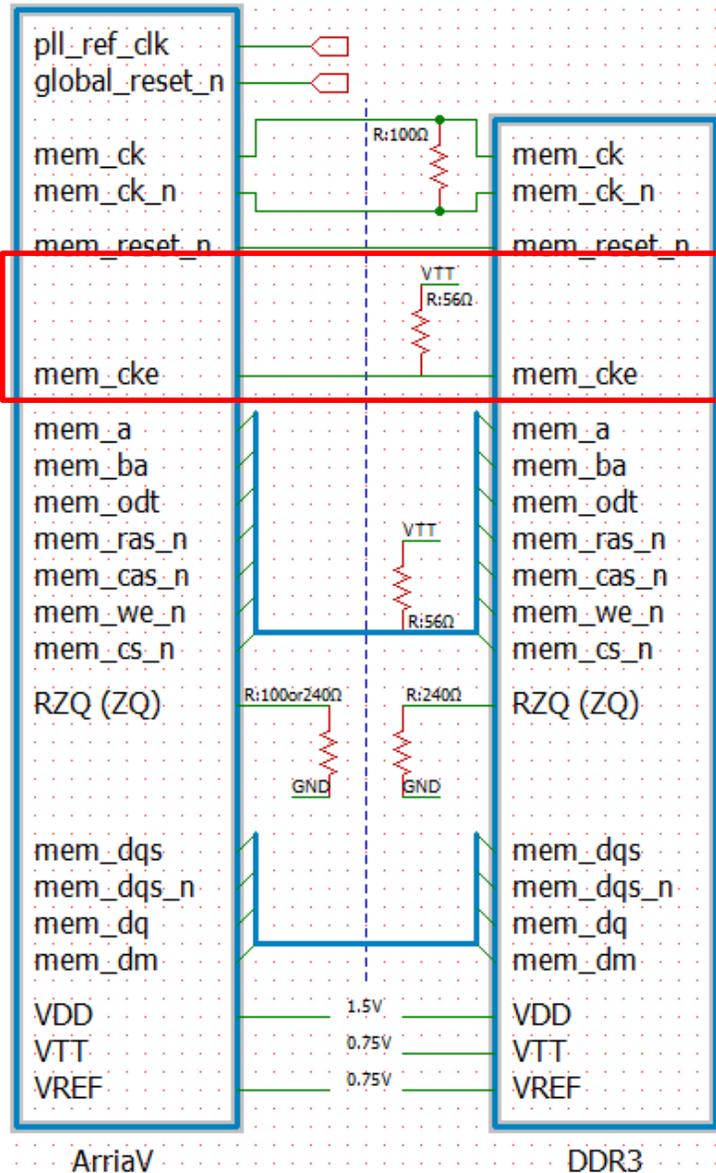
- mem\_reset\_n : **終端不要**

- FPGA側 : 終端不要
- メモリ側 : 終端不要
- メモリ側のリセットピンと FPGA 側のリセットピンを終端なしで直つなぎする
- Schematic Review Worksheet : Vtt に終端することは非推奨(not recommend)

Reset for DDR3/DDR3L Memory↕	↕	DDR3 : Use 1.5V CMOS output.↕
↕		↕
↕		DDR3L : Use SSTL-135 output↕
		↕
		It is not recommended to terminate this reset to Vtt.↕
		↕

- 参考KDB(Vtt に終端することは非推奨)
  - [https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013\\_499.html](https://www.intel.com/content/www/us/en/programmable/support/support-resources/knowledge-base/solutions/rd07212013_499.html)
- 参考 : DDR3 HiLo の回路図ではVTTに接続されている

# ArriaV / CycloneV + DDR3 の回路図確認 5/8



- mem\_cke : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

- FPGA側 : mem\_cke は出力ピンなので 終端は不要
- メモリ側 : 終端が必要
- Schematic Review Worksheet : Vtt終端
  - 終端抵抗の位置は、  
“最初の分岐の直前に配置”または  
“分岐先で対称的な位置に配置”を推奨
- EMIF Handbook : 4.7kΩでGND接続

Discrete Device (no leveling) - Unidirectional class I termination. ↵  
 ↵  
 Unidirectional class I termination. For multi-loads Altera recommends the ideal topology is a balanced symmetrical tree. Altera recommends that the class I termination to VTT is placed at the first split or division of the symmetrical tree for discrete devices. ↵

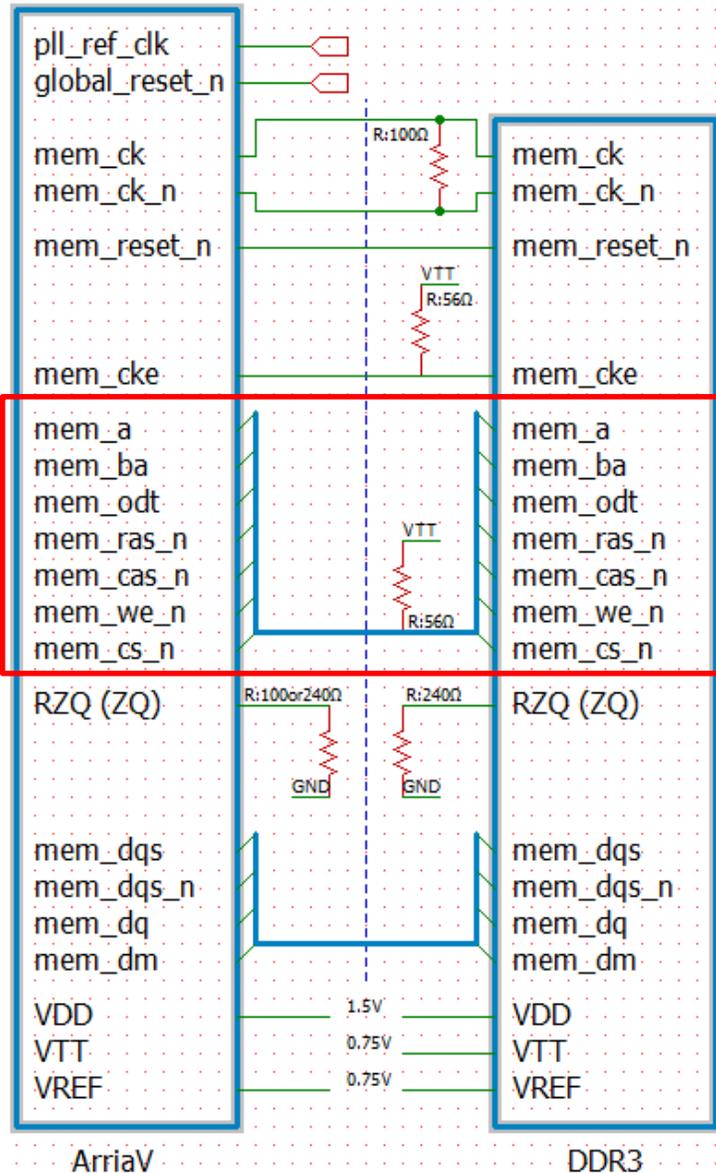
**Table 29. DDR2 SDRAM Layout Guidelines (1)**

Clock Routing	<ul style="list-style-type: none"> <li>• A 4.7 K-ohm resistor to ground is recommended for each Clock Enable signal. You can place the resistor at either the memory end or the FPGA end of the trace.</li> </ul>
---------------	---

- 参考 : DDR3 HiLo の回路図ではVTTに接続

Schematic Review Worksheet と EMIF Handbook で推奨が異なっていますが、結論としてはVtt終端を推奨とします。  
 ただし、CKE を頻繁に動作させるような処理(self refreshに入るなど)が無い場合は、VTT終端、pull-down どちらでも問題はありません。

# ArriaV / CycloneV + DDR3 の回路図確認 6/8



- add/cmd : **抵抗介して VTT (抵抗値は基板 SIM で判断)**

- mem\_a, mem\_ba, mem\_odt, mem\_ras\_n, mem\_cas\_n, mem\_we\_n, mem\_cs\_n
- FPGA側：出力ピンなので 終端は不要
- メモリ側：終端が必要
- Schematic Review Worksheet：Vtt終端(CKEと同じ記載) 終端抵抗の位置は、“最初の分岐の直前に配置” または“分岐先で対称的な位置に配置”を推奨
- EMIF Handbook :56ΩでVTTに接続

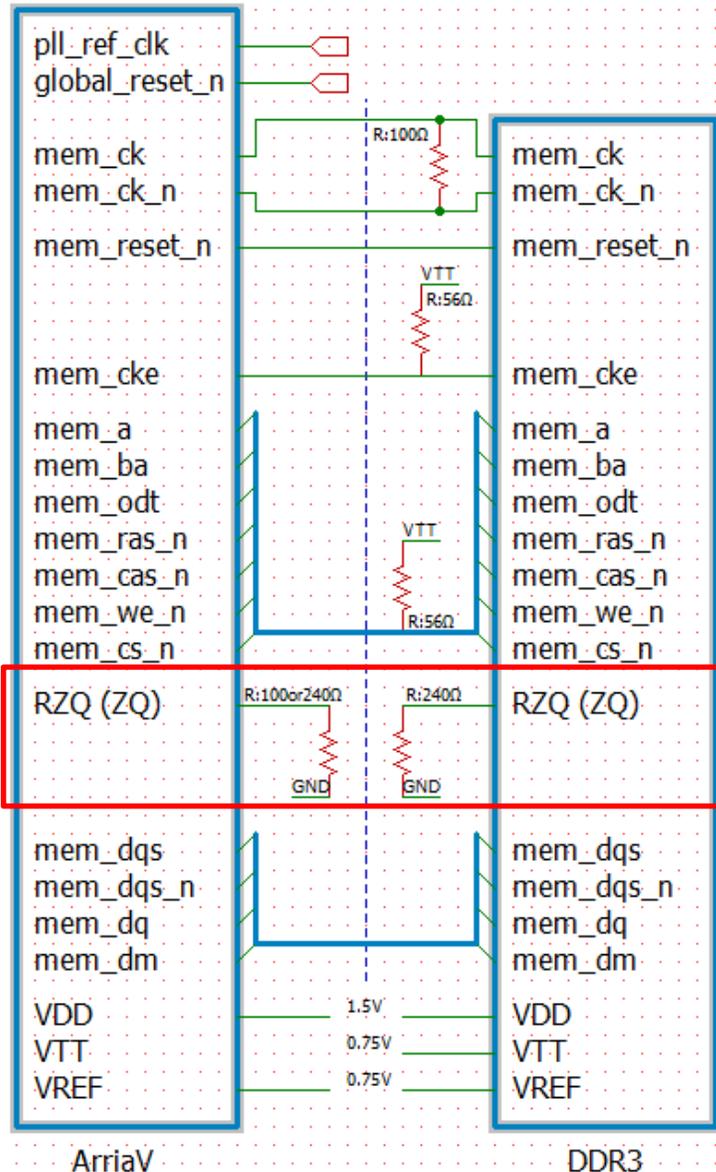
Discrete Device (no leveling) - Unidirectional class I termination. ↵  
 ↵  
 Unidirectional class I termination. For multi-loads Altera recommends the ideal topology is a balanced symmetrical tree. Altera recommends that the class I termination to VTT is placed at the first split or division of the symmetrical tree for discrete devices. ↵

**Table 27. Termination Recommendations (1)**

Address and command	Class I MAX	N/A	56-ohm parallel to VTT discrete

- 参考：DDR3 HiLo の回路図では49.9Ω で VTT に接続

# ArriaV / CycloneV + DDR3 の回路図確認 7/8 (1)



- RZQ : **240 Ω or 100 Ω の抵抗介して GND**

- FPGA側 : I/O Standard とOCT値(Rs/Rt)によって240Ω 又は 100Ω のどちらかを介してGND 接続
  - デフォルト設定ではOCT設定はデータピンのみの為、データピンだけ考慮すればよい
  - アドレスコマンドピンにもOCT設定した場合は合わせて考慮する
- メモリ側 :メモリやデバイスによらず 240Ω で GND 接続
  - DDR3, DDR4 は 240Ω だが DDR2は240Ω の接続は不要
- メモリ IP ひとつごとに RZQ ピン一つを処理すればよい
- メモリ IP の配置バンクでなくともメモリ IP と同じ電圧のバンクであれば RZQ ピンはどこのバンクでもよい
- Schematic Review Worksheet : 100Ω or 240Ωを介してGND接続

RZQ		RZQ pin is connected to GND through an external 240-Ω or 100-Ω ±1% resistor. Refer to <a href="#">I/O Features in Arria V Devices (PDF)</a> for the OCT impedance options for the desired OCT scheme.
-----	--	---

- 接続抵抗値については、各デバイスハンドブックに記載されています(次頁参照)

# ArriaV / CycloneV + DDR3 の回路図確認 7/8 (2)

## ● RZQ接続抵抗値について

### ○ ArriaV :

- <https://www.intel.com/content/www/us/en/programmable/documentation/sam1403480004852.html#sam1403479694793>

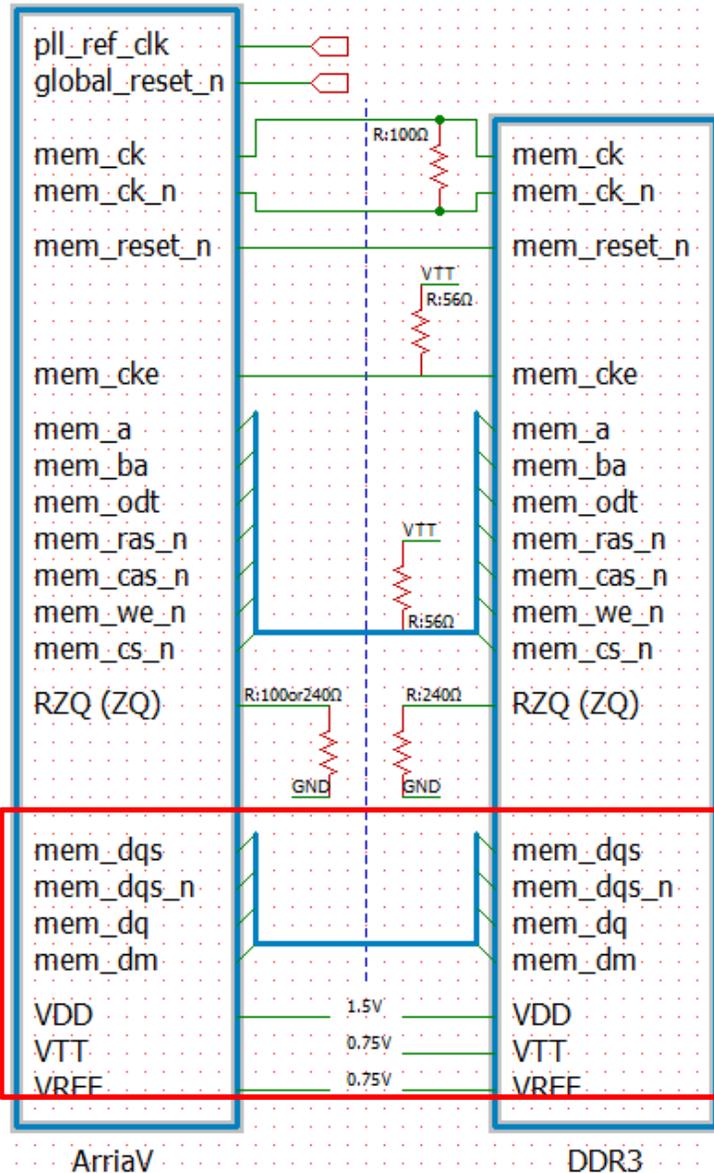
### ○ CycloneV :

- <https://www.intel.com/content/www/us/en/programmable/documentation/sam1403481100977.html#sam1403480778760>

終端抵抗表(抜粋)

I/O Standard	Device Variant Support	Calibrated OCT (Input)	
		R <sub>T</sub> (Ω)	RZQ (Ω)
Differential SSTL-2 Class II	All	50	100
Differential SSTL-18 Class I	All	50	100
Differential SSTL-18 Class II	All	50	100
Differential SSTL-15 Class I	All	50	100
Differential SSTL-15 Class II	All	50	100
Differential 1.8 V HSTL Class I	All	50	100
Differential 1.8 V HSTL Class II	All	50	100
Differential 1.5 V HSTL Class I	All	50	100
Differential 1.5 V HSTL Class II	All	50	100
Differential 1.2 V HSTL Class I	All	50	100
Differential 1.2 V HSTL Class II	All	50	100
SSTL-15	All	20, 30, 40, 60, 120	240
SSTL-135	All	20, 30, 40, 60, 120	240
SSTL-125	All	20, 30, 40, 60, 120	240
SSTL-12	GZ only	60, 120	240
HSUL-12	GZ only	34, 40, 48, 60, 80	240
Differential SSTL-15	All	20, 30, 40, 60, 120	240
Differential SSTL-135	All	20, 30, 40, 60, 120	240
Differential SSTL-125	All	20, 30, 40, 60, 120	240
Differential SSTL-12	GZ only	60, 120	240

# ArriaV / CycloneV + DDR3 の回路図確認 8/8



- mem\_dq/dqs/dm : **終端不要**

- FPGA側 : 終端不要
- メモリ側 : 終端不要
- OCT と ODT が用意されている
  - OCT (On-Chip Termination)
    - FPGA 側の内部終端
  - ODT (On-Die Termination)
    - SDRAM 側の内部終端

- VDD

- DDR3 : 1.5V に接続
- DDR3L : 1.35V に接続

- VTT, VREF

- DDR3 : 0.75V に接続
- DDR3L : 0.675V に接続
- VTTとVREFは同じ電圧値だが別電源にすることを推奨
  - VTTはアドレスコマンドのプルアップに使われるのでノイズが乗る場合があります。一方VREFはレファレンス電圧なので、精度良い電源を接続する事が理想的です

# その他、注意点

- Hard Memory Controller のGNDピン接続について

- Pin Information (PDF, Text, Excel であるもの) では、HMC を使用する際に GND との記載があるピンがあります
- これらのピン処理としては、個別の Unused Pin の設定で As input tri-stated 設定していただき、基板上でGND接続することを推奨いたします
- 機能的にはこの GND Pin を User I/O として使用出来るようにはなっていますが、推奨ではありません。Compile 時に下記の様な Critical Warning が発生致します

"Critical Warning (11887): The following pin \*\*\* was placed in a reserved GND location. This may cause decreased performance for HMC. Intel recommends the pin location to be grounded"

- 個別のUnused Pin 設定方法 :

[Quartus Prime はじめてガイド - ピン・アサインの方法 ver.15.1](#)  
(4. 未使用ユーザ I/O ピンの属性設定方法)

# 参照資料

- Device Schematic Review Worksheets

<https://www.intel.com/content/www/us/en/programmable/support/support-resources/download/board-layout-test/schematic-review-ws.html>

- [Arria V GX, GT, SX, and ST Schematic Review Worksheet](#)
- [Cyclone V Schematic Review Worksheet](#)

- External Memory Interface Handbook Volume 2: Design Guidelines

<https://www.intel.com/content/www/us/en/programmable/support/literature/lit-external-memory-interface.html>

- Pin-Out Files for Intel FPGA Devices

<https://www.intel.com/content/www/us/en/programmable/support/literature/lit-dp.html>

# 改版履歴

リビジョン	日付	概要
1.0	2019年12月	初版作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。



Thank you!