

インテル® FPGA E タイル・トランシーバー 紹介

macnica

株式会社マクニカ アルティマカンパニー

Rev.1 2020/5

アジェンダ

- トランシーバー・タイル概要
- E タイル・トランシーバー・アーキテクチャー
- E タイル・トランシーバー実装
- トランシーバー・チャンネルのコントロール
- トランシーバー・チャンネル評価ツール
 - Advanced Link Analyzer
 - Transceiver Toolkit
- サマリー

トランシーバー・タイトル概要

トランシーバー・タイル概要

● トランシーバー・タイルの配置と機能

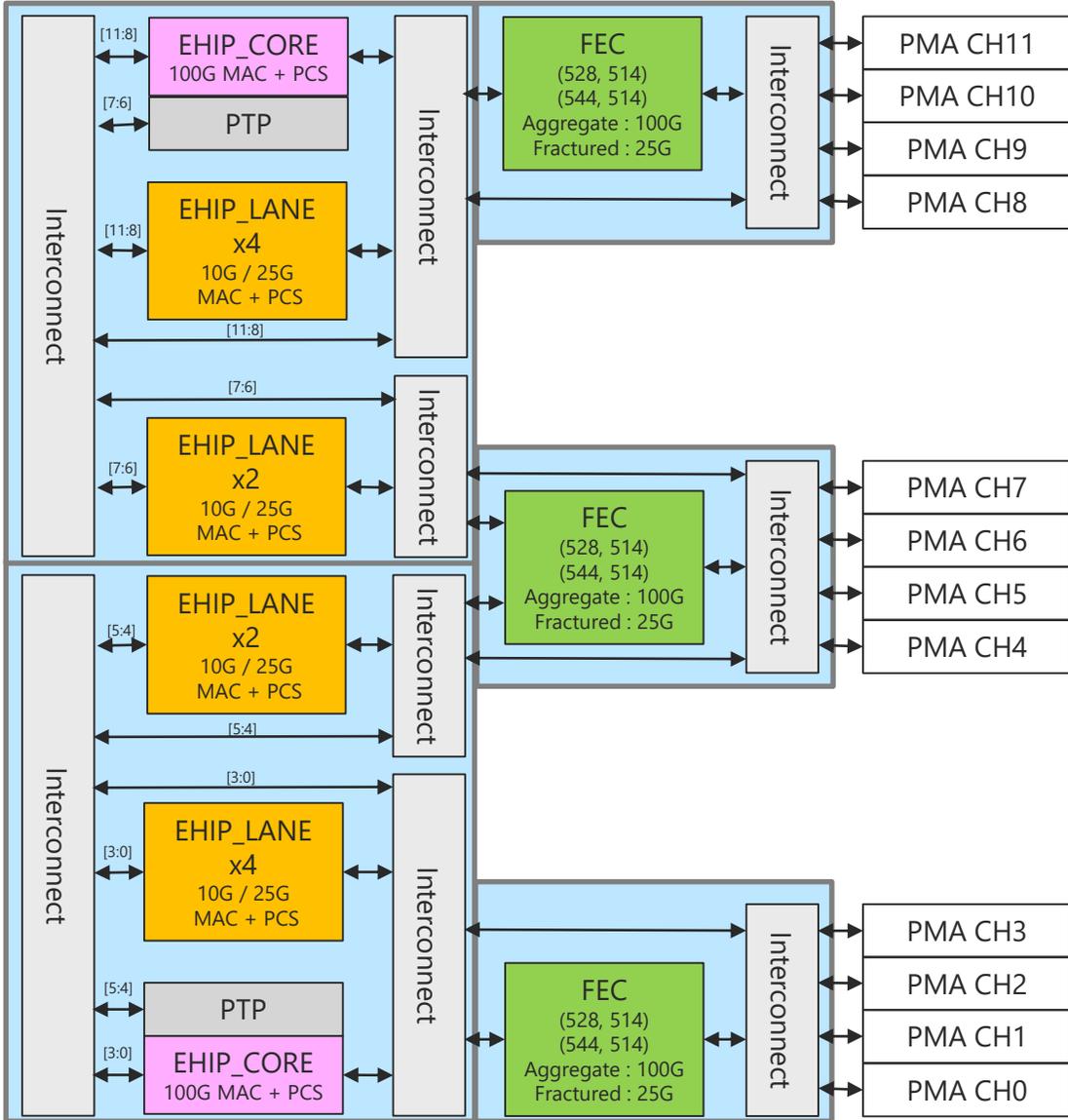
- トランシーバー・タイルはデバイスのサイドバンクに配置
 - 基本的に1 タイル：トランシーバー 12 チャンネル (TX, RX ペア)
詳細はデバイスファミリーごとのユーザーガイドを参照
- EMIB でコア・ファブリック と トランシーバー・タイルを接続
 - EMIB (Embedded Multi-die Interconnect Bridge)
- 各種タイルの機能概要



トランシーバー・タイル	L タイル (GX/SX)	H タイル (GX/SX/TX/MX)	E タイル (TX/MX/DX)	P タイル (DX)
チップ間伝送 最大データレート	GX : 17.4G NRZ GXT : 26.6G NRZ	GX : 17.4G NRZ GXT : 28.3G NRZ	GXE : 57.8G PAM-4 / 28.9G NRZ	16G NRZ (PCIe Gen4) 11.2G NRZ (UPI)
バックプレーン伝送 最大データレート	12.5G NRZ up to 25dB (>12.5G - 26G backplane use re-timers)	30dB @ 28.3G NRZ	30dB w/ FEC @ 57.8G PAM-4 35dB w/ FEC @ 28.9G NRZ 30dB w/o FEC @ 28.9G NRZ	PCIe Gen3/4 specification compliant
ハード IP	PCIe Gen3 x16	PCIe Gen3 x16 , SR-IOV(4 PF/2K VF) 50/100GE MAC	10/25/100GE MAC, PHY and RS-FEC, KP-FEC	PCIe Gen4 x16 , SR-IOV(8 PF/2K VF), EP/RP UPI PHY and Link Layer
消費電力比率	1.0	1.0	~ 0.6	~ 0.7
ピン・マイグレーション	Yes		No	No

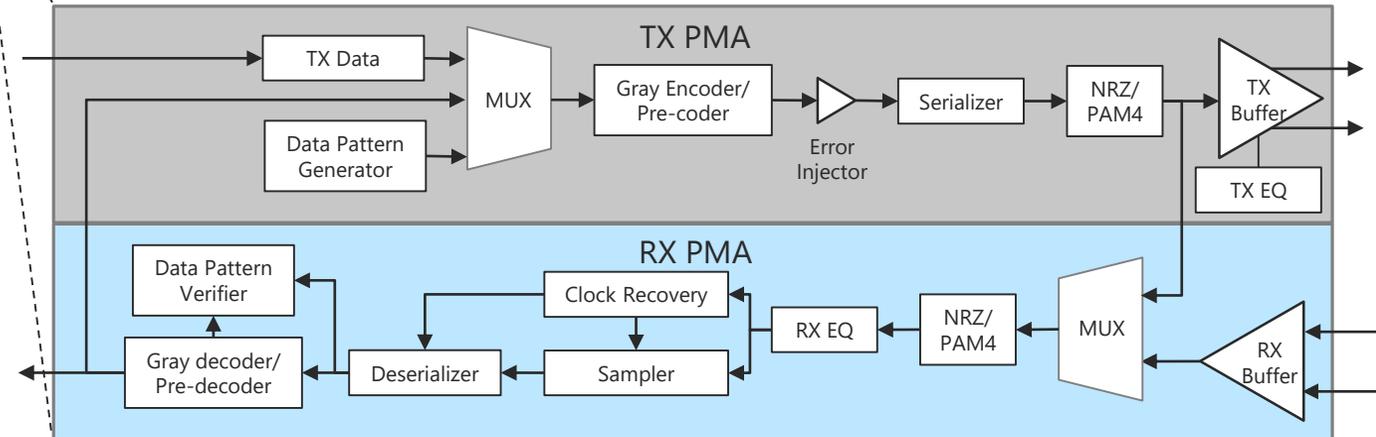
E タイル・トランシーバー・アーキテクチャー

E タイル・トランシーバー・アーキテクチャー



● PMA, FEC, Ethernet Hard IP で構成

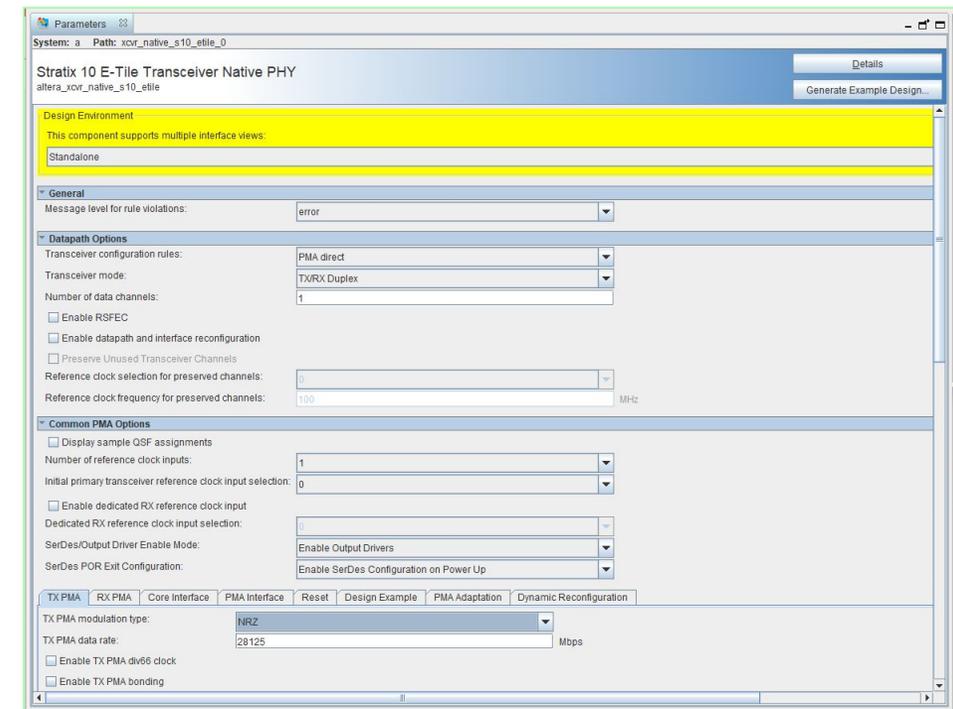
- 代表的なサポート・プロトコル
 - IEEE 802.3ap (10GBASE-KR)
 - IEEE 802.3bj (100G-KR4, 100G-CR4)
 - IEEE 802.3bm (CAUI4)
 - IEEE 802.3bs (400G Ethernet)
 - IEEE 802.3cd (50GBASE-CR, 50GBASE-KR)
 - IEEE 802.3by (25GBASE-CR, 25GBASE-KR)
 - CEI-25G-LR
 - CEI-28G-VSR/SR/MR
 - CEI-56G-VSR/MR/LR
- 詳細は [E タイル・ユーザーガイド](#) を参照



E タイル・トランシーバー実装

E タイル・トランシーバー実装

- E タイル・トランシーバーの実装ステップ
- **ステップ 1 : E-tile Channel Placement Tool**
 - E タイル・トランシーバーのピンアサイン可否を早期に見積もり
 - Quartus® Prime と独立したエクセルベースの無償ツール
 - こちらの [リンク](#) からダウンロード可能
- **ステップ 2 : Stratix 10 E-Tile Transceiver Native PHY**
 - IP Catalog / Platform Designer を使用
 - E タイル・トランシーバーを使用する際の各種設定、トランシーバーの生成
 - 設定例
 - Configuration Rule : PMA direct / PMA direct high data rate PAM4
 - Transceiver mode : Duplex / Simplex
 - Number of data channel : 1 - 24
 - PMA Modulation type : NRZ / PAM4
 - PMA data rate : 1G - 28.9G (NRZ), 2G - 57.8G (PAM4)
 - 詳細は [E タイル・ユーザーガイド](#) のページ 28~ を参照



E タイル・トランシーバー実装

● ステップ 3 : E タイル・トランシーバー を実装する際の注意点

- L タイル / H タイル・トランシーバーとの相違点
 - Stratix® 10 L タイル / H タイル・トランシーバーと Arria® 10 GX トランシーバーの実装は同一なのでこちらの[リンク](#)を参照

ポイント	E タイル・トランシーバー	L タイル / H タイル・トランシーバー	備考
リセット・コントローラー	×	○	L タイル / H タイル : Stratix® 10 Transceiver PHY Reset Controller が必要 E タイル : 内蔵リセット・コントローラーのクロックソースを設定が必要 ユーザーガイドのページ 130 を参照
TX PLL	×	○	L タイル / H タイル : L-Tile/H-Tile Transceiver ATX PLL/ fPLL /CMU PLL Intel® Stratix® 10 FPGA IP が必要 E タイル : Native PHY IP に内蔵
リファレンス・クロック	Differential LVPECL	LVDS	FPGA 外部に AC キャパシターが必要
ネガティブ・チャンネル	○	×	L タイル / H タイル : 差動信号のネガティブチャンネルが RTL に存在しない いずれもピンアサインはポジティブチャンネルだけでも可 E タイル : 差動信号のネガティブチャンネルが生成された RTL に存在

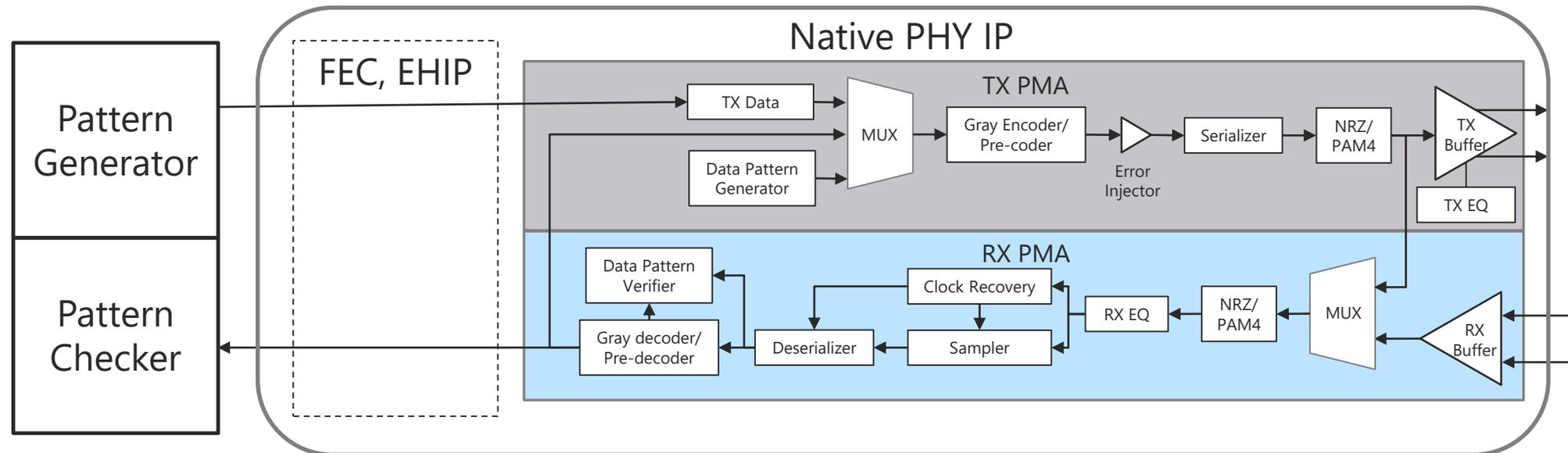
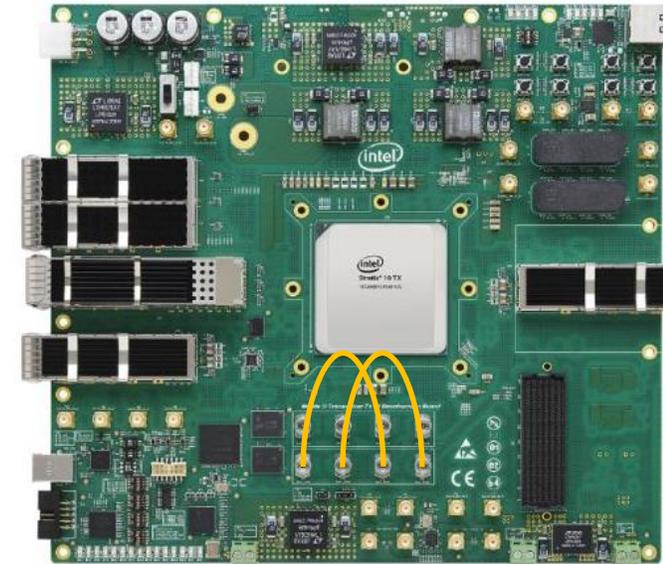
● ステップ 4 : Quartus® Prime Pro Edition のコンパイルでデザインを確認

- 最低限以下を完了させることが必要
 - Stratix® 10 E-Tile Transceiver Native PHY をデザインに実装
 - トランシーバーやリファレンス・クロックを設定
 - このステップの詳細はこちらの[リンク](#)を参照

トランシーバー・チャネルのコントロール

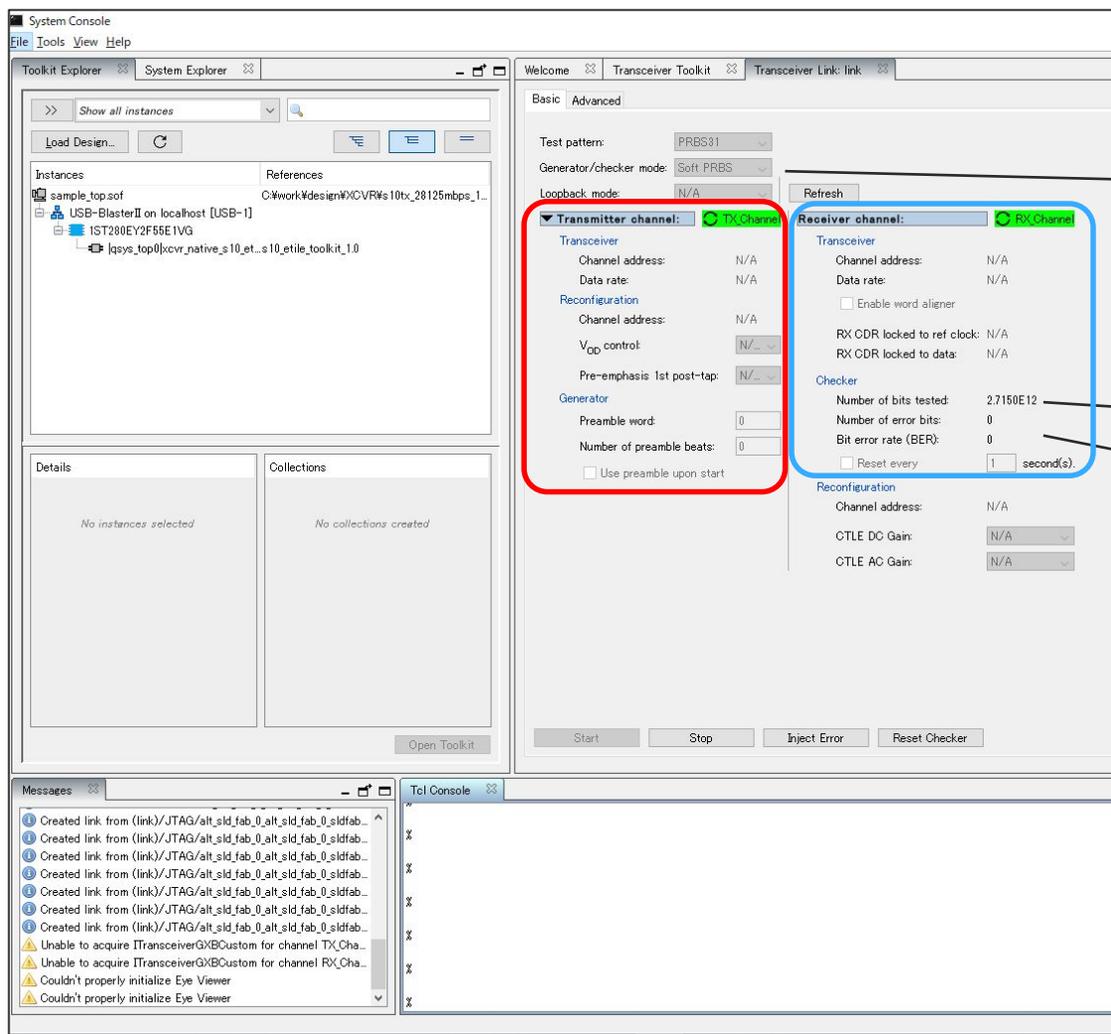
トランシーバー・チャンネルのコントロール

- **Stratix® 10 TX Signal Integrity Kit**
 - E タイル・トランシーバーを使用可能
 - 評価ボードの情報はこちらの[リンク](#)を参照
 - SMA ケーブルで外部ループバック接続
 - 2.4mm コネクター - SMA 変換アダプターが必要
- **ユーザーロジックのパターン・ジェネレーター、チェッカーを実装**
 - ここでは FEC, EHIP はバイパスで PMA に直接インターフェイス
 - データレート NRZ 28.125 Gbps / リファレンス・クロック 156.25 MHz



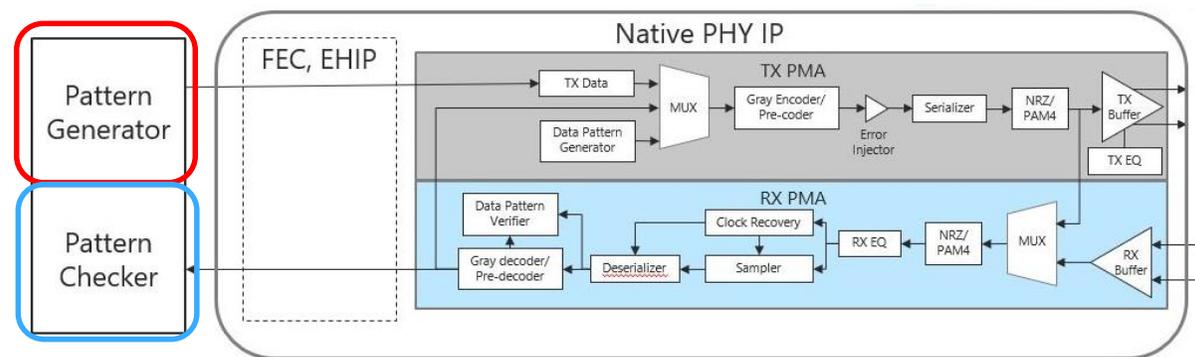
トランシーバー・チャンネルのコントロール

- システムコンソール経由のユーザーロジックのパターン・ジェネレーター、チェッカー



Soft PRBS =
ユーザーロジックのパターン・ジェネレーター、チェッカーを選択

エラー無しで受信ビット数
エラーした受信ビット数



トランシーバー・チャンネル評価ツール

トランシーバー・チャネル評価ツール

● Advanced Link Analyzer

- Quartus[®] Prime ライセンスで使用可能なインテル[®] FPGA トランシーバー・伝送路シミュレーター
 - 基板作成前に信号品質の見積もり
 - 詳細は Advanced Link Analyzer [ユーザーガイド](#) を参照
 - 下図は Stratix[®] 10 TX Signal Integrity Kit 外部ループバックの伝送線路を構成

smaa - Advanced Link Analyzer Release 20.1 (x64)

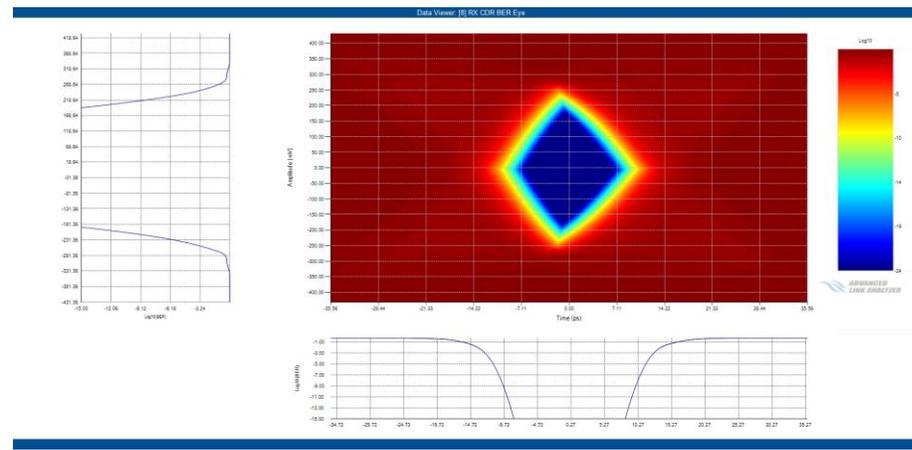
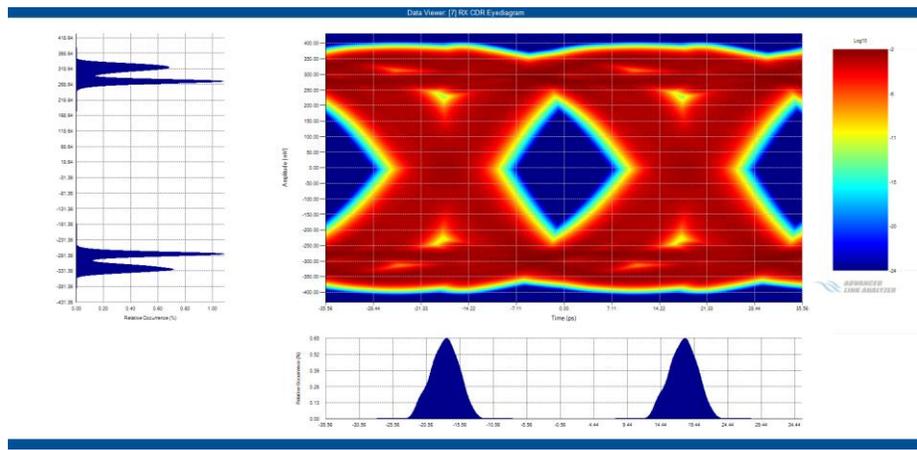
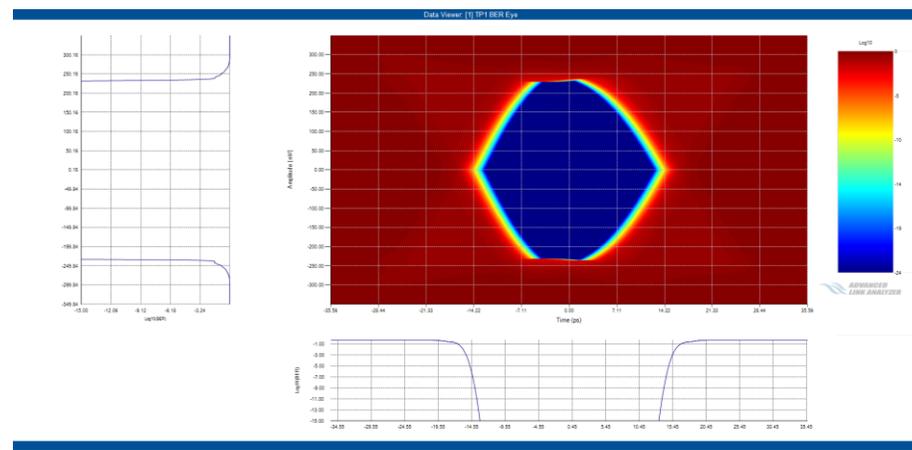
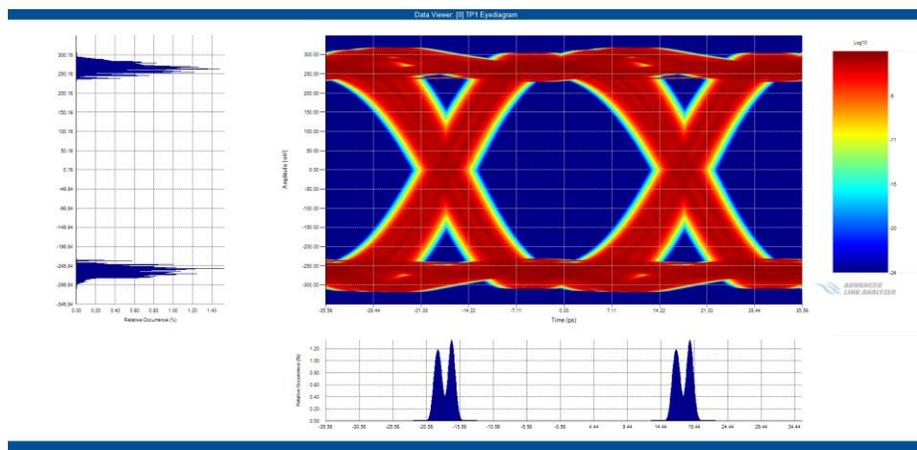
The screenshot displays the Advanced Link Analyzer software interface. The main workspace shows a signal path simulation from left to right. The path starts with an 'Eタイル IBIS-AMI TXモデル' (IBIS-AMI Transmitter), followed by a 'TX パッケージ' (Package S10E_TX_typ.s4p, ID=1), a 'TX BGA' (Transmission 2.4mm_BGA_TX.s4p, ID=2), a 'TX トレース' (Transmission SMA_TX_2529mil_trace.s4, ID=3), a 'TX コネクタ' (Connector 2.4mm_connector_via_TX.s, ID=4), a 'テスト・ポイント' (Test Point TP1 ID=5) located on the 'RX コネクタ' (Connector 2.4mm_connector_via_RX.s, ID=6), an 'RX トレース' (Transmission SMA_RX_2898mil_trace.s4, ID=7), an 'RX BGA' (Transmission 2.4mm_BGA_RX.s4p, ID=8), an 'RX パッケージ' (Package S10E_RX_typ.s4p, ID=9), and finally an 'Eタイル IBIS-AMI RXモデル' (IBIS-AMI Receiver). The interface includes a menu bar (File, Transmitter, Channel, Component, Receiver, Test Point, Connect, Analysis, Tools), a toolbar, and a bottom panel with 'Link and Simulation Setting', 'Transmitter', 'Receiver', 'Channel', 'COM Configuration', and 'Aggressor Transmitter' tabs. The 'Link Configuration' section shows Data Rate (28.125 Gbps), Simulation Length (65536 Bits), Target BER (10^-12), Test Pattern (PRBS-7), Modulation Scheme (NRZ), and FEC (Off). The 'Simulation Configuration' section shows Project Name (smaa), Simulation Mode (Hybrid), Output Options (Data Viewer), Test Point Location (Custom Test Point + Data Latch), Probe Type (Ideal), and Jitter Analysis Options (Jitter Component). A 'Notes' section is also present at the bottom right.

Link Configuration		Simulation Configuration	
Data Rate	28.125 Gbps	Project Name	smaa
Simulation Length	65536 Bits	Simulation Mode	Hybrid
Target BER	10 ⁻¹²	Output Options	Data Viewer
Test Pattern	PRBS-7	Test Point Location	Custom Test Point + Data Latch
Modulation Scheme	NRZ	Probe Type	Ideal
FEC	Off	Jitter Analysis Options	Jitter Component
Reference Clock	156.25 MHz	Notes	
	Actual Reference Clock Frequency = 156.25 MHz	My note	
	Reference Clock: Ideal Clock		

トランシーバー・チャネル評価ツール

● Advanced Link Analyzer

- シミュレーション完了後にアイ・ダイアグラム、BER などで結果を出力
 - 上図：テストポイント、下図：RX バッファ



トランシーバー・チャンネル評価ツール

● Transceiver Toolkit

- インテル® FPGA トランシーバー評価向けシステムコンソール・ベースのツール

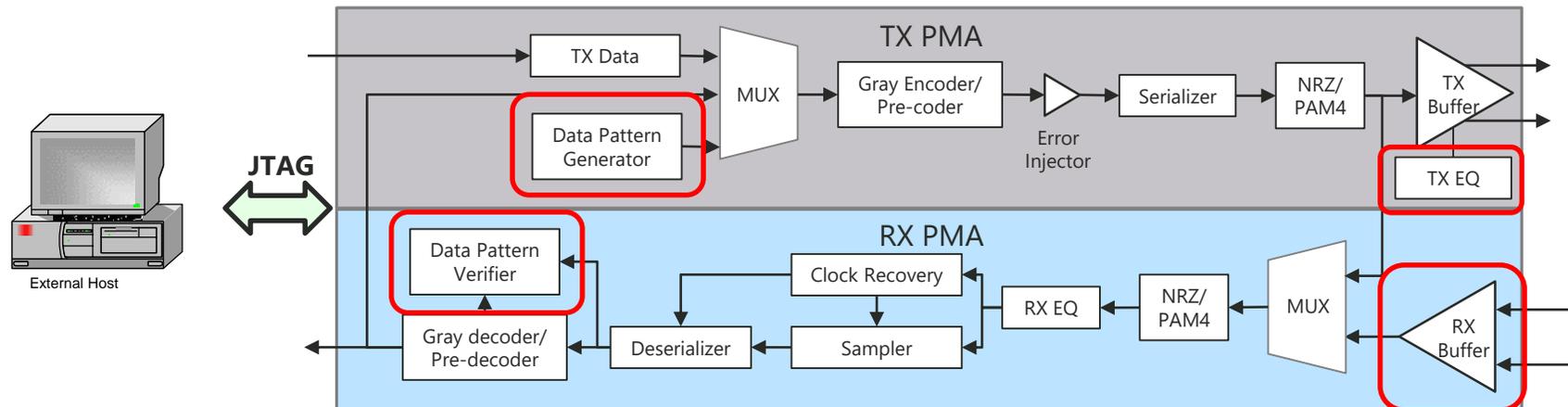
- 作成基板における信号品質の早期評価が可能

Quartus® Prime インストール済み PC で JTAG 経由でトランシーバーにアクセス
インタラクティブにトランシーバーの TX/RX 信号品質の調整可能

Native PHY IP 内蔵のパターン・ジェネレーター、パターン・ベリファイヤーを使用
トランシーバー評価用ユーザーロジックは不要

- 参照資料

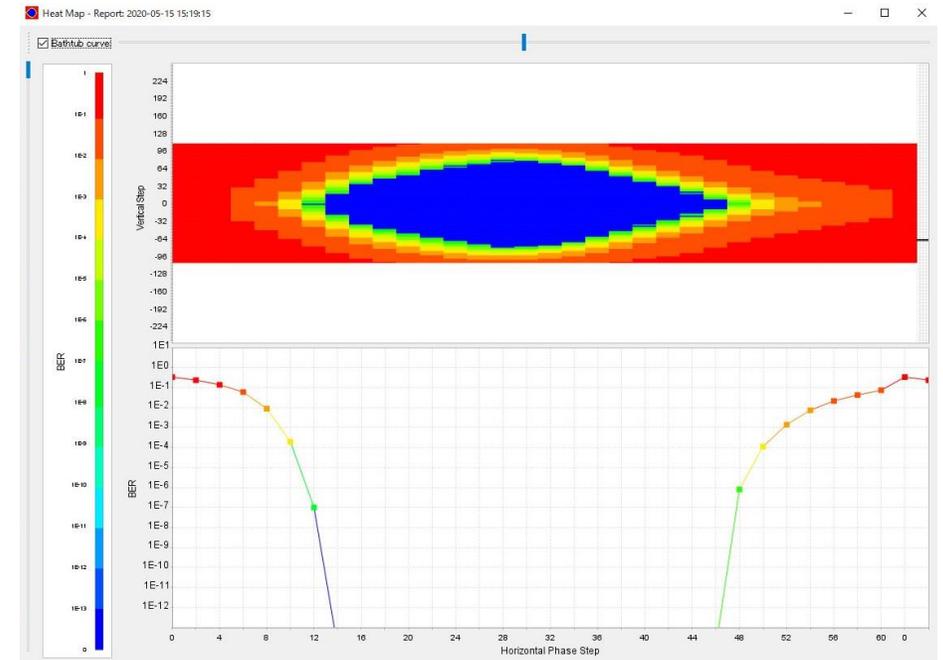
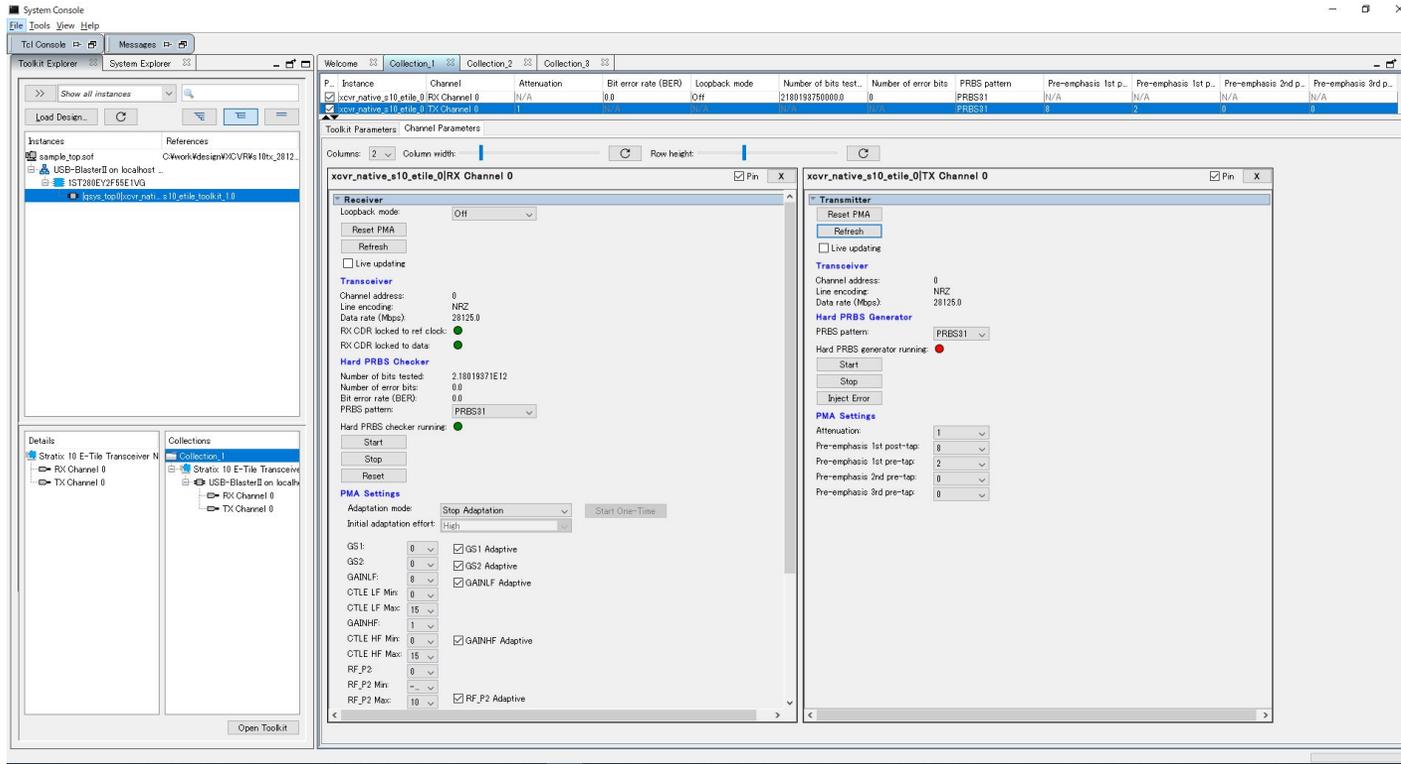
- インテル Transceiver Toolkit : [リンク](#)
- Transceiver Toolkit (Arria® 10 GX) 使用方法 : [リンク](#)



トランシーバー・チャネル評価ツール

● Transceiver Toolkit

- システムコンソール経由のハードマクロのパターン・ジェネレーター、ベリファイヤーをコントロール
- Eye Viewer で BER のヒートマップやバスタブカーブを確認可能



サマリー

● インテル® FPGA E タイル・トランシーバー

- 選択可能な変調方式と幅の広いサポート・データレート
 - NRZ : 1 Gbps - 28.9 Gbps
 - PAM4 : 2 Gbps - 57.8 Gbps
- 高性能な信号品質調整機能
 - TX : イコライザーで線路の特性にあわせて信号を出力
 - RX : アダプテーションで信号品質を自動調整
ユーザーで最適値の調査不要なので評価時間を短縮
マニュアル調整も可能
- トランシーバー評価向けツールの充実
 - Advanced Link Analyzer
 - Transceiver Toolkit

● E タイル・トランシーバーは高帯域信号を必要とする製品の早期市場投入を実現可能

Thank you

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

改版履歴

Revision	年月	概要
1	2020年5月	新規作成