

How to Use Transceiver Toolkit

2020年4月
株式会社マクニカ アルティマ カンパニー

Rev.1

資料概要

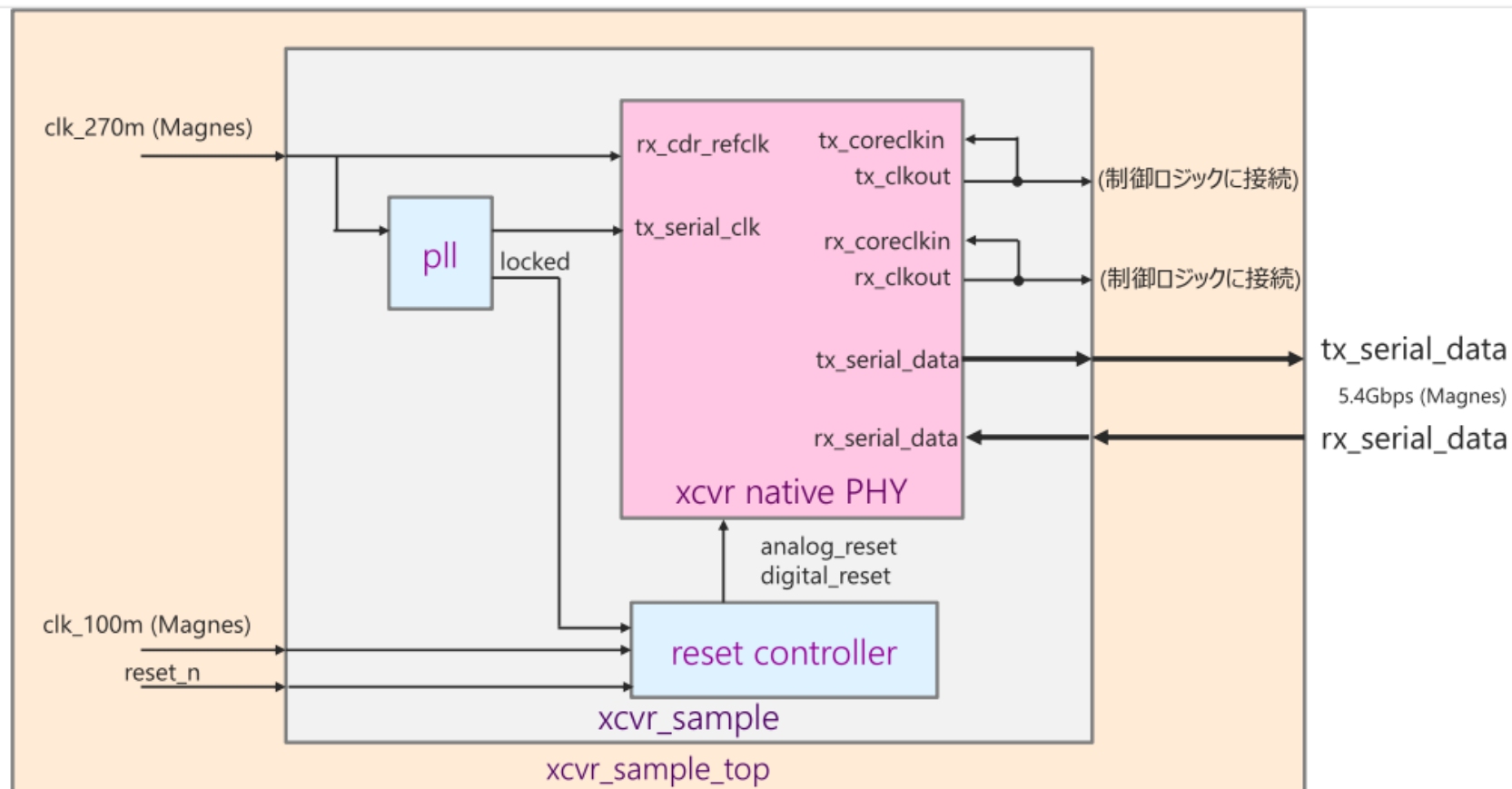
- 本資料は、「[はじめてのトランシーバー](#)」の補助資料です
Arria® 10 デバイスで Transceiver Toolkit (以下 TTK) を使用する手順について説明します
 - サンプルデザインの作成方法については、下記のコンテンツ「はじめてのトランシーバー」をご参照ください
 - <https://macnicago.zendesk.com/hc/ja/articles/360024573412>

TTK の概要

- TTK はシステムコンソールを使用して、トランシーバーのシグナル・インテグリティをリアルタイムに検証し、ボード完成までの時間を短縮するのに役立ちます
- トランシーバーを持つ Intel® FPGA デバイスで使用可能です
 - 対象デバイスは下記 URL をご参照ください
 - <https://www.intel.com/content/www/us/en/programmable/products/design-software/fpga-design/quartus-prime/features/swf-transceiver-toolkit.html>
- TTK の主な機能
 - ビットエラー・レート・テスト (BERT) 機能
 - 疑似ランダム・バイナリー・シーケンス (PRBS) パターン・ジェネレーター、チェッカー機能
 - 複数のチャネルに対して同時にテスト可能
 - 1つ以上のボードにまたがる複数のデバイス間のリンクテストを実施
 - Auto Sweep 機能
 - 詳細は以下の URL をご覧ください
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug-qpp-debug.pdf#page=174>

参考：本資料で使用するサンプルデザインの仕様とブロック図

- トランシーバーの送信部、受信部はそれぞれ 1ch
- 転送レートは 5.4Gbps
 - 今回実機検証に使用する Magnes Board のクロック入力周波数 (270MHz) より選定した値です



作業環境について

- Tool は以下を使用します
 - Quartus® Prime 開発ソフトウェア Pro Edition v19.4
- 実機評価では下記の開発キットを使用します
 - Magnes Board (以後の説明では "Magnes" と記述)
 - Macnica Mpression で作成している Arria® 10 GX FPGA を搭載した評価ボードです
 - 詳しくは以下のリンクをご覧ください
 - <https://service.macnica.co.jp/catalog/125973>

Agenda

- TTK を用いるための準備
 - サンプルデザインの編集
- TTK の使用方法
 - TTK の起動
 - BER の確認
 - Auto Sweep の実行
- 制約の設定方法
 - Assignment Editor で設定
 - コンパイルレポートの確認
- まとめ
- Appendix
 - NPDME とは
 - 各 PRBS の違い
 - 最適なアナログ・パラメーターの決定方法

TTK を用いるための準備

サンプルデザインの編集

- Platform Designer で下記項目を有効にします
 - Appendix ([NPDME とは](#))

Transceiver Native PHY Intel Arria 10/Cyclone 10 FPGA IP
altera_xcvr_native_a10

Datapath Options

Transceiver configuration rules: Basic/Custom (Standard PCS) ▼

PMA configuration rules: basic ▼

Transceiver mode: TX/RX Duplex ▼

Number of data channels: 1

Data rate: 5400 Mbps

☐ Enable datapath and interface reconfiguration

☒ Enable simplified data interface

☐ Disconnect analog resets

TX PMA | RX PMA | Standard PCS | **Dynamic Reconfiguration** | Generation Options

☒ Enable dynamic reconfiguration

☐ Share reconfiguration interface

☒ Enable Native PHY Debug Master Endpoint

☐ Separate reconfig_waitrequest from the status of AVMM arbitration with PreSICE

Optional Reconfiguration Logic

☒ Enable capability registers

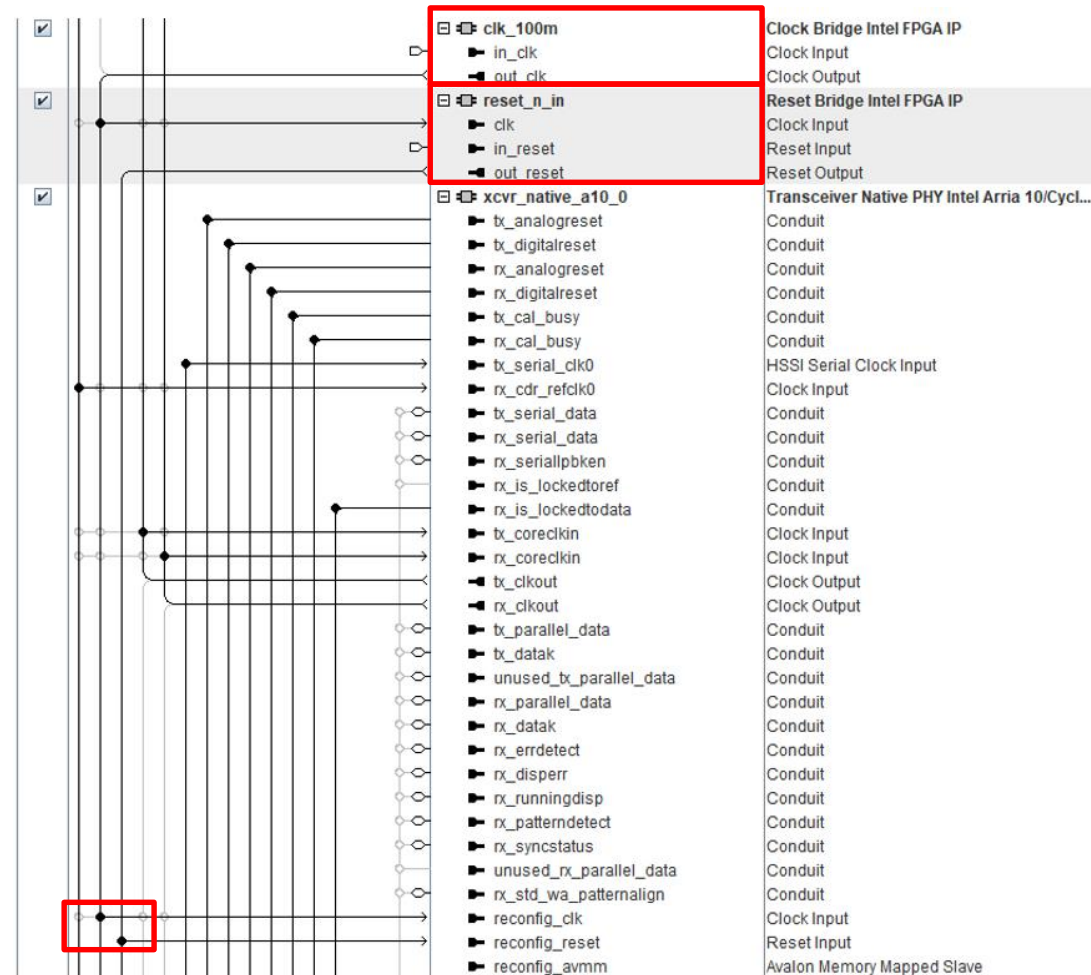
Set user-defined IP identifier: 0

☒ Enable control and status registers

☒ Enable PRBS soft accumulators

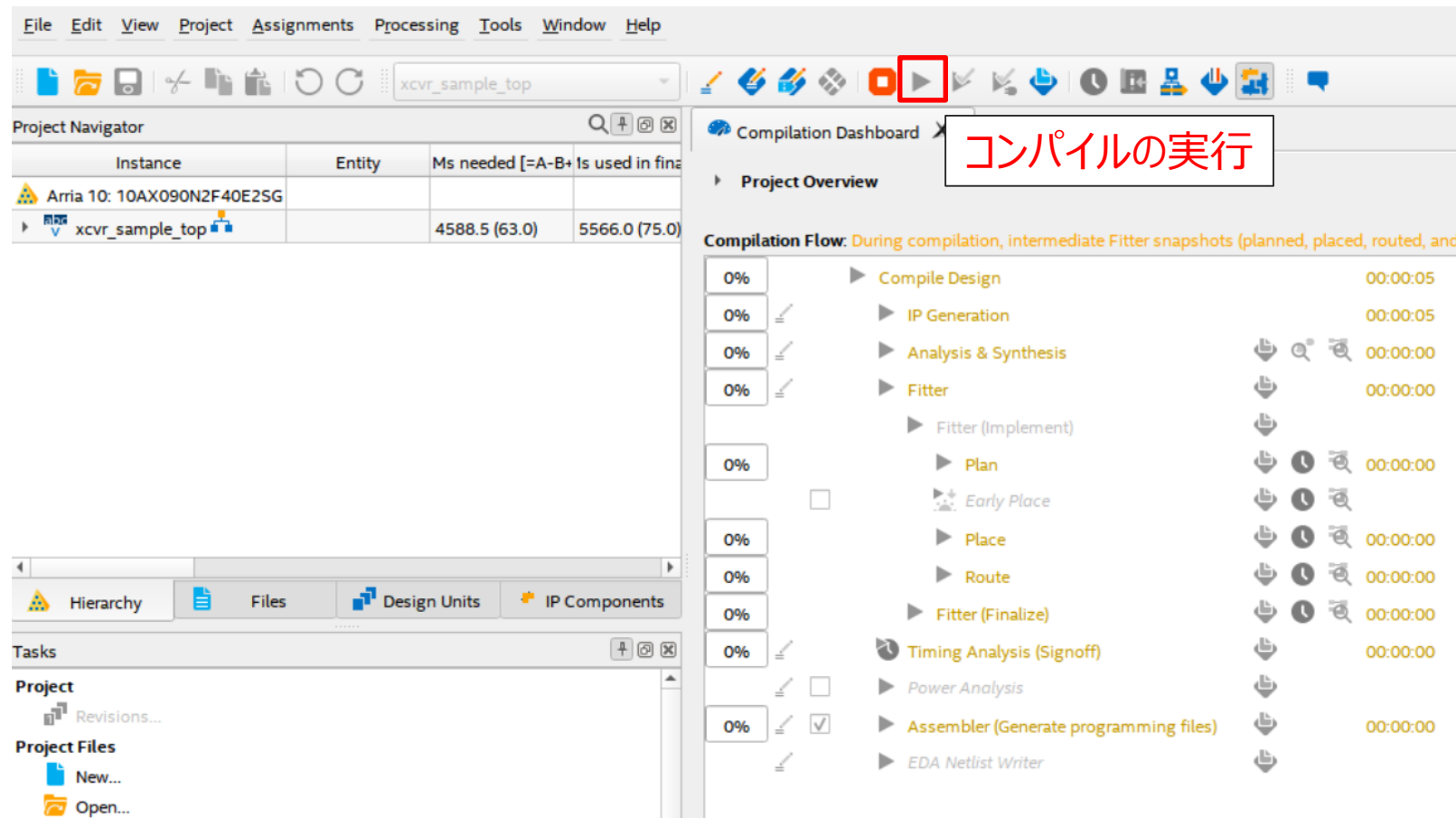
サンプルデザインの編集

- reconfig_clk と reconfig_reset を図のように接続し、Generate します



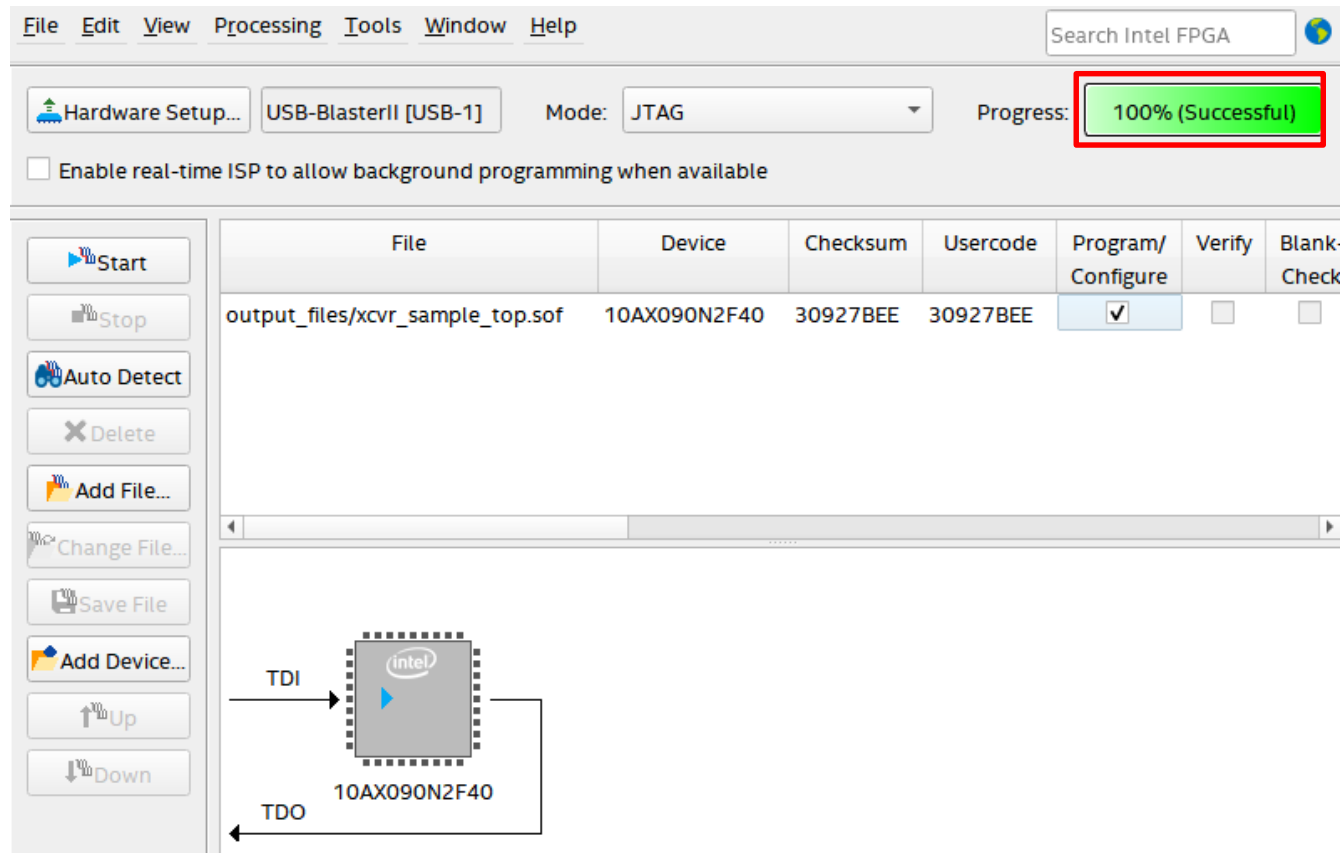
コンパイル

- プログラミング・ファイル (.sof) を作成するために、コンパイルを実行します
 - コンパイルを実行するには、下記のアイコンをクリックします



TTK の起動

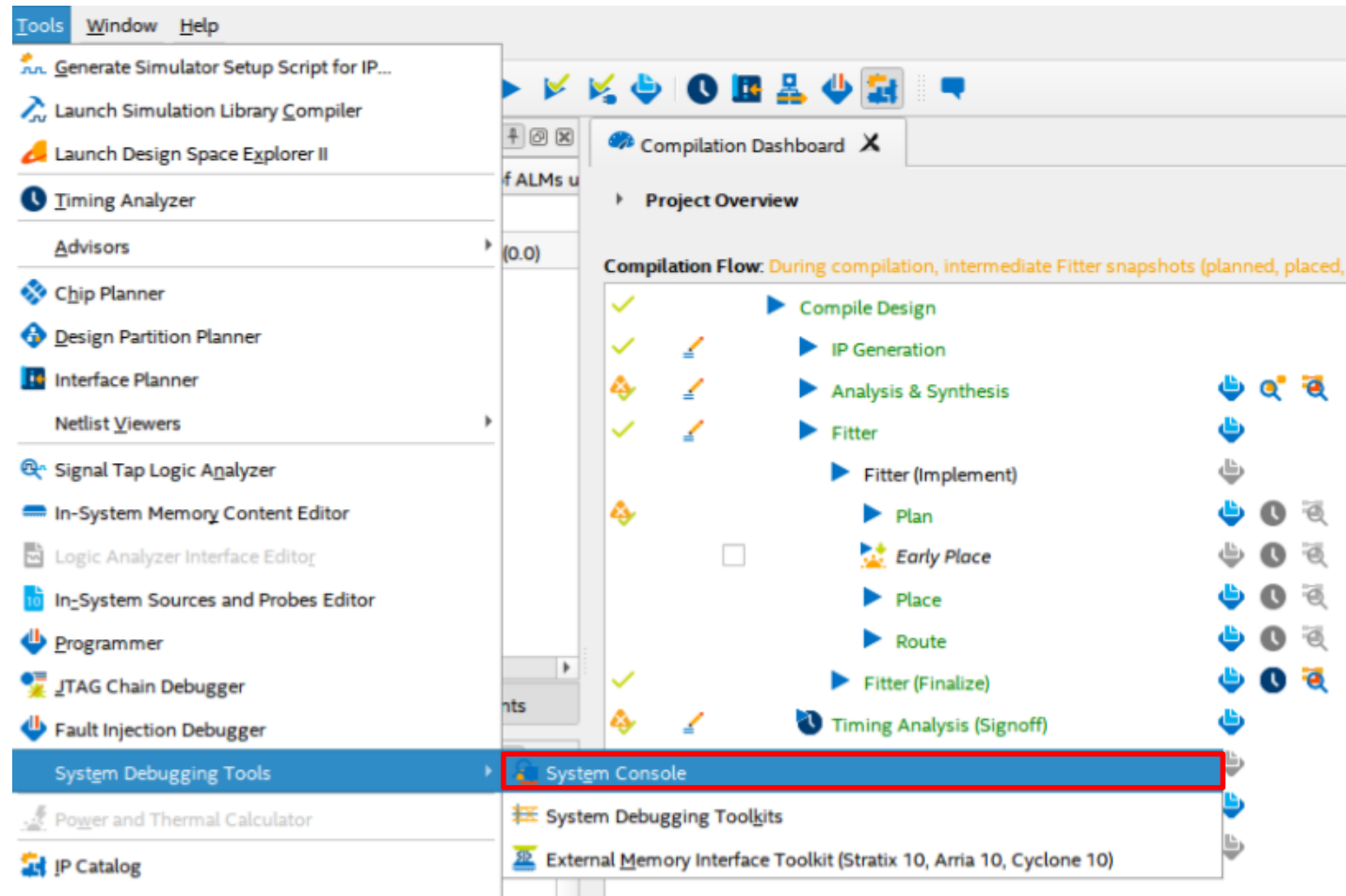
- TTK を使用するには .sof を書き込む必要があります
Progress バーが 100% (Successful) となれば書き込み完了です



TTK の使用方法

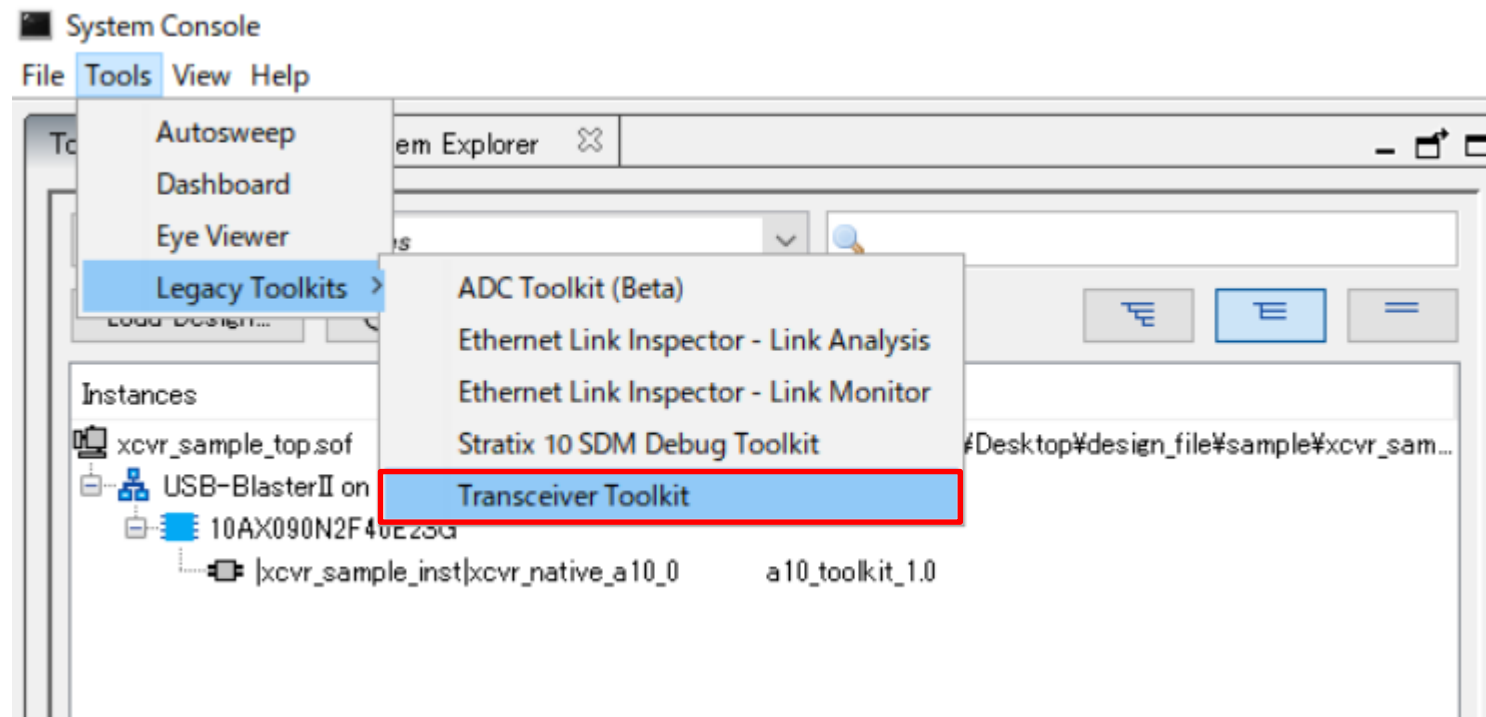
TTK の起動

- TTK を起動します
 - Tools ⇒ System Console をクリック



TTK の起動

- Legacy Mode* に設定します
 - Tools ⇒ Legacy Toolkits ⇒ Transceiver Toolkit をクリック



* v19.4 Pro Edition から TTK の仕様が変更されています
過去のバージョンと同様の GUI を表示するためには、Legacy Mode に設定してください

TTK の起動

- Transceiver Toolkit ⇒ Transceiver Links ⇒ Control Transceiver Link をクリックします

The screenshot illustrates the steps to access the 'Control Transceiver Link' function within the Transceiver Toolkit. It shows three overlapping window states:

- State 1:** The 'Welcome to System Console' window with the 'Transceiver Toolkit' tab selected.
- State 2:** The 'Transceiver Toolkit' window with the 'Transceiver Links' tab selected. A table lists transmitter channels.
- State 3:** The 'Transceiver Toolkit' window with the 'Transceiver Links' tab selected, showing a table of link status and a 'Control Transceiver Link' button.

Transmitter Channels Table (State 2):

Transmitter Alias	Status
...0 xcvr_sample_inst xcvr_sample_inst_a10_0 0	Stopped

Transceiver Links Table (State 3):

Link Alias	Status	Bits tested	BER	Test pattern	Loopback m...	V _{OD}	Pre-emphas
...ative_a10_0 0	Stopped	0	0	PRBS7	Off	31	0/0/0/0

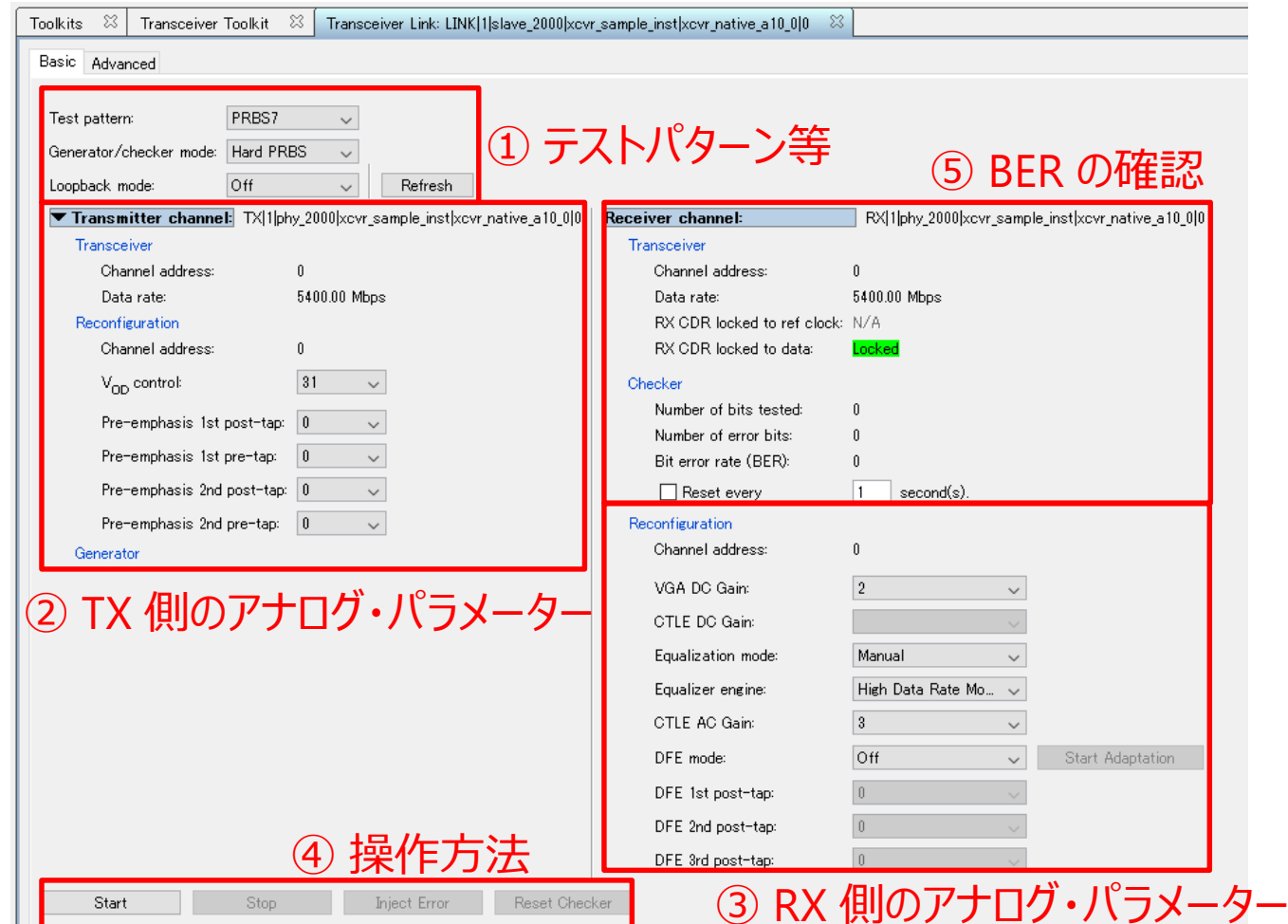
Buttons (State 3): Control Transceiver Link, Link Auto Sweep, Link Eye Viewer, Link Auto Sweep & Eye Viewer.

* Link Eye Viewer, Link Auto Sweep & Eye Viewer 機能は Arria® 10 デバイスではサポートしていません

BER (Bit Error Rate) の確認

- Control Transceiver Link GUI

- ①～⑤ の項目について次のスライドから紹介します



BER の確認

● ① テストパターン等

○ Test Pattern

- 任意のテストパターンを選択します。Appendix ([各 PRBS の違い](#))
 - 今回は PRBS 7 を設定します

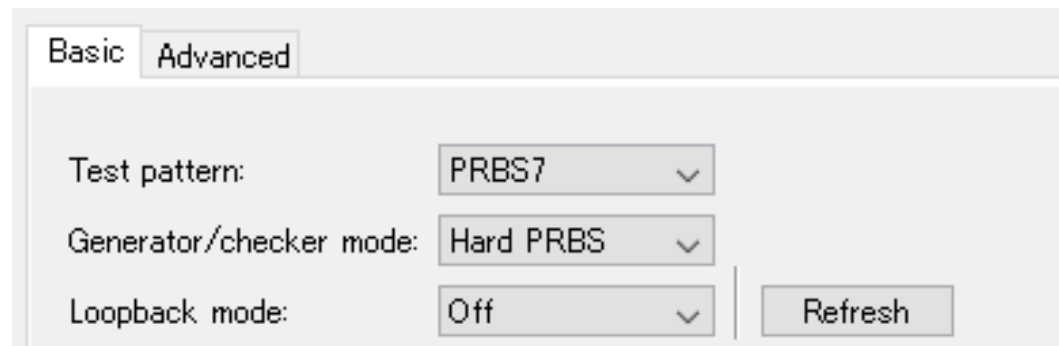
○ Generator / Checker mode

- Hard PRBS を選択します。Appendix ([Soft PRBS を使用する方法](#))

○ Loopback mode

- Off を選択します。各モードの詳細は下記 User Guide を参照してください
 - Metallic = Reverse serial loopback (Pre CDR)
 - Reverse Serial = Reverse serial loopback (Post CDR)
 - Serial loopback = Serial loopback

= https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arria-10/ug_arria10_xcvr_phy.pdf#page=468



Basic Advanced

Test pattern: PRBS7

Generator/checker mode: Hard PRBS

Loopback mode: Off

Refresh

BER の確認

● ② TX 側のアナログ・パラメーター (エンファシス)

▼ Transmitter channel: TX[1|phy_2000|xcvr_sample_inst|xcvr_native_a10_0|0]

Transceiver

Channel address: 0

Data rate: 5400.00 Mbps

Reconfiguration

Channel address: 0

V_{OD} control: 31 ▼

Pre-emphasis 1st post-tap: 0 ▼

Pre-emphasis 1st pre-tap: 0 ▼

Pre-emphasis 2nd post-tap: 0 ▼

Pre-emphasis 2nd pre-tap: 0 ▼

Generator

Default 設定

* 設定できない項目は赤字で表示されます

● VOD

- 送信側の差動電圧を増幅させるパラメーター
VCCT の値に対して VOD の値を一定の比率で出力します
- https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/arria-10/a10_datasheet.pdf#page=34

● Pre-Emphasis

- 伝送信号を各タップの設定毎に減衰するパラメーター

● アナログ・パラメーターの信号波形の変化は下記を参照

- https://www.intel.com/content/www/us/en/programmable/literature/hb/arria-10/arria_10_pre_emphasis_and_output_swing_settings.xlsx

BER の確認

● ③ RX 側のアナログ・パラメーター (イコライザー)

Receiver channel: RX[1]phy_2000[xcvr_sample_inst]xcvr_native_a10_0[0]

Transceiver

Channel address: 0

Data rate: 5400.00 Mbps

RX CDR locked to ref clock: N/A

RX CDR locked to data: **Locked**

Checker

Number of bits tested: 2.4541E9

Number of error bits: 0

Bit error rate (BER): 0

☐ Reset every second(s).

Reconfiguration

Channel address: 0

VGA DC Gain:

CTLE DC Gain:

Equalization mode:

Equalizer engine:

CTLE AC Gain:

DFE mode:

DFE 1st post-tap:

DFE 2nd post-tap:

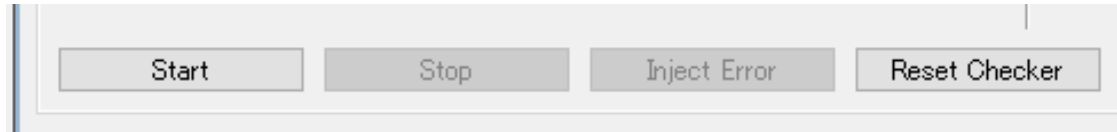
DFE 3rd post-tap:

- VGA DC Gain
 - 入力信号の差動電圧を補強するパラメーター
 - 0 ~ 4 の値を使用することが推奨されています
 - <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es-1057.pdf#page=4>
- CTLE DC Gain
 - 選択値毎に低周波成分を増幅するパラメーター (High Gain Mode のみ選択可)
- Equalization mode
 - Manual 固定
- Equalization engine *
 - High Data Rate Mode : 最大 25.8 Gbps をサポート。High Gain Mode に比べて低消費電力
 - High Gain Mode : 最大 17.4 Gbps をサポート。高ゲインモード
- CTLE AC Gain
 - 選択値毎に高周波成分を増幅するパラメーター
 - High Data Rate Mode 選択時は適切な DC Gain が自動で反映されます
- DFE mode
 - ON or OFF
- DFE 1st post-tap
 - ノイズ成分を増幅することなく、信号の高周波成分を増幅します

* Equalization engine : デフォルトは High Data Rate Mode です
設定できない項目は赤字で表示されます

BER の確認

● ④ 操作方法



- Start : 測定を開始します
- Stop : 測定を停止します
- Inject Error : Error bit を発生させ、BER を確認します
 - Arria® 10 デバイスでは本機能をサポートしていません
- Reset Checker : 測定結果をリセットします

BER の確認

- ⑤ BER の確認

- BER : 転送データのエラー発生率を示します
 - BER の許容値は各プロトコルの規格書を確認してください

Receiver channel: RX[1|phy_2000|xcvr_sample_inst|xcvr_native_a10_0|0

Transceiver

Channel address: 0

Data rate: 5400.00 Mbps

RX CDR locked to ref clock: N/A

RX CDR locked to data: **Locked**

Checker

Number of bits tested: 1.9487E10

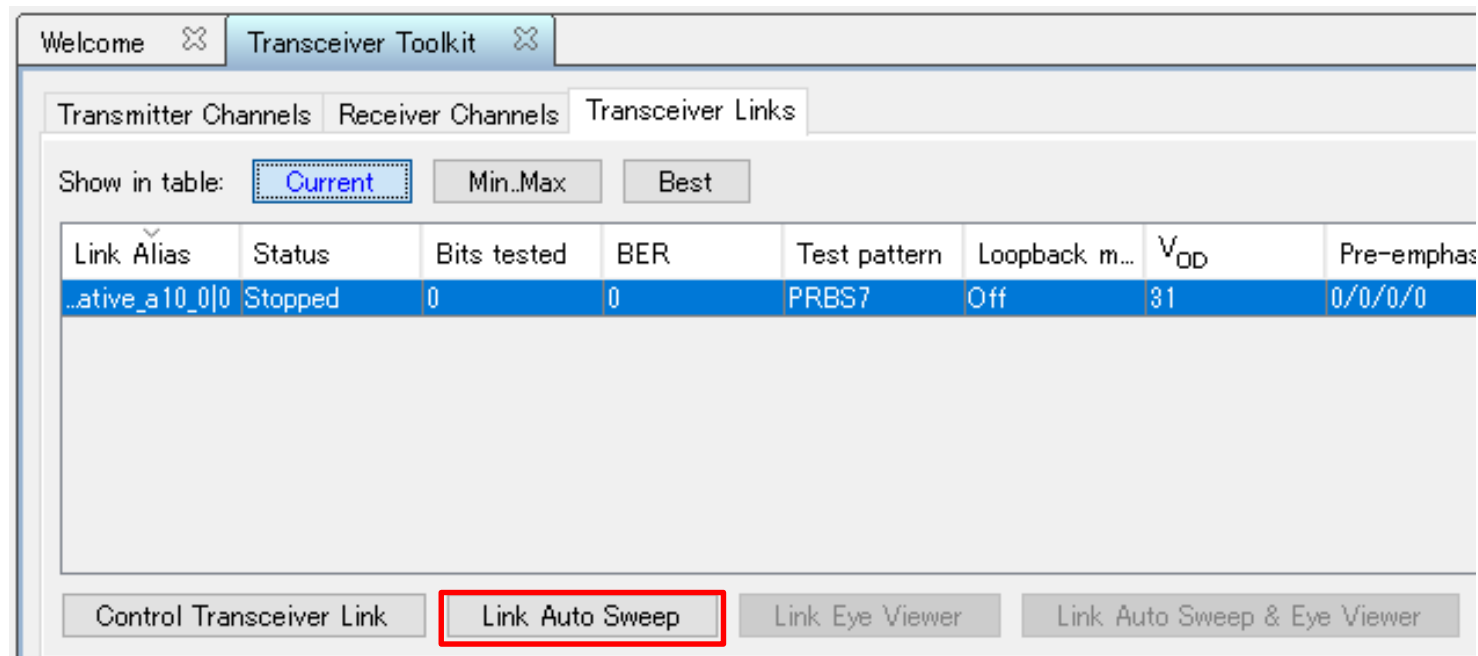
Number of error bits: 0

Bit error rate (BER): 0

☐ Reset every second(s).

Auto Sweep の実行

- Auto Sweep
 - 選択したパラメーターの範囲内から最適値を探ることができる機能です
 - Transceiver Links ⇒ Link Auto Sweep をクリック



* Link Eye Viewer, Link Auto Sweep & Eye Viewer 機能は Arria® 10 でサポートしていません

Confidential

Auto Sweep の実行

- Auto Sweep GUI

- ①～③ の項目について次のスライドから紹介します

* テストパターンは [スライド17](#) を参照

The screenshot shows the Auto Sweep GUI with the following settings:

- Test mode:** Auto sweep
- Test pattern:** PRBS7
- Generator/checker mode:** Hard PRBS
- Loopback mode:** Off

① 実行間隔 (Run length per iteration):

- ☒ Don't run longer than: 0 secon...
- ☐ Test at most: 1.0 x 1E 9 bits
- ☐ Test at least: 1.0 x 1E 8 bits
- ☒ Stop if BER below: 1.0 x 1E -12
- ☒ Stop if BER above: 1.0 x 1E -3

② パラメーターの範囲 (Transmitter and Receiver settings):

	Minimum	Maximum	Interval	Current	Best
V _{DD} control:	0	0	N/A	N/A	N/A
Pre-emphasis 1st post-tap:	0	0	N/A	N/A	N/A
Pre-emphasis 1st pre-tap:	0	0	N/A	N/A	N/A
Pre-emphasis 2nd post-tap:	0	0	N/A	N/A	N/A
Pre-emphasis 2nd pre-tap:	0	0	N/A	N/A	N/A

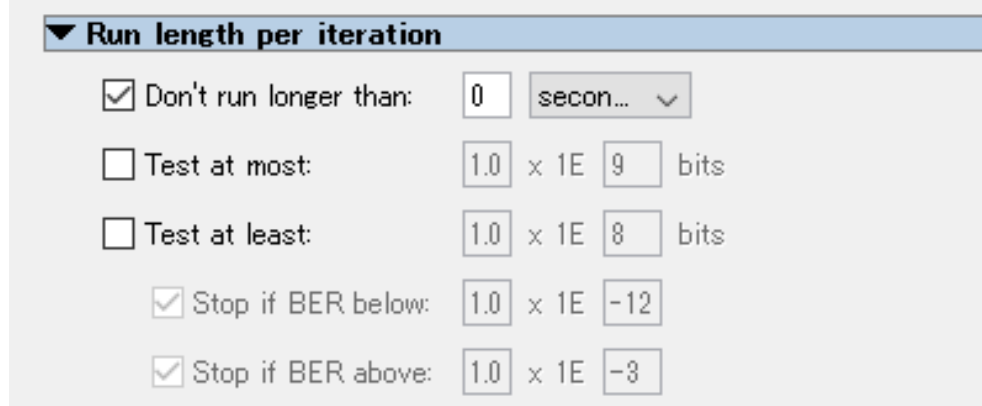
	Minimum	Maximum	Interval	Current	Best
VGA DC Gain:	0	0	N/A	N/A	N/A
CTLE DC Gain:	N/A	N/A	N/A	N/A	N/A
CTLE AC Gain:	0	0	N/A	N/A	N/A
DFE 1st post-tap:	Off	Off	N/A	N/A	N/A
DFE 2nd post-tap:	0	0	N/A	N/A	N/A

③ Auto Sweep 結果確認

Buttons: Start, Stop, Reset Checker, Create Report

Auto Sweep の実行

● ① 実行間隔



▼ Run length per iteration

☒ Don't run longer than: 0 secon... ▼

☐ Test at most: 1.0 x 1E 9 bits

☐ Test at least: 1.0 x 1E 8 bits

☒ Stop if BER below: 1.0 x 1E -12

☒ Stop if BER above: 1.0 x 1E -3

- Don't run longer than : 実行間隔を決定します
- Test at most / least : 実行ビットを決定します
 - 値が大きければ、より正確な BER の測定が可能です
- Stop if BER below : BER が設定値よりも低い場合に中断します
- Stop if BER above : BER が設定値よりも高い場合に中断します

Auto Sweep の実行

● ② パラメーターの範囲指定

- 任意の範囲で設定し、Start をクリックして Auto Sweep を実行します

▼ Transmitter settings					
	Minimum	Maximum	Interval	Current	Best
V _{OD} control:	31	31	N/A	N/A	31
Pre-emphasis 1st post-tap:	-12	12	1	N/A	-12
Pre-emphasis 1st pre-tap:	-12	12	1	N/A	-12
Pre-emphasis 2nd post-tap:	0	0	N/A	N/A	0
Pre-emphasis 2nd pre-tap:	0	0	N/A	N/A	0

▼ Receiver settings					
	Minimum	Maximum	Interval	Current	Best
VGA DC Gain:	0	0	N/A	N/A	0
CTLE DC Gain:	N/A	N/A	N/A	N/A	N/A
CTLE AC Gain:	0	0	N/A	N/A	0
DFE 1st post-tap:	Off	Off	N/A	N/A	Off
DFE 2nd post-tap:	0	0	N/A	N/A	N/A
DFE 3rd post-tap:	0	0	N/A	N/A	N/A

Start

Stop

Reset Checker

Create Report

今回の場合、
VOD : 1 通り

Pre-emphasis 1st post-tap : 25 通り
Pre-emphasis 1st pre-tap : 25 通りのため、
 $1 \times 25 \times 25 = 625$ 通りを確認しています

* 設定できない項目は赤字で表示されます

Auto Sweep の実行

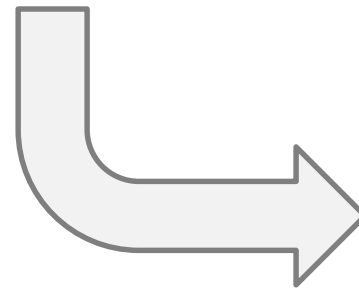
- ③ Auto Sweep 結果確認

- Auto Sweep 実行後 Create Report から結果を確認します
- Appendix ([最適なパラメーターの決定方法](#))

▼ Auto sweep status

Case count:	Current	Best
	-/432	1
Tested bits:	N/A	1.6548E7
Errors:	N/A	0
Bit error rate (BER):	N/A	0

Start Stop Reset Checker **Create Report**



	Timestamp	Data Pattern	BER	VOD Contr...	Pre-emphasis 1st Post-Tap	Pre-emphasis Pre-Tap
1	2019-12-11 ...	PRBS7	0.0155	31	12	7
2	2019-12-11 ...	PRBS7	0.0155	31	12	8
3	2019-12-11 ...	PRBS7	0.0155	31	12	9
4	2019-12-11 ...	PRBS7	0.0155	31	12	10
5	2019-12-11 ...	PRBS7	0.0155	31	12	11
6	2019-12-11 ...	PRBS7	0.0155	31	12	12
7	2019-12-11 ...	PRBS7	0.01121	31	12	6
8	2019-12-11 ...	PRBS7	0.0020736	31	12	5
9	2019-12-11 ...	PRBS7	0.0016146	31	12	-12
10	2019-12-11 ...	PRBS7	2.3724E-6	31	12	-11
11	2019-12-11 ...	PRBS7	2.4963E-7	31	12	4
12	2019-12-11 ...	PRBS7	0.0	31	12	-10
13	2019-12-11 ...	PRBS7	0.0	31	12	-9
14	2019-12-11 ...	PRBS7	0.0	31	12	-8
15	2019-12-11 ...	PRBS7	0.0	31	12	-7
16	2019-12-11 ...	PRBS7	0.0	31	12	-6
17	2019-12-11 ...	PRBS7	0.0	31	12	-5
18	2019-12-11 ...	PRBS7	0.0	31	12	-4
19	2019-12-11 ...	PRBS7	0.0	31	12	-3
20	2019-12-11 ...	PRBS7	0.0	31	12	-2
21	2019-12-11 ...	PRBS7	0.0	31	12	-1
22	2019-12-11 ...	PRBS7	0.0	31	12	0
23	2019-12-11 ...	PRBS7	0.0	31	12	1
24	2019-12-11 ...	PRBS7	0.0	31	12	2
25	2019-12-11 ...	PRBS7	0.0	31	12	3
26	2019-12-11 ...	PRBS7	0.015501	31	11	9
27	2019-12-11 ...	PRBS7	0.015501	31	11	10
28	2019-12-11 ...	PRBS7	0.0155	31	11	12

Export...

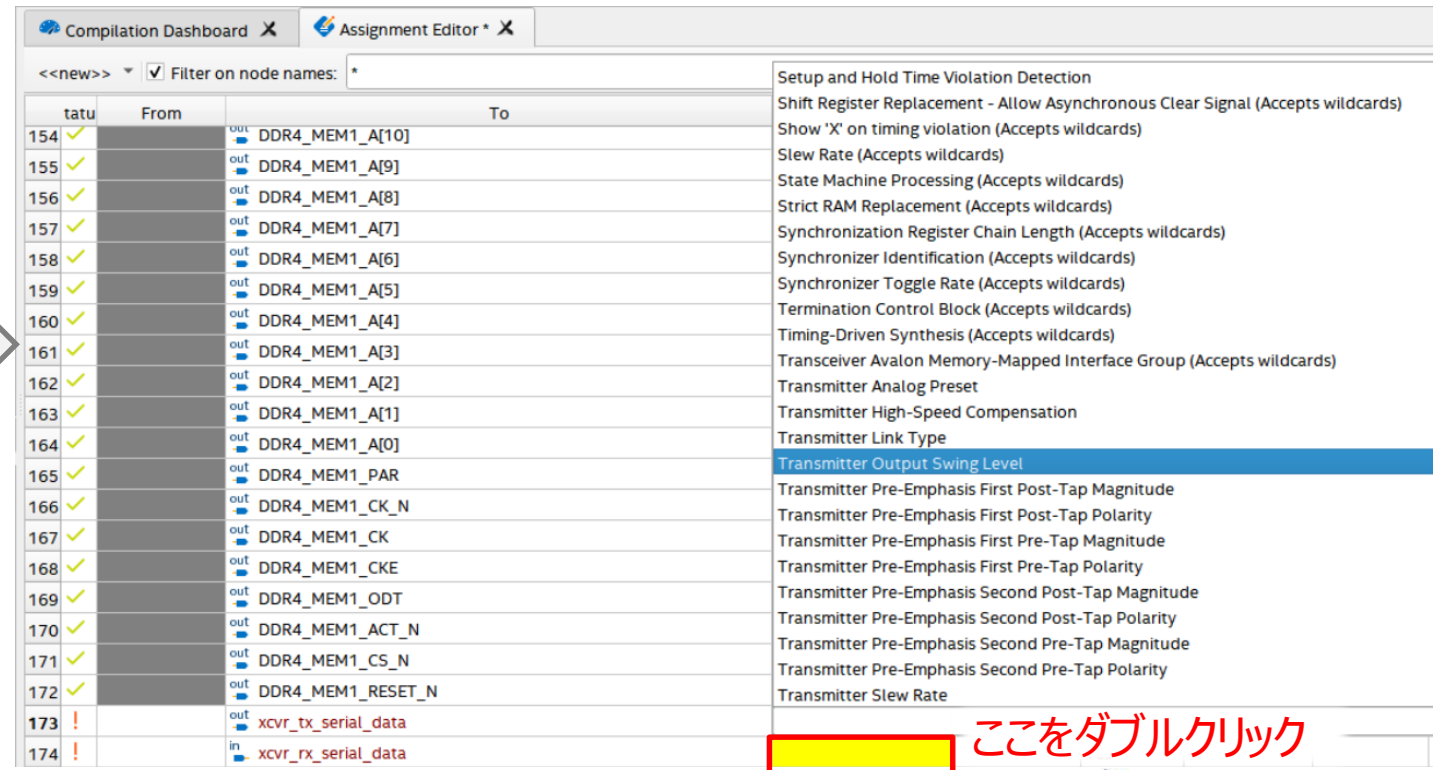
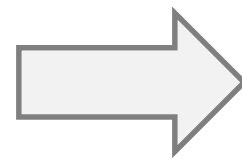
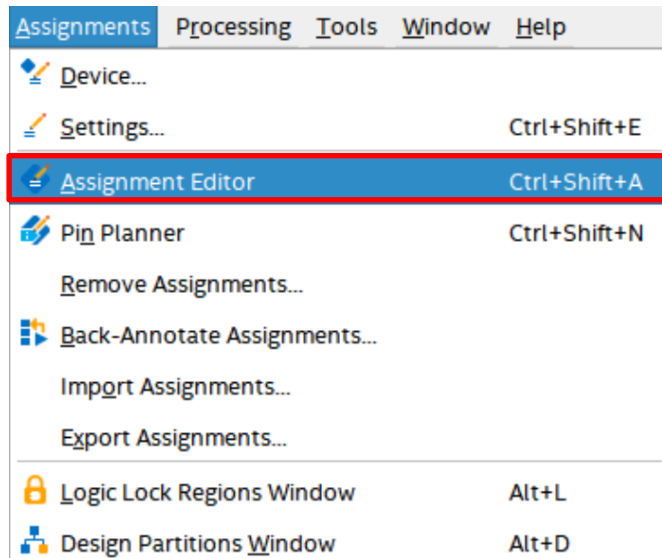
結果を CSV で生成可能

* 設定できない項目はレポートから省かれます

制約の設定方法

Assignment Editor で設定

- TTK で確認した最適なパラメーターで動作できるように制約を与えます
 - Assignments タブ ⇒ Assignment Editor
 - ハイライトされた箇所でパラメーターに対応した Assignment Name を選択
 - 具体的な Assignment Name は次ページを参照してください



Assignment Editor で設定

- Assignment Name (TX)

TTK の設定項目	Assignment Editor の名称	Assignment Editor の設定範囲*
VOD	Transmitter Output Swing Level	0~31
Pre-Emphasis 1st post-tap	Transmitter Pre-Emphasis First Post-Tap Magnitude	0~25
Pre-Emphasis 1st post-tap	Transmitter Pre-Emphasis First Post-Tap Polarity	Negative or Positive
Pre-Emphasis 1st pre-tap	Transmitter Pre-Emphasis First Pre-Tap Magnitude	0~16
Pre-Emphasis 1st pre-tap	Transmitter Pre-Emphasis First Pre-Tap Polarity	Negative or Positive
Pre-Emphasis 2nd post-tap	Transmitter Pre-Emphasis 2nd Post-Tap Magnitude	0~12
Pre-Emphasis 2nd post-tap	Transmitter Pre-Emphasis 2nd Post-Tap Polarity	Negative or Positive
Pre-Emphasis 2nd pre-tap	Transmitter Pre-Emphasis 2nd Pre-Tap Magnitude	0~7
Pre-Emphasis 2nd pre-tap	Transmitter Pre-Emphasis 2nd Pre-Tap Polarity	Negative or Positive

* 実際に設定可能な値は、

VOD : 12~31

Pre-Emphasis 1st post-tap : -25 ~ 25

Pre-Emphasis 1st pre-tap : -16 ~16 と制限があります

Assignment Editor で設定

- Assignment Name (RX)

TTK の設定項目	Assignment Editor の名称	Assignment Editor の設定範囲
Equalizer Engine	Receiver High Data Rate Mode Equalizer	ON or OFF
CTLE DC Gain (High Gain Mode)	Receiver High Gain Mode Equalizer DC Gain Control	0 or 7 or 14 or 21 or 28
CTLE AC Gain (High Gain Mode)	Receiver High Gain Mode Equalizer AC Gain Control	0~28
CTLE AC Gain (High Data rate Mode)	Receiver High Data Rate Mode Equalizer AC Gain Control	0~15
VGA DC Gain	Receiver Variable Gain Amplifier Voltage Swing Select	0~7 *
DFE 1st Post-tap	Receiver Decision Feedback Equalizer FIX Tap One Coefficient	0~127
DFE 2nd Post-tap	Receiver Decision Feedback Equalizer FIX Tap Two Coefficient	0~127
DFE 2nd Post-tap	Receiver Decision Feedback Equalizer FIX Tap Two Sign	SGN_0 or SGN_1

* High Gain Mode : Receiver High Data Rate Mode Equalizer = OFF に設定する

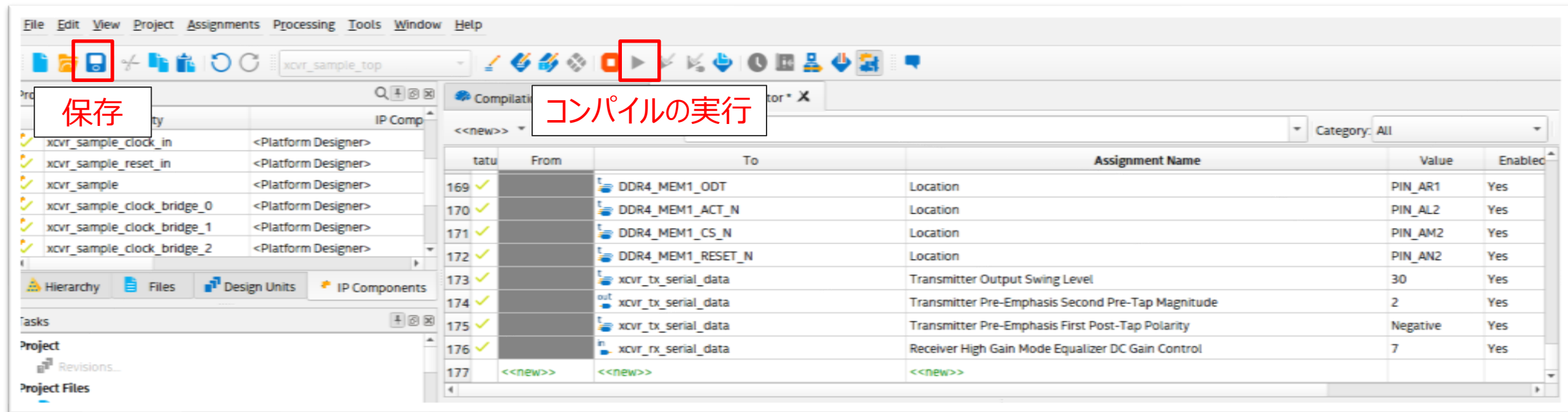
High Data Rate Mode : デフォルトで設定されています

VGA DC Gain は 0 ～ 4 の値で使うことが推奨されています。詳細は下記リンクを参照ください

<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/es/es-1057.pdf#page=4>

Assignment Editor で設定

- TTK で確認した最適なアナログ・パラメーターと同様の制約を設定したら、保存して再度コンパイルを実行します



コンパイルレポートの確認

- TX : Compilation Report ⇒ Fitter ⇒ Plan Stage ⇒ HSSI Transmitter Channel

The screenshot shows the 'Compilation Report - xcvr_sample_top' window. The 'Table of Contents' on the left lists the report structure, with 'HSSI Transmitter Channel' selected under the 'Plan Stage'. The main panel displays the 'HSSI Transmitter Channel' configuration table.

	Block Name
1	xcvr_tx_serial_data~output
1	-- Channel Location
2	-- HSSI PMA TX BUF
1	-- Basic Parameters
1	-- Name
2	-- Location
3	-- datarate
4	-- pre_emp_sign_1st_post_tap
5	-- pre_emp_sign_2nd_post_tap
6	-- pre_emp_sign_pre_tap_1t
7	-- pre_emp_sign_pre_tap_2t
8	-- pre_emp_switching_ctrl_1st_post_tap
9	-- pre_emp_switching_ctrl_2nd_post_tap
10	-- pre_emp_switching_ctrl_pre_tap_1t
11	-- pre_emp_switching_ctrl_pre_tap_2t
12	-- rx_det
13	-- rx_det_output_sel
14	-- rx_det_pdb
15	-- slew_rate_ctrl
16	-- term_code
17	-- term_sel
18	-- user_fir_coeff_ctrl_sel
19	-- vod_output_swing_ctrl
20	-- swing_level
21	-- res_cal_local
22	-- low_power_en
23	-- compensation_en

対応 Assignment Name

Transmitter Pre-Emphasis First Post-Tap Polarity
Transmitter Pre-Emphasis Second Post-Tap Polarity
Transmitter Pre-Emphasis First Pre-Tap Polarity
Transmitter Pre-Emphasis Second Pre-Tap Polarity
Transmitter Pre-Emphasis First Post-Tap Magnitude
Transmitter Pre-Emphasis Second Pre-Tap Magnitude
Transmitter Pre-Emphasis Second Post-Tap Magnitude
Transmitter Pre-Emphasis First Pre-Tap Magnitude

Transmitter Output Swing Level

コンパイルレポートの確認

- RX : Compilation Report ⇒ Fitter ⇒ Plan Stage ⇒ HSSI Receiver Channel

Table of Contents	
Parallel Compilation	
Flow Summary	
Flow Settings	
Flow Non-Default Global Settings	
Flow Elapsed Time	
Flow OS Summary	
Flow Log	
Synthesis	
Fitter	
Summary	
Settings	
Parallel Compilation	
Partition Summary	
Netlist Optimizations	
Plan Stage	
Device Options	
Operating Settings and Conditions	
Pin-Out File	
Input Pins	
Output Pins	
I/O Bank Usage	
All Package Pins	
PLL Usage Summary	
I/O Assignment Warnings	
HSSI Receiver Channel	
HSSI Transmitter Channel	
HSSI Transmitter PLL	

HSSI Receiver Channel	
Q <<Filter>>	
	Block Name
1	rx_serial_data~input
1	-- Channel Location
2	-- CMU/CDR PLL
3	-- HSSI PMA RX BUF
1	-- Basic Parameters
1	-- Name
2	-- Location
3	-- bypass_eqz_stages_234
4	-- datarate
5	-- eq_bw_sel
6	-- input_vcm_sel
7	-- offset_cancellation_ctrl
8	-- power_mode_rx
9	-- prot_mode
10	-- qpi_enable
11	-- rx_refclk_divider
12	-- rx_sel_bias_source
13	-- term_sel
14	-- vcm_current_add
15	-- vcm_sel
16	-- eq_dc_gain_trim
17	-- one_stage_enable
18	-- term_tri_enable
19	-- vga_bandwidth_select
20	-- xrx_path_analog_mode
21	-- power_mode
22	-- link

対応 Assignment Name

Receiver High Gain Mode Equalizer DC Gain Control
Receiver High Data Rate Mode Equalizer *

* Receiver High Data Rate Mode Equalizer
=> s1_mode : High Data Rate Mode / non_s1_mode : High Gain Mode

コンパイルレポートの確認

- RX : Compilation Report ⇒ Fitter ⇒ Plan Stage ⇒ HSSI Receiver Channel

Table of Contents	
Parallel Compilation	
Flow Summary	
Flow Settings	
Flow Non-Default Global Settings	
Flow Elapsed Time	
Flow OS Summary	
Flow Log	
Synthesis	
Fitter	
Summary	
Settings	
Parallel Compilation	
Partition Summary	
Netlist Optimizations	
Plan Stage	
Device Options	
Operating Settings and Conditions	
Pin-Out File	
Input Pins	
Output Pins	
I/O Bank Usage	
All Package Pins	
PLL Usage Summary	
I/O Assignment Warnings	
HSSI Receiver Channel	
HSSI Transmitter Channel	
HSSI Transmitter PLL	
Control Signals	
Global & Other Fast Signals Summary	
Global & Other Fast Signals Details	
Plan Messages	
Place Stage	

対応 Assignment Name

Receiver High Gain Mode Equalizer AC Gain Control

Receiver Decision Feedback Equalizer Fix Tap One Coefficient
Receiver Decision Feedback Equalizer Fix Tap Two Coefficient
Receiver Decision Feedback Equalizer Fix Tap Three Coefficient
Receiver Decision Feedback Equalizer Fix Tap Four Coefficient
Receiver Decision Feedback Equalizer Fix Tap Five Coefficient
Receiver Decision Feedback Equalizer Fix Tap six Coefficient
Receiver Decision Feedback Equalizer Fix Tap seven Coefficient

Receiver Variable Gain Amplifier Voltage Swing Select

Receiver High Data Rate Mode Equalizer AC Gain Control

まとめ

- TTK はトランシーバーのシグナル・インテグリティをリアルタイムに検証し、ボード完成までの時間を短縮することが可能なツールです
 - 実行方法は非常に簡単です
 - GUI で NPDME を有効にすることで TTK が使用可能になります
 - TTK の起動は System Console から行います
 - TTK を使用することで、BER の確認ができます
 - Auto Sweep 機能を用いることで、最適なアナログ・パラメーターを簡単に見つけられます
 - アナログ・パラメーターは Assignment Editor で反映します
 - フルコンパイルを実施して、常に最適な動作をするデザインファイルを作成します

ぜひ TTK を活用して、快適なトランシーバー・ライフをお楽しみください！

Appendix

NPDME (旧 ADME) とは



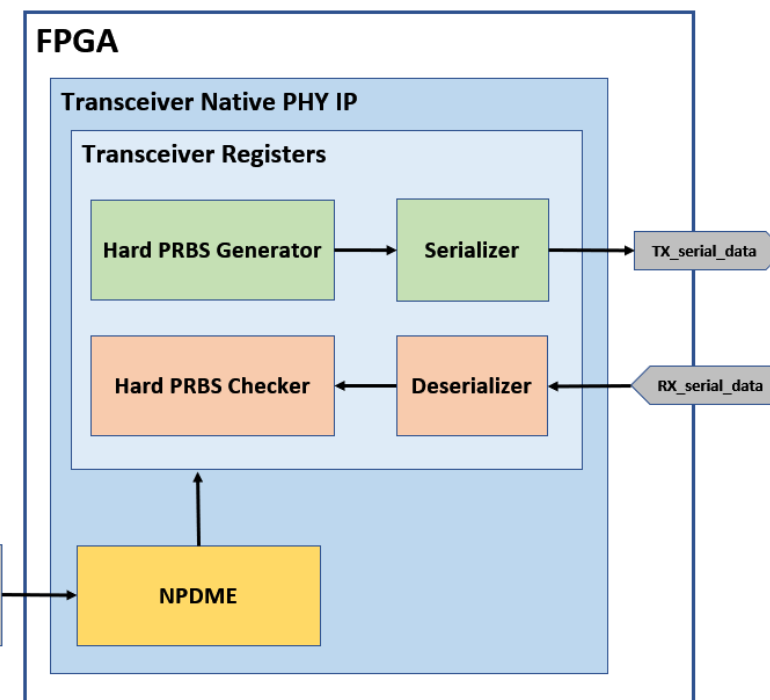
- NPDME : Native PHY Debug Master Endpoint

- トランシーバーのデバッグ用のインターフェイス

- Transceiver Native PHY IP 内部に Hard PRBS Generator / Checker が内蔵
 - データパターンは以下の 4 種
 - PRBS 7, PRBS 15, PRBS 23, PRBS 31
 - 28nm (V-series) 以前のデバイスは非サポート
 - Soft PRBS は使用可能
 - JTAG 経由で直接レジスター及び、PLL にアクセス

- NPDME を使用するためには IP の設定のみ

- User 側でポートを接続するなどのカスタマイズは不要



* ループバック (TX -> RX) も使用可能です



- PRBS : 疑似ランダムパターン

- PRBS N として N で指定されたビット長のパターンを含み、ビット長が長いほど、ジッターが増加する (BER が発生しやすい) 傾向がある
- データレートとエンコーディングの有無により、適切な PRBS パターンを決定する
- 以下参考リンク

- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an871.pdf#page=5>

エンコーディング形式	$x \leq 5\text{Gbps}$	$5\text{Gbps} < x \leq 10\text{Gbps}$	$x > 10\text{Gbps}$
エンコーディング未使用	PRBS7	PRBS15	PRBS31
8b/10b	PRBS15	PRBS23	-
64b/66b	PRBS23	PRBS23	PRBS31

最適なアナログ・パラメーターの決定方法



● 方法

1. 下記の順序に従い、パラメーターを選択
2. 選択したパラメーターのみ範囲を設定し、BER の出現範囲を確認
3. BER が出現しない範囲の中央値を確認し、パラメーターの適正值とする
4. 1~3 を下記の順に他のパラメーターで確認する

● パラメーターの選択順序

○ TX

1. Pre-emphasis Post-Tap 1
2. VOD
3. Pre-emphasis Post-Tap 2
4. Pre-emphasis Pre-Tap 1
5. Pre-emphasis Pre-Tap 2

○ RX

1. CTLE AC Gain
2. VGA
3. CTLE DC Gain

▼ Transmitter settings

パラメータを変化させ、適正值をそれぞれ確認する

			Interval	Current	Best
V _{OD} control:	31	31	N/A	N/A	N/A
Pre-emphasis 1st post-tap:	-31	-31	N/A	N/A	N/A
Pre-emphasis 1st pre-tap:	0	0	N/A	N/A	N/A
Pre-emphasis 2nd post-tap:	0	0	N/A	N/A	N/A
Pre-emphasis 2nd pre-tap:	0	0	N/A	N/A	N/A



Thank you!

改版履歴

Revision	年月	概要
1.0	2020年4月	初版作成

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。